

SVEUČILIŠTE U ZAGREBU  
FAKULTET ELEKTROTEHNIKE I RAČUNARSTVA

Roman Bertolan, Ivan Kuljak, David Osmanović, Krešimir Špoljarić,  
Domagoj Tomić, Dubravko Tomić, Ivan Tomić, Ivan Skeledžija

**Generator takta od 1 Hz realiziran  
u 180 nanometarskoj CMOS  
tehnologiji**

Zagreb, 2019.

Ovaj rad izrađen je na Zavodu za elektroniku, mikroelektroniku, računalne i inteligentne sustave pod vodstvom prof. dr. sc. Adrijana Barića i uz stručno savjetovanje Josipa Mikulića, mag. ing. i predan je na natječaj za dodjelu Rektorove nagrade u akademskoj godini 2018./2019.

# SADRŽAJ

<b>Popis tablica</b>	<b>vi</b>
<b>Popis slika</b>	<b>ix</b>
<b>1. Uvod</b>	<b>1</b>
<b>2. Naponski regulator s malim padom napona između ulaza i izlaza</b>	<b>3</b>
2.1. Uvod . . . . .	3
2.2. Električna shema i opis dizajna . . . . .	4
2.3. Rezultati simulacija . . . . .	7
2.4. Topološki nacrt . . . . .	15
2.5. Zaključak . . . . .	16
<b>3. Generator referentnog napona</b>	<b>17</b>
3.1. Opis bloka . . . . .	17
3.2. Teorijske osnove i opis rada sklopa . . . . .	17
3.3. Specifikacije i shema . . . . .	20
3.4. Rezultati simulacija . . . . .	21
3.4.1. Statička analiza . . . . .	21
3.4.2. Tranzijentna analiza . . . . .	24
3.4.3. Simulacije s variranjem tehnoloških parametara . . . . .	26
3.4.4. Frekvencijska analiza - PSRR . . . . .	28
3.5. Topološki nacrt . . . . .	29
3.6. Zaključak . . . . .	30
<b>4. Naponsko-strujni pretvornik</b>	<b>32</b>
4.1. Uvod . . . . .	32
4.2. Opis rada naponsko-strujnog pretvornika . . . . .	32
4.3. Statička analiza sklopa . . . . .	34

4.4.	Frekvencijska analiza sklopa . . . . .	36
4.5.	Tranzijentna analiza sklopa . . . . .	38
4.6.	Uvođenje realnih modela komponenata . . . . .	40
4.7.	Isključivanje sklopa . . . . .	40
4.8.	Topološki nacrt . . . . .	41
4.9.	Zaključak . . . . .	42
<b>5.</b>	<b>Referentni otpor</b>	<b>44</b>
5.1.	Uvod . . . . .	44
5.2.	Teorijska razrada i opis . . . . .	45
5.3.	Specifikacija sklopa . . . . .	47
5.4.	Tijek dizajna sklopovlja . . . . .	47
5.5.	Opis i simulacije sklopovlja . . . . .	48
5.5.1.	Otpori . . . . .	48
5.5.2.	Sklopke . . . . .	48
5.5.3.	Dekoder . . . . .	51
5.5.4.	Rezultati simulacija . . . . .	54
5.6.	Analize i simulacije rubnih tehnoloških parametara . . . . .	54
5.7.	Topološki nacrt . . . . .	55
5.8.	Zaključak . . . . .	55
<b>6.</b>	<b>Pilasti relaksacijski oscilator</b>	<b>59</b>
6.1.	Uvod . . . . .	59
6.2.	Načelo rada komparatora . . . . .	62
6.3.	Opis procedure dizajna . . . . .	64
6.4.	Rezultati . . . . .	68
6.4.1.	Parametri elemenata . . . . .	68
6.4.2.	Parametarske simulacije . . . . .	70
6.4.3.	Izlazni parametri . . . . .	72
6.5.	Topološki nacrt . . . . .	73
6.6.	Zaključak . . . . .	74
<b>7.</b>	<b>Petstupanjski križno prospojeni relaksacijski oscilator</b>	<b>77</b>
7.1.	Uvod . . . . .	77
7.2.	Sheme i opis rada svih blokova . . . . .	77
7.3.	Opis procedure dizajna . . . . .	81
7.4.	Tablice s rezultatima . . . . .	83

7.5.	Grafički prikazi rezultata simulacija . . . . .	83
7.6.	Analize za rubne tehnološke parametre . . . . .	86
7.7.	Topologija sklopa . . . . .	89
7.8.	Zaključak . . . . .	89
<b>8.</b>	<b>Djelilo frekvencije</b>	<b>92</b>
8.1.	Uvod . . . . .	92
8.2.	Brojilo . . . . .	92
8.2.1.	Asinkrono brojilo . . . . .	93
8.2.2.	Sinkrono brojilo s asinkronim brisanjem . . . . .	96
8.2.3.	Sinkrono brojilo sa sinkronim brisanjem . . . . .	97
8.3.	Binarni komparator . . . . .	99
8.4.	Generator poredbene konstante . . . . .	100
8.5.	Multiplesor . . . . .	101
8.6.	Rezultati simulacija . . . . .	103
8.6.1.	Parametarske analize i izbor brojila . . . . .	103
8.6.2.	Analiza sklopa za rubne tehnološke parametre . . . . .	105
8.7.	Topološki nacrt . . . . .	106
8.8.	Zaključak . . . . .	106
<b>9.</b>	<b>Ispitni sklop</b>	<b>109</b>
9.1.	Pregled sklopa za testiranje internih modula integriranog sklopa . . . . .	109
9.2.	Odvojno pojačalo . . . . .	109
9.3.	Sklopka internih signala . . . . .	113
9.4.	Dekoder stanja testne riječi . . . . .	116
9.5.	Analiza rubnih tehnoloških parametara . . . . .	117
9.5.1.	Odvojno pojačalo . . . . .	118
9.5.2.	Sklopka internih signala . . . . .	118
9.6.	Topološki nacrti . . . . .	118
9.7.	Zaključak . . . . .	119
<b>10.</b>	<b>Zaključak</b>	<b>121</b>
<b>11.</b>	<b>Literatura</b>	<b>125</b>

# POPIS TABLICA

2.1. Specifikacije projektiranog naponskog regulatora. . . . .	3
2.2. Dimenzije i simulirana statička radna točka tranzistora (bez tranzistora za omogućavanje) uz $I_L = 1 \mu\text{A}$ . . . . .	7
2.3. Simulirani parametri rada sklopa uz tri različita opterećenja, $C_L = 5 \text{ pF}$ . . . . .	7
2.4. Simulirani parametri rada sklopa uz tri različita opterećenja, $C_L = 10 \text{ pF}$ . . . . .	8
2.5. Dimenzije kondenzatora u projektiranom sklopu. . . . .	8
3.1. Dogovorene specifikacije sklopa REFG. . . . .	21
3.2. Popis komponenti s odabranim parametrima sklopa referentnog generatora REFG. . . . .	22
3.3. Statičke vrijednosti izlaza bloka REFG za nominalnu i rubne vrijednosti specifikacije napajanja. . . . .	22
3.4. Rezultati analize rubnih tehnoloških parametara referentnog generatora. . . . .	27
4.1. Specifikacije naponsko-strujnog pretvornika. . . . .	34
4.2. Konačne vrijednosti parametara tranzistora. . . . .	35
4.3. Simulacijom dobiveni parametri frekvencijske karakteristike sklopa i potrošnja struje sklopa. . . . .	37
4.4. Konačne vrijednosti dimenzija tranzistora. . . . .	38
4.5. Konačne vrijednosti kapaciteta kondenzatora. . . . .	38
4.6. Vrijeme smirivanja napona $V_{REF}$ . . . . .	40
4.7. Dimenzije tranzistora nakon podijele tranzistora u strujnim zrcalima na prste. . . . .	41
4.8. Raspon vrijednosti parametara frekvencijske karakteristike sa realnim modelima. . . . .	41

4.9.	Dimenzije tranzistora koji se koriste kao sklopke. . . . .	41
5.1.	Specifikacije dizajna referentnog otpornika ( $R_{REF}$ ) . . . . .	47
5.2.	Statički parametri otpornika za temperaturu 25 °C . . . . .	48
5.3.	Statički parametri otpornika za temperaturu 25 °C . . . . .	48
5.4.	Statički parametri sklopke za $I_{REF} = 100$ nA i temperaturu 25 °C . . . . .	50
5.5.	Preslikavanje $Y(i) \mapsto SW(j)$ za $TCT$ u obliku dvojnog komplementa . . . . .	54
6.1.	Zadane specifikacije pilastog relaksacijskog oscilatora. . . . .	62
6.2.	Početni parametri tranzistora u komparatoru . . . . .	64
6.3.	Parametri tranzistora $M_{P1} - M_{P4}$ i $M_{N1} - M_{N4}$ za $V_+ = 350$ mV. . . . .	69
6.4.	Parametri tranzistora $M_{P1} - M_{P4}$ i $M_{N1} - M_{N4}$ za $V_+ = 175$ mV. . . . .	70
6.5.	Parametri tranzistora $M_{P1} - M_{P4}$ i $M_{N1} - M_{N4}$ za $V_+ = 0$ V. . . . .	70
6.6.	Parametri tranzistora koji imaju funkciju sklopke. . . . .	70
6.7.	Kapaciteti konenzatora $C_1, C_2, C_3$ i njihove dimenzije. . . . .	71
6.8.	Izlazni parametri pilastog relaksacijskog oscilatora. . . . .	73
7.1.	Parametri komponenata. . . . .	84
7.2.	Rubni slučajevi za promjene $V_{REF}, I_{REF}$ i $V_{DD}$ pri $t=35^\circ\text{C}$ . . . . .	84
7.3.	Utjecaj promjene temperature uz ostale nominalne parametre: $V_{REF}=0,35$ V, $I_{REF}=100$ nA, $V_{DD}=1,2$ V. . . . .	84
7.4.	Rasponi parametara oscilatorske jezgre. . . . .	84
7.5.	Specifikacije izlaznih parametrara. . . . .	88
7.6.	Dobiveni raspon izlaznih parametrara. . . . .	89
8.1.	Prijelazi D bistabila . . . . .	95
8.2.	Prijelazi JK bistabila . . . . .	97
8.3.	Tablica istinitosti sklopa isključivo-NILI. . . . .	99
8.4.	Tablica istinitosti multipleksora . . . . .	102
8.5.	Nominalne vrijednosti definirane na samom početku projekta . . . . .	106
8.6.	Rezultati analize sklopa za rubne tehnološke parametre i nomi- nalne vrijednosti . . . . .	106
9.1.	Parametri tranzistora odvojnog pojačala za $T = 27^\circ\text{C}$ , $V_{in} =$ $350$ mV i $V_{DD} = 1,8$ V. . . . .	111
9.2.	Parametri pasivnih elemenata odvojnog pojačala za $T = 27^\circ\text{C}$ i $V_{DD} = 1,8$ V. . . . .	111
9.3.	Rezultati tranzijentne analize za amplitudu pobude 350 mV . . . . .	113

9.4.	Rezultati tranzijentne analize za amplitudu pobude 650 mV . . . .	114
9.5.	Rezultati tranzijentne analize za amplitudu pobude 1,25 V . . . .	114
9.6.	Prikaz testnih slučajeva i signala dovedenih na vanjske pinove čipa $A_0 - A_3$ . . . . .	117
9.7.	Analiza rubnih tehnoloških parametara odvojnog pojačala. . . . .	118
9.8.	Analiza rubnih tehnoloških parametara sklopke. . . . .	118



# POPIS SLIKA

1.1. Blok shema generatora takta od 1 Hz. . . . .	2
2.1. Električna shema naponskog regulatora. . . . .	5
2.2. Sklopovlje za omogućavanje rada naponskog regulatora i prespa- janje ulaznog napona $V_{DD0}$ na izlazni napon $V_{DD}$ . . . . .	6
2.3. Amplitudno-frekvencijska (crveno) i fazno-frekvencijska (plavo) karak- teristika uz $I_L = 0 \mu\text{A}$ , $C_L = 5 \text{ pF}$ . . . . .	8
2.4. Amplitudno-frekvencijska (crveno) i fazno-frekvencijska (plavo) karak- teristika uz $I_L = 1 \mu\text{A}$ , $C_L = 5 \text{ pF}$ . . . . .	9
2.5. Amplitudno-frekvencijska (crveno) i fazno-frekvencijska (plavo) karak- teristika uz $I_L = 2 \mu\text{A}$ , $C_L = 5 \text{ pF}$ . . . . .	10
2.7. Skok napona napajanja $V_{DD0}$ s 1,2 V na 1,8 V u trenutku $t = 50$ $\mu\text{s}$ uz $I_L = 0 \mu\text{A}$ (crveno), $I_L = 1 \mu\text{A}$ (plavo) i $I_L = 2$ (zeleno), $C_L = 5 \text{ pF}$ . . . . .	10
2.6. Uključivanje napona napajanja $V_{DD0}$ uz $I_L = 0 \mu\text{A}$ (crveno), $I_L =$ $1 \mu\text{A}$ (plavo) i $I_L = 2 \mu\text{A}$ (zeleno), $C_L = 5 \text{ pF}$ . . . . .	11
2.8. Pad napona napajanja $V_{DD0}$ s 1,8 V na 1,2 V u trenutku $t = 50$ $\mu\text{s}$ uz $I_L = 0 \mu\text{A}$ (crveno), $I_L = 1 \mu\text{A}$ (plavo) i $I_L = 2 \mu\text{A}$ (zeleno), $C_L = 5 \text{ pF}$ . . . . .	11
2.9. Pad izlazne struje s $2 \mu\text{A}$ na $0 \mu\text{A}$ (crveno), s $1 \mu\text{A}$ na $0 \mu\text{A}$ (plavo) i s $2 \mu\text{A}$ na $1 \mu\text{A}$ (zeleno) u trenutku $t = 50 \mu\text{s}$ . . . . .	12
2.10. Porast izlazne struje s $0 \mu\text{A}$ na $1 \mu\text{A}$ (plavo), s $0 \mu\text{A}$ na $2 \mu\text{A}$ (crveno) i s $1 \mu\text{A}$ na $2 \mu\text{A}$ (zeleno) u trenutku $t = 50 \mu\text{s}$ . . . . .	13
2.11. Odziv LDO regulatora na strujni puls amplitude $100 \mu\text{A}$ , širine 10 ns i frekvencije 32 kHz uz DC izlaznu struju od $1 \mu\text{A}$ . . . . .	14
2.12. Odziv LDO regulatora na postavljanje signala $EN_{LDO} = 1$ u trenutku $t = 20 \mu\text{s}$ uz $I_L = 0 \mu\text{A}$ (crveno), $I_L = 1 \mu\text{A}$ (plavo) i $I_L = 2 \mu\text{A}$ (zeleno), $C_L = 5 \text{ pF}$ . . . . .	15

2.13. Topološki nacrt naponskog regulatora. . . . .	15
3.1. Ulazi i izlazi bloka REFG. . . . .	17
3.2. Princip generiranja CTW napona. . . . .	18
3.3. Temperaturna karakteristika nMOS tranzistora ( $W = 240$ nm, $L = 20$ $\mu$ m) u diodnom spoju kroz koji teće konstantna struja od 38 nA. . . . .	20
3.4. Shema bloka referentnog generatora REFG. . . . .	21
3.5. Ovisnost napona $V_{REFV}$ o temperaturi. . . . .	23
3.6. Ovisnost napona $V_{REFL}$ o temperaturi. . . . .	24
3.7. Rezultati tranzijentne analize. Pokretanje sklopa referentnog gen- eratora. . . . .	27
3.8. Distribucija napona $V_{REFL}$ dobivena <i>Monte-Carlo</i> analizom tehnoloških parametara. . . . .	28
3.9. Krivulja ovisnosti PSRR o frekvenciji. . . . .	29
3.10. Topološki nacrt sklopa referentnog generatora 1. dio. . . . .	30
3.11. Topološki nacrt sklopa referentnog generatora 2. dio. . . . .	31
4.1. Blok shema naponsko-strujnog pretvornika. . . . .	33
4.2. Shema naponsko-strujnog pretvornika. . . . .	34
4.3. Shema naponsko-strujnog pretvornika za statičku analizu. . . . .	36
4.4. Graf promjene pojačanja u ovisnosti o frekvenciji za tri vrijednosti napona napajanja $V_{DD}$ , referentnog napona $V_{REF}$ i struje $I_{BV}$ . . . . .	38
4.5. Graf promjene faze u ovisnosti o frekvenciji za tri vrijednosti napona napajanja $V_{DD}$ , referentnog napona $V_{REF}$ i struje $I_{BV}$ . . . . .	39
4.6. Valni oblici napona napajanja $V_{DD}$ i izlaznog napona $V_{REF}$ u trenutku uključenja napajanja. . . . .	39
4.7. Naponsko-strujni pretvornik sa sklopkama za isključivanje sklopa. . . . .	42
4.8. Topološki nacrt naponsko-strujnog pretvornika. . . . .	43
5.1. Shema referentnog otpora. . . . .	44
5.2. Temperaturna karakteristika otpora s negativnim $TC1$ ( $R_N$ ). . . . .	49
5.3. Temperaturna karakteristika otpora s pozitivnim $TC1$ ( $R_P$ ). . . . .	49
5.4. Otpor isključene sklopke u ovisnosti o temperaturi-najgori slučaj. . . . .	50
5.5. Otpor uključene sklopke u ovisnosti o temperaturi za različite pozi- cije u mreži. . . . .	51
5.6. Otpor uključene sklopke u ovisnosti o temperaturi-najgori slučaj. . . . .	51

5.7. Izlaz iz dekodera. . . . .	52
5.8. Shema invertora. . . . .	52
5.9. Shema NAND sklopa. . . . .	53
5.10. Shema dekodera. . . . .	56
5.11. Temperaturna karakteristika $R_{REF}$ za određen ulaz $TCT$ vektora.	57
5.12. Temperaturna karakteristika $R_{REF}$ za svaki mogući ulaz $TCT$ vektora. . . . .	57
5.13. Topološki nacrt referentnog otpornika. . . . .	58
6.1. Pojednostavljena shema pilastog relaksacijskog oscilatora. . . . .	59
6.2. Signali $V_C$ , $C_P$ i $CLK_{32k}$ u vremenskoj domeni. . . . .	60
6.3. Jedna perioda signala $V_C$ . . . . .	61
6.4. Shema komparatora. . . . .	62
6.5. Naponi u komparatoru za $V_- = V_{REF} = 350$ mV i linearan rast napona $V_+$ . . . . .	63
6.6. Shema pilastog relaksacijskog oscilatora. . . . .	65
6.7. Sklopovlje za pokretanje i zaustavljanje rada sklopa upravljano signalom $EN$ . . . . .	66
6.8. Signal $EN$ pokreće rad oscilatora. . . . .	66
6.9. Ovisnost izlazne frekvencije o temperaturi za 5 različitih duljina kanala tranzistora $M_{N0}$ . . . . .	67
6.10. Ovisnost izlazne frekvencije o temperaturi za 5 različitih duljina kanala tranzistora $M_{N1}-M_{N4}$ i $M_{P1}-M_{P4}$ . . . . .	68
6.11. Ovisnost ukupne potrošnje struje o temperaturi za 5 različitih duljina kanala tranzistora $M_{N1}-M_{N4}$ i $M_{P1}-M_{P4}$ . . . . .	69
6.12. Ovisnost frekvencije izlaznog signala o temperaturi. Frekvencija se mijenja maksimalno $+0,147$ %/ $-0,051$ % u odnosu na vrijednost pri $T_{NOM} = 35$ °C. . . . .	71
6.13. Ovisnost frekvencije izlaznog signala o naponu napajanja $V_{DD}$ . Frekvencija se mijenja maksimalno $+0,108$ %/ $-0,104$ % u odnosu na vrijednost pri nominalnom naponu napajanja $V_{DD} = 1,2$ V. . . . .	72
6.14. Ovisnost frekvencije izlaznog signala o referentnom naponu $V_{REF}$ . Frekvencija se mijenja maksimalno $+22,742$ %/ $-20,881$ % u odnosu na vrijednost pri nominalnom naponu $V_{REF} = 350$ mV. . . . .	73

6.15. Ovisnost frekvencije izlaznog signala o referentnoj struji $I_{REF}$ . Frekvencija se mijenja maksimalno +37,702 %/-28,965 % u odnosu na vrijednost pri nominalnoj struji $I_{REF} = 100$ nA. . . . .	74
6.16. Ovisnost frekvencije izlaznog signala o struji $I_{BC}$ . Frekvencija se mijenja maksimalno +1,123 %/-1,294 % u odnosu na vrijednost pri nominalnoj struji $I_{BC} = 50$ nA. . . . .	75
6.17. Topologija pilastog relaksacijskog oscilatora. . . . .	75
7.1. Relaksacijski oscilator (oscilatorska jezgra). . . . .	78
7.2. Integrator. . . . .	79
7.3. Generator impulsa. . . . .	79
7.4. Sklop za oblikovanje signala. . . . .	80
7.5. Detektor rastućeg brida. . . . .	80
7.6. Sklop za unošenje kašnjenja. . . . .	80
7.7. Relaksacijski oscilator s dijelovima za diobu struje i postavljanje početnih uvjeta. . . . .	82
7.8. Relativno odstupanje frekvencije uz promjenu $I_{REF}$ . . . . .	85
7.9. Relativno odstupanje frekvencije uz promjenu $V_{REF}$ . . . . .	85
7.10. Relativno odstupanje frekvencije uz promjenu $V_{DD}$ . . . . .	86
7.11. Relativno odstupanje frekvencije uz promjenu temperature. . . . .	86
7.12. Izlazni naponi svih integratora. . . . .	87
7.13. Izlazni signal u vremenskoj domeni. . . . .	87
7.14. Topološki nacrt integratora. . . . .	90
7.15. Topološki nacrt relaksacijskog oscilatora. . . . .	91
8.1. Djelitelj frekvencije. . . . .	93
8.2. Rad 4 bitnog brojila. . . . .	94
8.3. Asinkrono brojilo. . . . .	95
8.4. Kašnjenje signala 4 bitnog asinkronog brojila. . . . .	96
8.5. Sinkrono brojilo s asinkronim brisanjem. . . . .	97
8.6. Istovremeno postavljanje izlaza bistabila. . . . .	98
8.7. Prepravka sinkronog brojila s asinkronim brisanjem za ostvarivanje sinkronosti brisanja. . . . .	98
8.8. Simbol sklopa isključivo-NILI. . . . .	99
8.9. 4 bitni binarni komparator. . . . .	100
8.10. Poluzbrajalo. . . . .	101
8.11. Potpuno zbrajalo. . . . .	101

8.12. Izvedba multipleksora. . . . .	102
8.13. Ovisnost izlazne frekvencije sklopa o temperaturi, za tri različite izvedbe brojila, u odnosu na frekvenciju od 1 Hz. . . . .	103
8.14. Ovisnost izlazne frekvencije sklopa o naponu napajanja $V_{DD}$ , za tri različite izvedbe brojila, u odnosu na frekvenciju od 1 Hz. . . . .	104
8.15. Ovisnost prosječne potrošnje struje sklopa o temperaturi, za tri različite izvedbe brojila. . . . .	104
8.16. Ovisnost prosječne potrošnje struje sklopa o naponu napajanja $V_{DD}$ , za tri različite izvedbe brojila. . . . .	105
8.17. Raspored digitalnih sklopova korištenih u projektiranju frekvencijskog djelitelja . . . . .	107
8.18. Stvarni izgled frekvencijskog djelitelja na siliciju. . . . .	108
9.1. Shema odvojnog pojačala . . . . .	110
9.2. Amplitudna i fazna frekvencijska karakteristika za $V_{DD} = 1,8\text{ V}$ , $T = 27^\circ\text{C}$ , $C_L = 5\text{ pF}$ . . . . .	112
9.3. CMRR i PSRR u nominalnim uvjetima: $V_{DD} = 1,8\text{ V}$ , $C_L = 5\text{ pF}$ , $T = 27^\circ\text{C}$ . . . . .	113
9.4. Tranzijentna analiza za $V_{CCI} = V_{DD} = 1,8\mu(t)\text{ V}$ i $V_{in} = 0,35\mu(t - 10\mu\text{s})\text{ V}$ , uz $C_L$ od 2 pF, 5 pF, 10 pF, te pri temperaturama $T$ od $-40^\circ\text{C}$ , $22^\circ\text{C}$ , $125^\circ\text{C}$ . . . . .	113
9.5. Tranzijentna analiza za $V_{CCI} = V_{DD} = 1,8\mu(t)\text{ V}$ i $V_{in} = 0,65\mu(t - 10\mu\text{s})\text{ V}$ , uz $C_L$ od 2 pF, 5 pF, 10 pF, te pri temperaturama $T$ od $-40^\circ\text{C}$ , $22^\circ\text{C}$ , $125^\circ\text{C}$ . . . . .	114
9.6. Shema sklopke. . . . .	115
9.7. Otpor uključene sklopke $R_{on}$ u ovisnosti o ulaznom naponu $V_{in}$ s parametrima napona napajanja $V_{DD}$ i temperature $T$ . . . . .	116
9.8. Struja kroz ugašenu sklopku u ovisnosti o naponu na stezaljkama sklopke i uz parametar temperature. . . . .	116
9.9. Topološki nacrt odvojnog pojačala. U donjem dijelu slike su vidljivi otpori koji postavljaju struju u prvoj grani pojačala. Na sredini se vidi niz kondenzatora koji čine kondenzator $C_C$ . Sa desne strane kondenzatora se nalazi niz paralelno spojenih tranzistora koji čine izlazni tranzistor $Q_8$ . . . . .	119

9.10. Topološki prikaz sklopke. U donjem dijelu slike vidljivi su pMOS i nMOS tranzistori koji čine aktivan dio sklopke. Iznad njih se nalazi invertor načinjen od pMOS i nMOS tranzistora. Aktivni tranzistori sastoje se od 4 paralelno spojena tranzistora za povećanje efektivne širine tranzistora. . . . . 120

# 1. Uvod

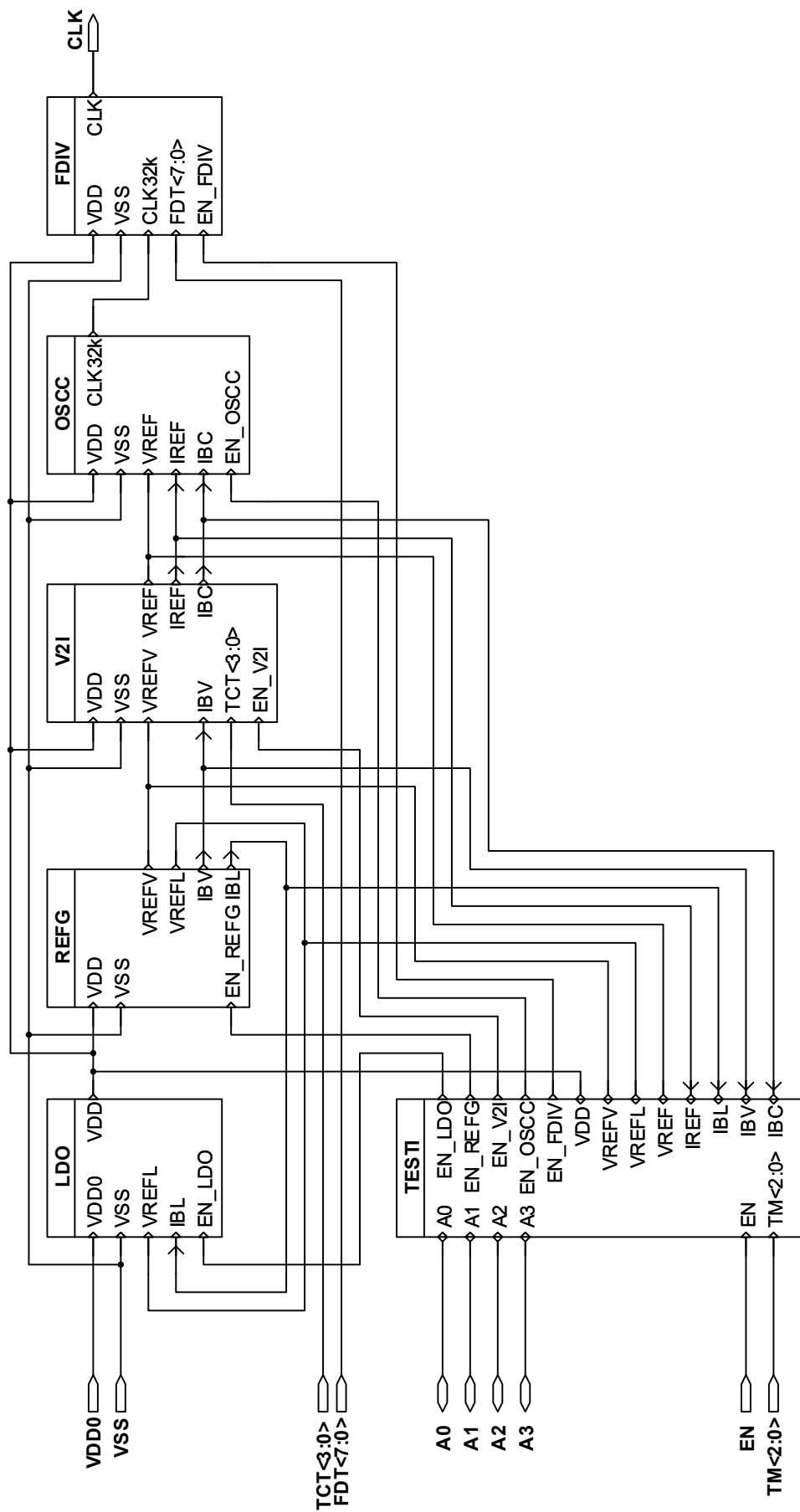
Mikroelektronika i integrirani sklopovi omogućuju postojanje civilizacije kakvu danas poznajemo. Osnovna komponenta svakog integriranog sklopa su tranzistori od kojih su izgrađeni i oscilatori. Oscilatori su jedni od najvažnijih gradivnih blokova u mikroelektronici [1] - [9]. Zbog male potrošnje uobičajno se koriste relaksacijski oscilatori [10] - [12]. Projektiranje oscilatora zahtijeva izrazito dobro poznavanje teorije i praktičnih ograničenja u radu mikroelektroničkih komponenta [13] - [17].

Tema ovog rada je projektiranje generatora takta od 1 Hz. On se sastoji od nekoliko blokova koji imaju jedinstvene funkcije u konačnoj realizaciji generatora takta od 1 Hz. Blokovi su: naponski regulator s malim padom napona između ulaza i izlaza LDO [5], referentni generator REFG [3], [4], [11], [13], [14], naponsko-strujni pretvornik V2I [7], referentni otpornik RREF [3], [4], pilasti relaksacijski oscilator OSCC1, petstupanjski križno prospojeni relaksacijski oscilator OSCC2 [1], [2], [12], [15], [17], djelilo frekvencije FDIV [6] i ispitni sklop TESTI [8], [9] (slika 1.1).

Funkcija sklopa LDO je pretvaranje i stabilizacija ulaznog nominalnog napona od 1,8 V u 1,2 V na izlazu. Taj se izlazni napon od 1,2 V koristi za napajanje ostalih blokova. Funkcija referentnog generatora REFG je generiranje referentnog napona i referentnih struja. Taj referentni napon naponsko-strujni pretvornik koristi kao referencu za generiranje temperaturno stabilnog napona  $V_{REF}$ , koji koriste blokovi oscilatora OSCC1 ili OSCC2. U bloku V2I nalazi se blok referentnog otpornika RREF koji ima funkciju održavanja temperaturno neovisnog otpora kako bi se postigao odgovarajući napon na izlazu bloka V2I.

Oscilatori OSCC1 i OSCC2 na svojem izlazu generiraju napon frekvencije 32 kHz. Taj naponski signal vodi se u blok FDIV, gdje se frekvencija signala dijeli. Na izlazu sklopa FDIV dobiva se naponski signal od 1 Hz.

Blok TESTI služi za testiranje pojedinačnih blokova. Vrijednosti koje se mjere preko odvojnog pojačala spajaju se na vanjske izvode kućišta sklopa.



Slika 1.1: Blok shema generatora takta od 1 Hz.



## 2. Naponski regulator s malim padom napona između ulaza i izlaza

### 2.1. Uvod

Naponski regulator elektronički je sklop koji na svojem izlazu održava konstantan napon, bez obzira na varijacije ulaznog napona unutar zadanog intervala [5]. U promatranom slučaju potrebno je na izlazu održavati napon od 1,2 V, koji služi za napajanje sklopa za generiranje takta od 1 Hz. Pojam *low-dropout* označava da između ulaznog i izlaznog napona može postojati vrlo malena razlika. Primjerice, za ispravan rad klasičnih regulatora iz serije LM7800 ulazni napon mora biti barem za 2 V viši od izlaznog. Međutim, dizajnirani regulator mora i uz razliku od samo 0,1 V uz ulazni napon od 1,3 V održavati izlazni napon iznosa 1,2 V. Nominalni ulazni napon iznosi 1,8 V, a detaljne specifikacije regulatora dane su u tablici 2.1.

**Tablica 2.1:** Specifikacije projektiranog naponskog regulatora.

	Opis	Min.	Tip.	Maks.	Jedinica
$V_{DD0}$	Napon napajanja	1,2	1,8	1,98	V
$V_{DD}$	Regulirani izlazni napon	1,1	1,2	1,3	V
$I_{DD}$	Potrošnja	125	200	350	nA
$V_{REFL}$	Ulazni referentni napon	0,55	0,6	0,65	V
$I_{BL}$	Ulazna struja	25	50	75	nA
$I_L$	Izlazna struja (DC)	0	1	2	$\mu$ A
$I_{LR}$	Valovitost izlazne struje	10	20	100	$\mu$ A
$GBW$	Pojačanje $\times$ širine pojasa	32	48		kHz
$PM$	Fazno osiguranje	55	70		°
$GM$	Amplitudno osiguranje	10			dB
$t_{set}$	Vrijeme smirivanja			32	$\mu$ s

Svaki naponski regulator mora sadržavati naponsku referencu s kojom se uspoređuje naponska razina na izlazu regulatora. Naponska referenca dobiva se iz zasebnog bloka o kojemu će biti više riječi u sljedećem poglavlju. Koriste se dva referentna signala iz generatora reference: referentni napon  $V_{REFL}$  i struja  $I_{BL}$  koja služi za postavljanje statičke radne točke.

Glavni ograničavajući faktor projektiranog sklopa jest potrošnja. Dopuštena potrošnja u nominalnim uvjetima iznosi 200 nA. Uz veće statičke struje ulaznog stupnja moguće je postići veći umnožak pojačanja i širine pojasa  $GBW$ , tj. naponski regulator brže će reagirati na promjene izlaznog napona. Zbog stabilnosti sklopa tada se mora povećati i statička struja kroz izlazni tranzistor.

Fazno osiguranje  $PM$  i amplitudno osiguranje  $GM$  ukazuju na stabilnost projektiranog regulatora. On mora biti bezuvjetno stabilan, tj. čak i slučaju bez opterećenja fazno osiguranje  $PM$  mora biti dovoljno veliko kako se ne bi pojavile oscilacije.

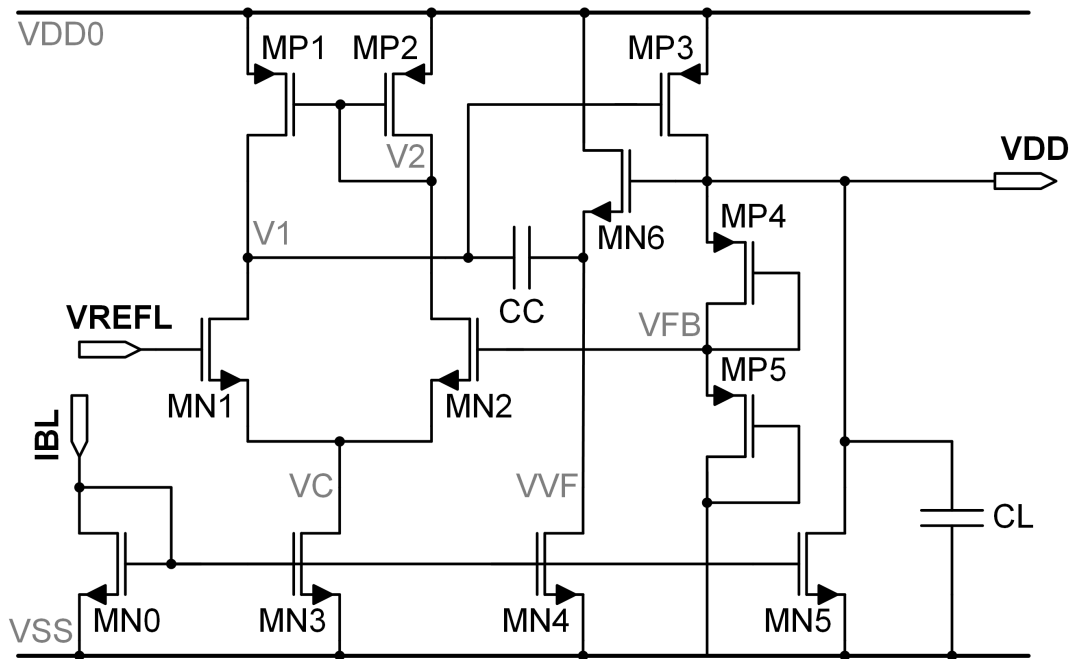
Vrijeme smirivanja  $t_{settling}$  jest vrijeme koje protekne od nastanka prijelazne pojave do njezina prestanka, tj. do postizanja 1% ili 0,1% konačne vrijednosti signala. Ono je u dizajnu ograničeno periodom signala takta sklopa za generiranje takta od 1 Hz (RTC).

## 2.2. Električna shema i opis dizajna

Tranzistorom  $M_{N0}$  teče referentna struja  $I_{BL}$  nominalnog iznosa 50 nA i zrcali se kroz tranzistore  $M_{N3}$ ,  $M_{N4}$  i  $M_{N5}$ . Tranzistor  $M_{N3}$  definira ukupnu struju ulaznog stupnja, a  $M_{N4}$  struju kroz naponsko sljedilo (tranzistor  $M_{N6}$ ).  $M_{N3}$  i  $M_{N4}$  jednake su širine i dužine kao  $M_{N0}$  pa njima također teče nominalna struja iznosa 50 nA. Širina tranzistora  $M_{N5}$  postavljena je tako da se dobije jakost struje od približno 100 nA kroz izlazni stupanj. U strujnim zrcalima korištena je maksimalna duljina kanala ( $L = 20 \mu\text{m}$ ) kako bi promjena struje kroz tranzistor s promjenom napona  $U_{DS}$  bila što je moguće manja.

Tranzistori  $M_{N1}$  i  $M_{N2}$  predstavljaju diferencijски par ulaznog stupnja. Njihove dimenzije postavljene su kako bi osigurale najveću moguću strminu uz zadanu jakost struje. Oni rade u području slabe inverzije, tj. napon  $U_{GS}$  manji je od napona praga.  $M_{P1}$  i  $M_{P2}$  čine još jedno strujno zrcalo koje osigurava jednake statičke struje kroz obje grane diferencijskog pojačala.

$M_{P3}$  je izlazni tranzistor i kroz njega teče ukupni iznos izlazne struje koja može ići do 2  $\mu\text{A}$ .  $M_{N5}$  je aktivni teret izlaznog stupnja, tj. struja koja teče

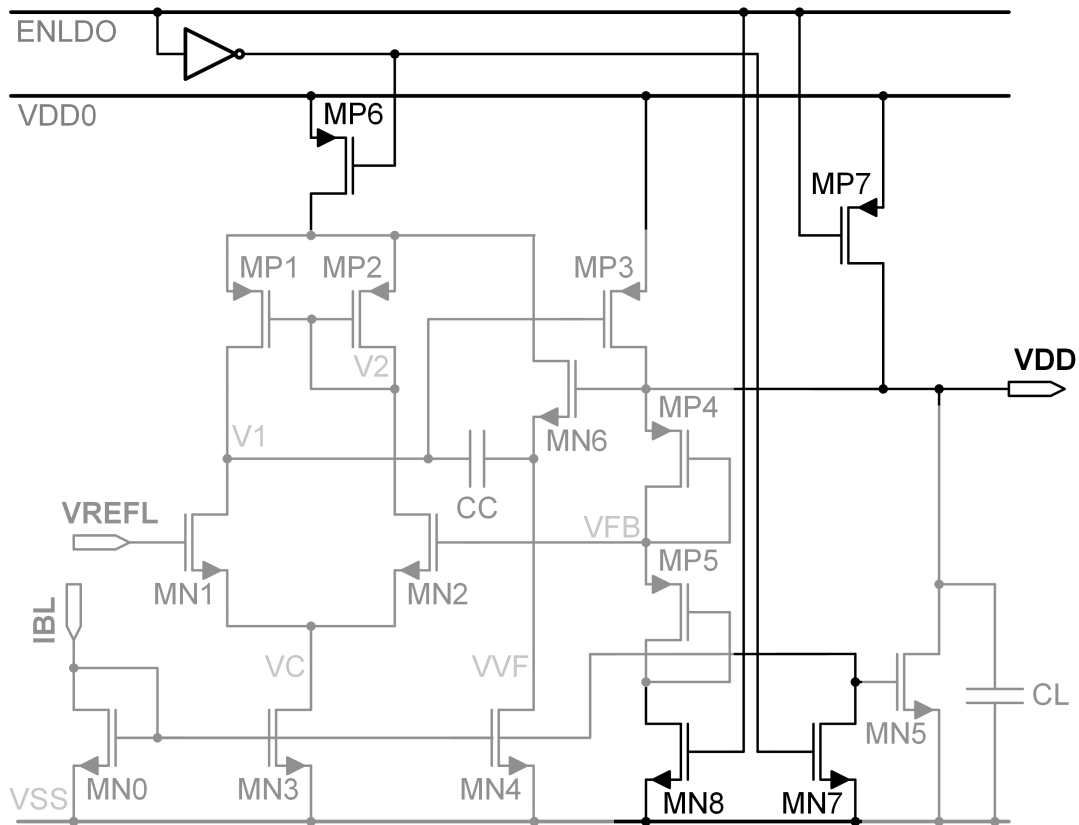


Slika 2.1: Električna shema naponskog regulatora.

njime definira statičku radnu točku tranzistora  $M_{P3}$  u slučaju kada na izlazu nema opterećenja.  $M_{P4}$  i  $M_{P5}$  jednakih su dimenzija i tvore naponsko djelilo. Uz izlazni napon  $V_{DD}$  od 1,2 V, potencijal čvora  $V_{FB}$  bit će približno 0,6 V i on se uspoređuje s referentnim naponom  $V_{REFL}$  čija je nominalna vrijednost također 0,6 V. Dakle, faktor povratne veze iznosi 0,5.

Kondenzator  $C_C$  osigurava stabilnost sklopa, a naziva se kompenzacijskim kondenzatorom. Tranzistor  $M_{N6}$  je naponsko sljedilo koje održava povratnu vezu s izlaznog čvora  $V_{DD}$  na čvor  $V_1$ , a onemogućava protok signala bez zakreta u fazi kroz kondenzator  $C_C$  s  $V_1$  prema izlaznom čvoru. Na taj se način potiskuje pozitivna nula koju inače generira kondenzator  $C_C$ .

Naponski regulator uključuje i sklopovlje za omogućavanje rada (engl. *enable*) kako je prikazano na slici 2.2. Kada je signal  $EN_{LDO}$  u niskoj naponskoj razini, potrebno je onemogućiti protok struje kroz sklop, odnosno potrošnja mora biti minimalna. To je izvedeno tranzistorima  $M_{P6}$ ,  $M_{P7}$ ,  $M_{N7}$  i  $M_{N8}$ . Također, u tom slučaju potrebno je na izlaz  $V_{DD}$  prespojiti ulazni napon  $V_{DD0}$ . Ovo je kritično pri pokretanju cijelog RTC sklopa jer generator reference prvo mora generirati referentne napone i struje uz vanjski napon napajanja  $V_{DD0}$  kako bi ostali sklopovi mogli raditi. Tek potom moguće je pokretanje LDO-a i generiranje izlaznog napona od 1,2 V. Prespajanje ulaznog napona  $V_{DD0}$  na izlaz izvedeno je tranzistorom  $M_{P7}$ .



**Slika 2.2:** Sklopovlje za omogućavanje rada naponskog regulatora i prespajanje ulaznog napona  $V_{DD0}$  na izlazni napon  $V_{DD}$ .

Tranzistor  $M_{P6}$  onemogućit će protok struje kroz ulazni stupanj i naponsko sljedilo, a posljedično se isključuje i struja kroz izlazni tranzistor  $M_{P3}$ . Budući da se na izlazu uz onemogućeni LDO nalazi napon od 1,8 V, struja bi tekla kroz naponsko djelilo ( $M_{P4}$  i  $M_{P5}$ ) te kroz tranzistor  $M_{N5}$ . Prvi problem riješen je pomoću tranzistora  $M_{N8}$ . U slučaju  $EN_{LDO} = 0$  potencijal njegove upravljačke elektrode bit će pritegnut na masu i time se onemogućuje struja kroz naponsko djelilo. Situacija s  $M_{N5}$  vrlo je slična. Tranzistor  $M_{N7}$  u slučaju  $EN_{LDO} = 0$  priteže potencijal upravljačke elektrode  $M_{N5}$  na nulu. S obzirom na to da u danom trenutku pojedini upravljački signali moraju biti u nuli, a drugi u jedinici, potrebno je invertirati signal  $EN_{LDO}$ .

U tablici 2.2 prikazane su dimenzije tranzistora u konačnom dizajnu i parametri koji opisuju njihovu statičku radnu točku. Vidljivo je da su iznosi statičkih struja  $i_d$  vrlo slični željenima. Negativan napon  $v_{gt}$  ukazuje na rad tranzistora diferencijskog para  $M_{N1}$  i  $M_{N2}$  u slaboj inverziji. Tranzistori koji čine strujna zrcala i diferencijski par podijeljeni su u četiri paralelna tranzistora radi boljeg usklađivanja na čipu.

**Tablica 2.2:** Dimenzije i simulirana statička radna točka tranzistora (bez tranzistora za omogućavanje) uz  $I_L = 1 \mu\text{A}$ .

	$W$ [ $\mu\text{m}$ ]	$L$ [ $\mu\text{m}$ ]	$i_d$ [nA]	$v_{gt}$ [mV]	$g_m$ [ $\mu\text{S}$ ]	$r_d$ [ $\text{M}\Omega$ ]	$v_{sm}$ [mV]
$M_{N0}$	4·0,3	20	49,99	15,26	0,7637	807,8	343,4
$M_{N1}$	4·0,3	10	24,81	-66,15	0,4875	1216	1034
$M_{N2}$	4·0,3	10	24,8	-66,18	0,4874	1218	1047
$M_{N3}$	4·0,3	20	49,62	15,26	0,7585	348,6	106,4
$M_{N4}$	4·0,3	20	50,18	15,26	0,7658	859,1	499,5
$M_{N5}$	4·1	20	92,44	-12,06	1,668	489,2	1130
$M_{N6}$	0,5	10	50,18	29,98	0,7248	1128	1111
$M_{P1}$	4·0,3	20	-24,81	-50,47	0,3214	2738	409,7
$M_{P2}$	4·0,3	20	-24,81	-50,47	0,3213	2722	397
$M_{P3}$	10	3	-1119	-40,07	16,03	25,93	504,4
$M_{P4}$	0,24	12	-26,84	-158,4	0,2301	2728	437,7
$M_{P5}$	0,24	12	-26,84	-158,4	0,2301	2728	437,7

### 2.3. Rezultati simulacija

Najveća linearnost fazne karakteristike postiže se u slučaju bez opterećenja na izlazu (slika 2.3). Strmina izlaznog tranzistora  $M_{P3}$  izravno ovisi o izlaznoj struji, tj. o opterećenju. Dakle, u skladu s promjenom struje mijenja se i pozicija izlaznog pola:

$$f_{pOUT} = \frac{g_{mOUT}}{2\pi \cdot C_L}. \quad (2.1)$$

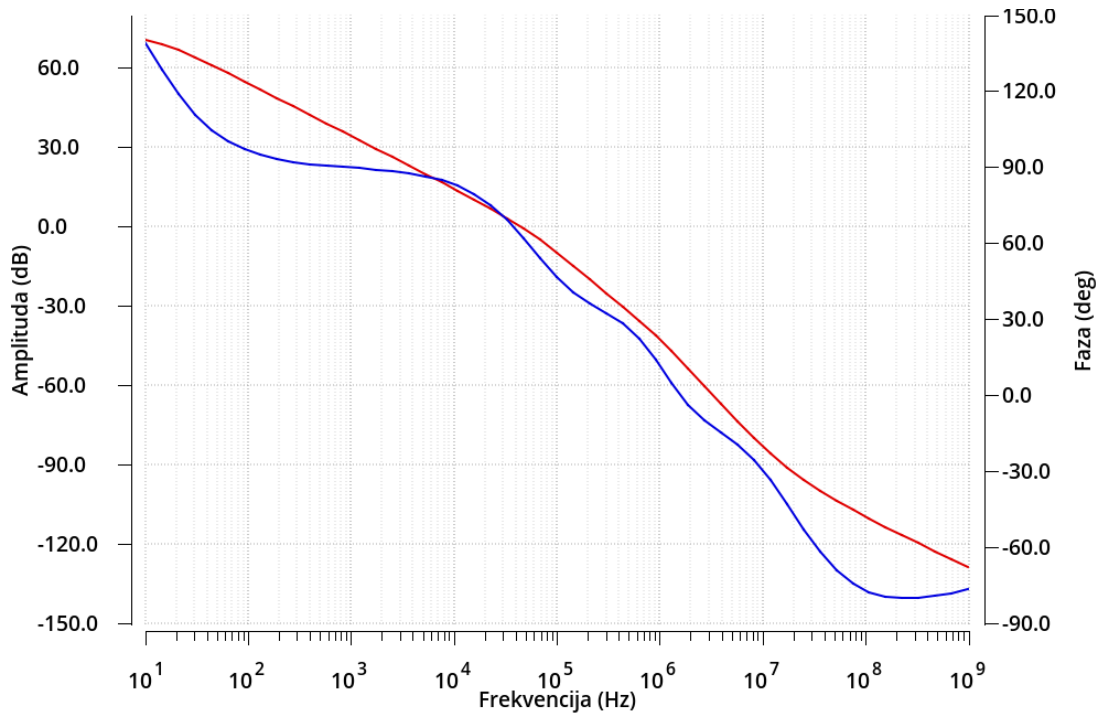
Zato je vidljiva razlika u faznoj karakteristici u slučajevima s opterećenjem (slike 2.4 i 2.5) i bez njega (slika 2.3). Pri promjeni opterećenja s  $1 \mu\text{A}$  na  $2 \mu\text{A}$  ne dolazi do znatnijih promjena u promatranim karakteristikama.

U tablici 2.3 prikazani su simulirani parametri koji opisuju rad sklopa u nominalnim uvjetima. Usporedbom s tablicom 2.1 vidljivo je da su u najgorem slučaju ( $I_L = 0 \mu\text{A}$ ) umnožak pojačanja i širine pojasa te fazno osiguranje veći od minimalnih zadanih. Povećanjem struje na izlazu svojstva sklopa se poboljšavaju - raste  $GBW$  i fazno osiguranje, a amplitudno osiguranje dovoljno je veliko.

Tablica 2.4 prikazuje situaciju u kojoj je došlo do povećanja izlaznog kapaciteta na maksimalni iznos, primjerice zbog spajanja izlaza na osciloskop radi

**Tablica 2.3:** Simulirani parametri rada sklopa uz tri različita opterećenja,  $C_L = 5 \text{ pF}$ .

$I_L$ [ $\mu\text{A}$ ]	$GBW$ [kHz]	Fazno osiguranje [ $^\circ$ ]	Amplitudno osiguranje [dB]
0	45,21	63,31	50,43
1	52,46	90,36	38,17
2	51,43	92,93	36,30



**Slika 2.3:** Amplitudno-frekvencijska (crveno) i fazno-frekvencijska (plavo) karakteristika uz  $I_L = 0 \mu\text{A}$ ,  $C_L = 5 \text{ pF}$ .

**Tablica 2.4:** Simulirani parametri rada sklopa uz tri različita opterećenja,  $C_L = 10 \text{ pF}$ .

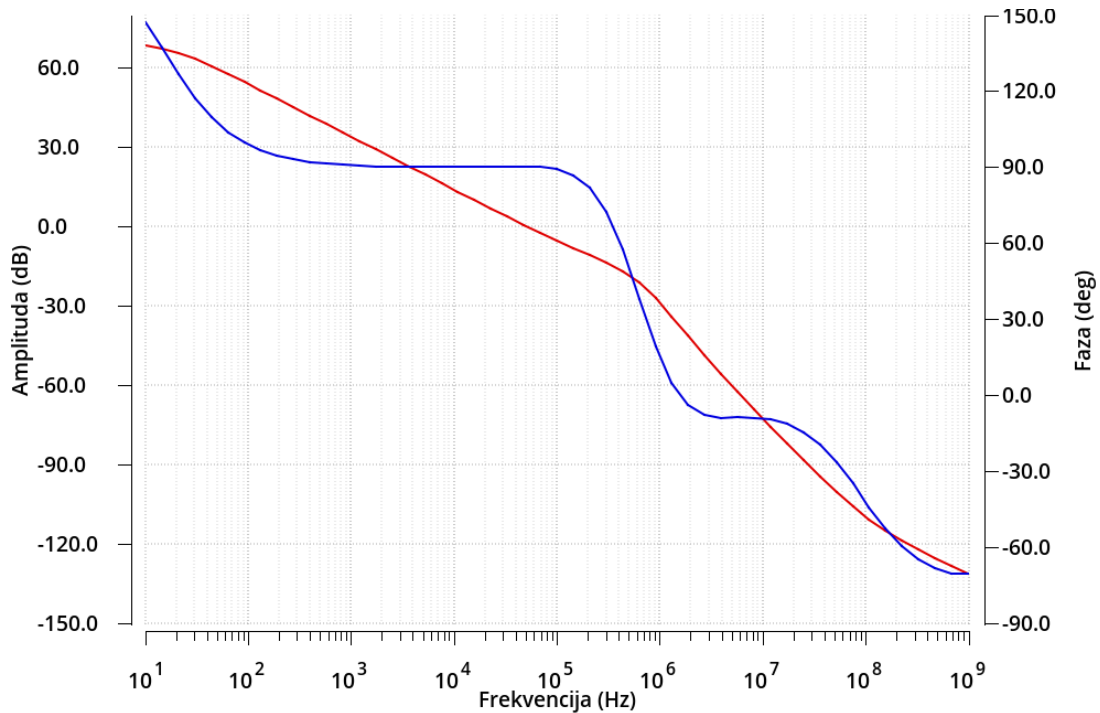
$I_L [\mu\text{A}]$	$GBW [\text{kHz}]$	Fazno osiguranje $[\circ]$	Amplitudno osiguranje $[\text{dB}]$
0	36,64	48,44	55,94
1	51,25	82,67	42,25
2	50,97	87,68	44,03

mjerenja. Općenito, povećanje  $C_L$  pogoršat će rad sklopa, posebice pri nultom opterećenju. Kada na izlazu postoji opterećenje, svojstva nisu znatno narušena.

Izlazni kondenzator  $C_L$  osigurava normalan rad sklopova koji su spojeni na izlaz naponskog regulatora, a iznos kapaciteta zadan je specifikacijom. Kapacitet kondenzatora  $C_C$  odabran je tako da se postigne željeni odnos umnoška pojačanja i širine pojasa  $GBW$  te faznog osiguranja  $PM$ . Kondenzatori su podijeljeni na manje (jedinične) kondenzatore kako bi ih u topološkom nacrtu bilo moguće uniformno raspodijeliti.

**Tablica 2.5:** Dimenzije kondenzatora u projektiranom sklopu.

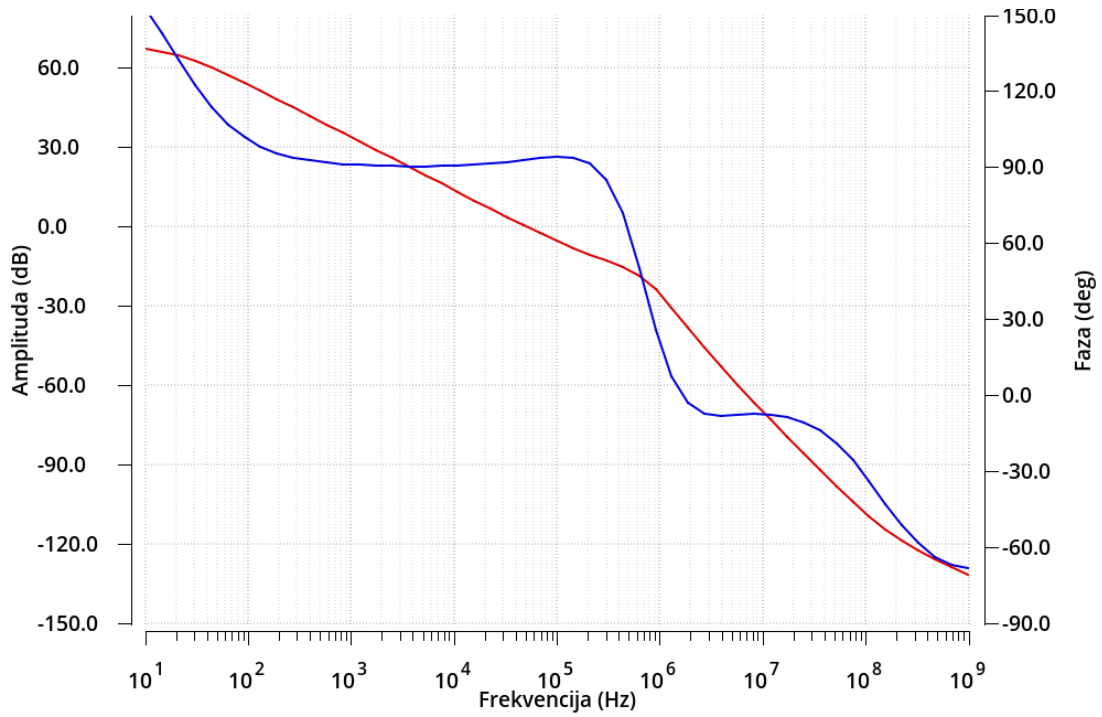
Kondenzator	$W [\mu\text{m}]$	$L [\mu\text{m}]$	Kapacitet $[\text{pF}]$
$C_C$	45	45	0,84
$C_L$	250	250	5



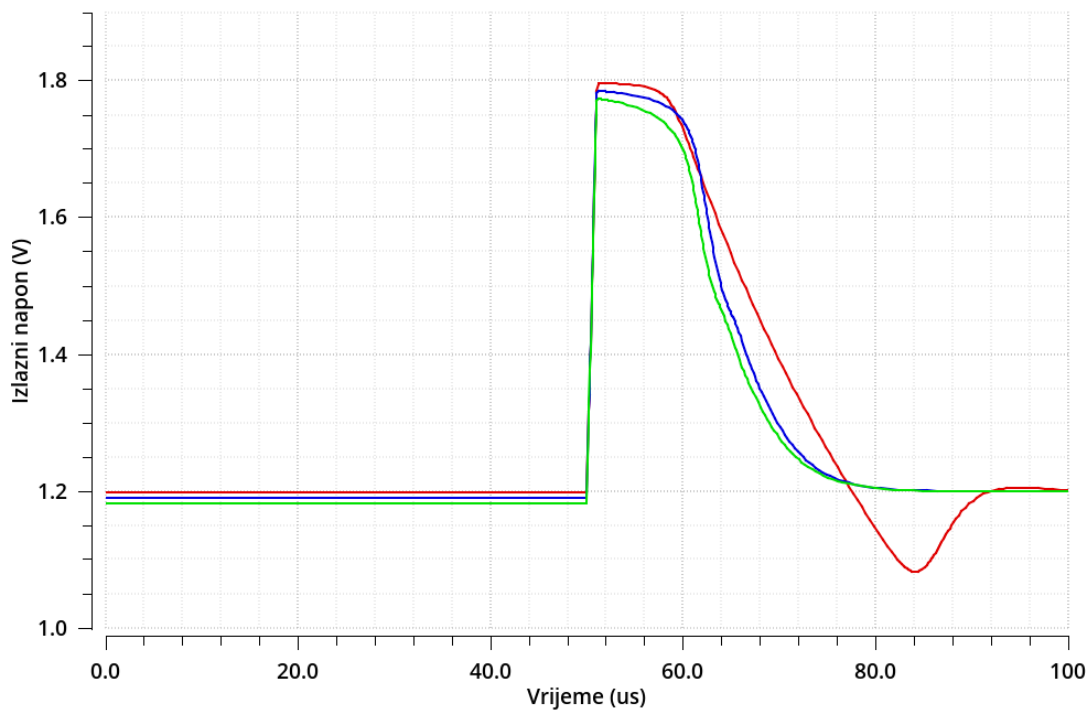
**Slika 2.4:** Amplitudno-frekvencijska (crveno) i fazno-frekvencijska (plavo) karakteristika uz  $I_L = 1 \mu\text{A}$ ,  $C_L = 5 \text{ pF}$ .

Promatranje tranzijentnih pojava ključan je aspekt analize projektiranog sklopa. Tranzijentne pojave su nagle promjene ulaznih i izlaznih varijabli, npr. ulaznog napona ili izlazne struje. Na slici 2.6 prikazan je odziv regulatora na uključivanje napona napajanja u trenutku  $t = 0$  uz tri različita opterećenja na izlazu simulirana pomoću odgovarajućih otpornika. Vidljivo je da u sva tri slučaja prvo dolazi do nadvišenja (približno do napona napajanja), a potom izlazni napon postupno poprima konačnu vrijednost. Prijelazna pojava najdulje traje u slučaju kad na izlazu nema opterećenja, a skraćuje se njegovim povećanjem. U najgorem slučaju vrijeme smirivanja iznosi gotovo  $40 \mu\text{s}$ , ali ono nije presudno jer se ova prijelazna pojava pojavljuje samo na početku rada kada se sklop priključi na napajanje, a na izlazu LDO regulatora postojat će i tada neko opterećenje.

Rubni slučajevi u kojima sklop mora ispravno raditi su prijelazi s minimalno dopuštenog ulaznog napona na nominalni (slika 2.7) i obratno (slika 2.8). Prvi dijagram gotovo u potpunosti odgovara inicijalnom uključivanju napajanja, samo što početna vrijednost u ovom slučaju iznosi  $1,2 \text{ V}$ . Na drugom dijagramu (slika 2.8) vidljivo je da pri padu napona napajanja dolazi do znatnog pada izlaznog napona, posebice kada na izlazu postoji opterećenje. U najgorem slučaju napon pada sve do približno  $0,7 \text{ V}$ , što je daleko ispod dopuštenih  $1,1 \text{ V}$ .

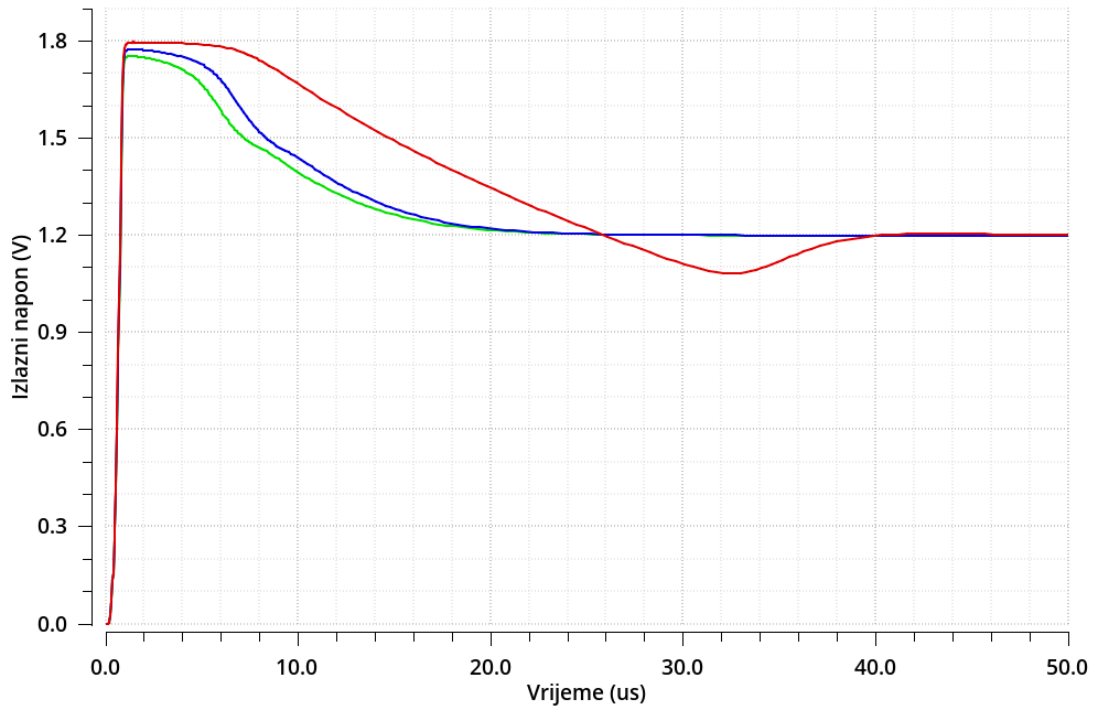


**Slika 2.5:** Amplitudno-frekvencijska (crveno) i fazno-frekvencijska (plavo) karakteristika uz  $I_L = 2 \mu\text{A}$ ,  $C_L = 5 \text{ pF}$ .

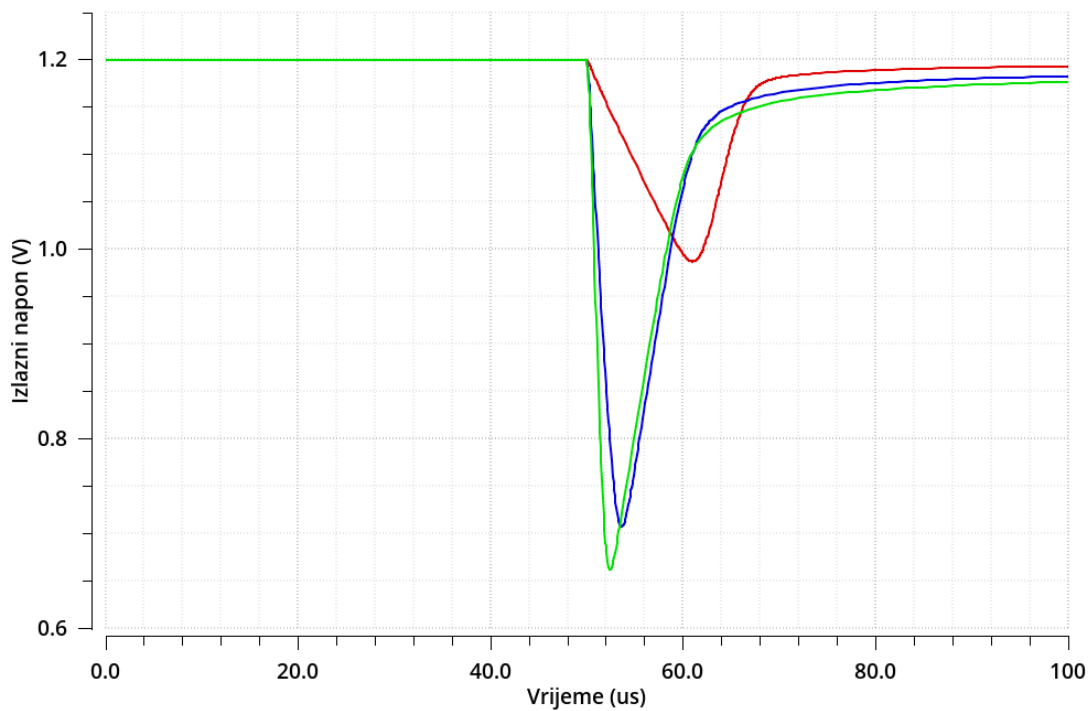


**Slika 2.7:** Skok napona napajanja  $V_{DD0}$  s 1,2 V na 1,8 V u trenutku  $t = 50 \mu\text{s}$  uz  $I_L = 0 \mu\text{A}$  (crveno),  $I_L = 1 \mu\text{A}$  (plavo) i  $I_L = 2$  (zeleno),  $C_L = 5 \text{ pF}$ .

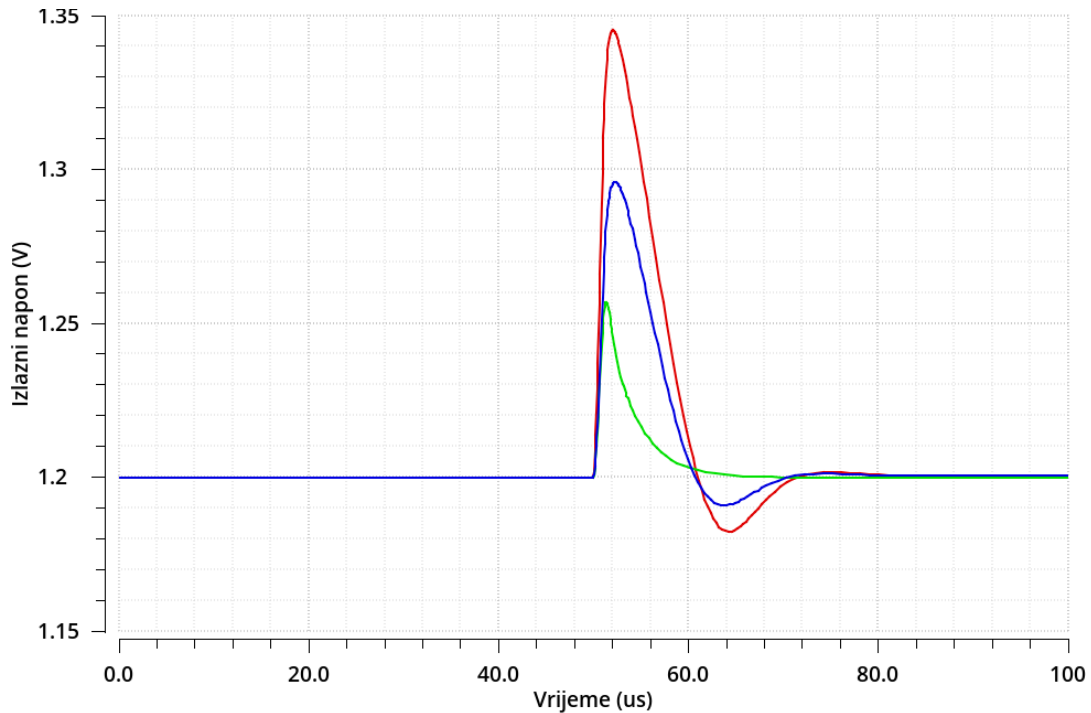




**Slika 2.6:** Uključivanje napona napajanja  $V_{DD0}$  uz  $I_L = 0 \mu\text{A}$  (crveno),  $I_L = 1 \mu\text{A}$  (plavo) i  $I_L = 2 \mu\text{A}$  (zeleno),  $C_L = 5 \text{ pF}$ .



**Slika 2.8:** Pad napona napajanja  $V_{DD0}$  s 1,8 V na 1,2 V u trenutku  $t = 50 \mu\text{s}$  uz  $I_L = 0 \mu\text{A}$  (crveno),  $I_L = 1 \mu\text{A}$  (plavo) i  $I_L = 2 \mu\text{A}$  (zeleno),  $C_L = 5 \text{ pF}$ .



**Slika 2.9:** Pad izlazne struje s  $2 \mu\text{A}$  na  $0 \mu\text{A}$  (crveno), s  $1 \mu\text{A}$  na  $0 \mu\text{A}$  (plavo) i s  $2 \mu\text{A}$  na  $1 \mu\text{A}$  (zeleno) u trenutku  $t = 50 \mu\text{s}$ .

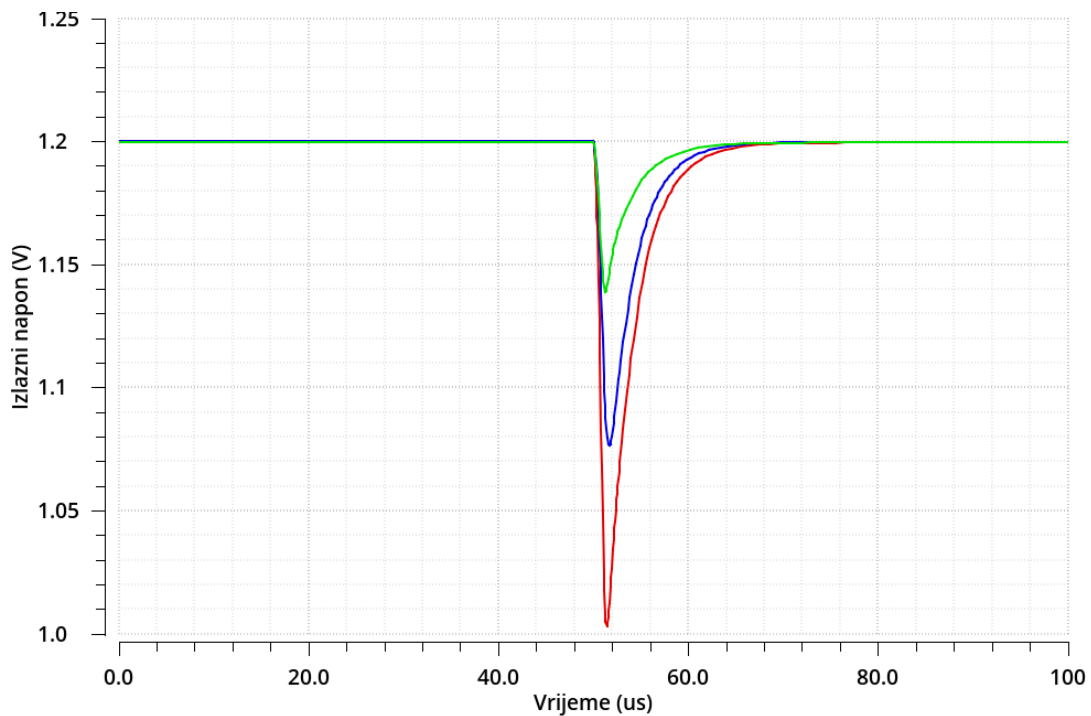
U stvarnom radu RTC sklopa promjene ulaznog napona neće biti ovoliko drastične. Budući da maksimalna potrošnja čitavog sklopa iznosi tek  $2 \mu\text{A}$ , vanjski izvor napajanja koji bi pokazivao ovako loše karakteristike s promjenom opterećenja bio bi iznimno loš. U laboratorijskim uvjetima moguće je osigurati vrlo stabilan izvor napajanja pa ovo neće predstavljati problem pri mjerenjima. Iz prethodnih dijagrama vidljivo je i da uz ulazni napon od  $1,2 \text{ V}$  u stacionarnom stanju sklop funkcionira prema zadanim specifikacijama.

Prijelazne pojave koje vjernije opisuju tipični rad sklopa su promjene izlazne struje. Na slici 2.9 prikazane su situacije u kojima dolazi do naglog pada izlazne struje za određeni iznos. To potom uzrokuje nadvišenje izlaznog napona, koje u najgorem slučaju prelazi dopuštenih  $1,3 \text{ V}$ . Usporedbom dijagrama sa zelenom i plavom linijom vidljivo je da postoji znatna razlika u iznosu nadvišenja iako se radi o istom iznosu promjene struje ( $1 \mu\text{A}$ ). To je zato što LDO regulator sporije reagira pri nultom opterećenju zbog znatno manje strmine izlaznog tranzistora. Moguće je primijetiti da su vremena smirivanja vrlo slična za sva tri slučaja i iznose približno  $20 \mu\text{s}$ , što je unutar specifikacija.

Budući da su skokovi struje simulirani idealnim strujnim izvorom, ova simulacija predstavlja najgori slučaj. U stvarnosti neće doći do ovolikih nadvišenja jer

se realna izlazna struja ne može trenutačno promijeniti.

Na slici 2.10 prikazano je ponašanje sklopa pri naglom porastu izlazne struje. Oblik dijagrama odgovara prethodnom dijagramu zrcaljenom oko naponske razine od 1,2 V. Međutim, apsolutni iznosi promjena izlaznog napona nešto su veći, a to je najvidljivije pri najvećoj promjeni struje. Vremena smirivanja kraća su nego u prethodnom dijagramu i iznose nešto više od 10  $\mu\text{s}$ .

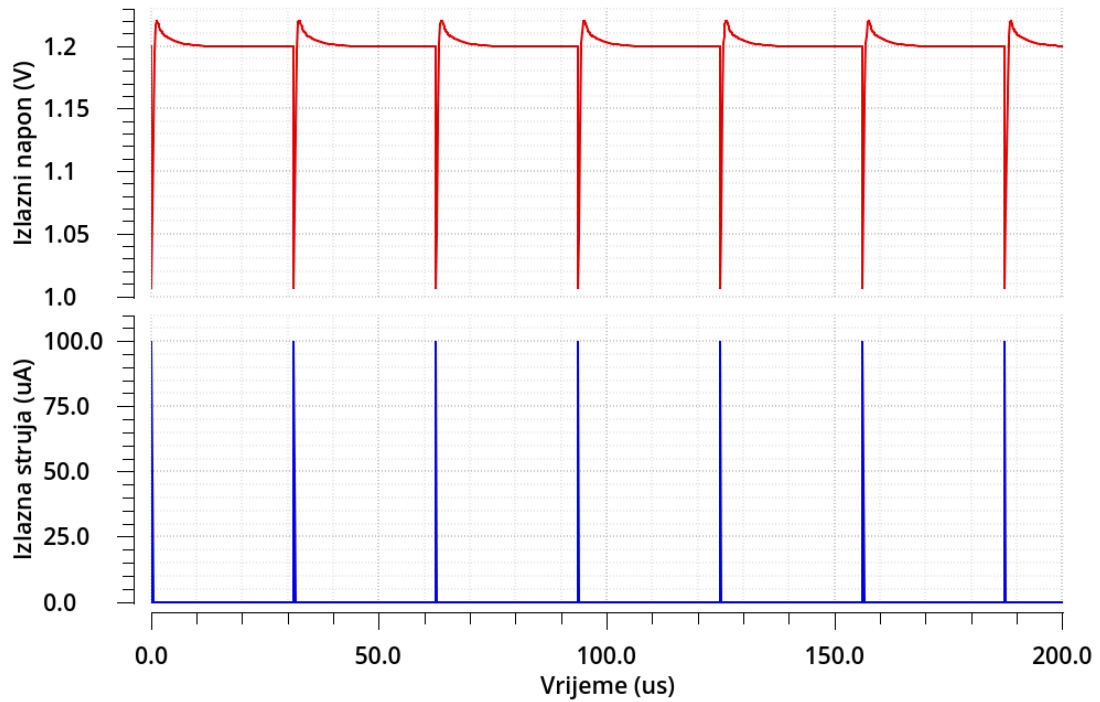


**Slika 2.10:** Porast izlazne struje s 0  $\mu\text{A}$  na 1  $\mu\text{A}$  (plavo), s 0  $\mu\text{A}$  na 2  $\mu\text{A}$  (crveno) i s 1  $\mu\text{A}$  na 2  $\mu\text{A}$  (zeleno) u trenutku  $t = 50 \mu\text{s}$ .

Slika 2.11 prikazuje ponašanje izlaznog napona kada je na izlazu prisutan periodičan strujni impuls čiji period odgovara periodu signala takta RTC sklopa. Prikazana situacija približno odgovara serijskom spoju od deset invertora čije je napajanje spojeno na izlaz LDO regulatora i predstavlja realni teret koji je moguće očekivati. Izlazni napon pada do približno 1,0 V, što ne bi trebalo ugroziti ispravan rad sklopa.

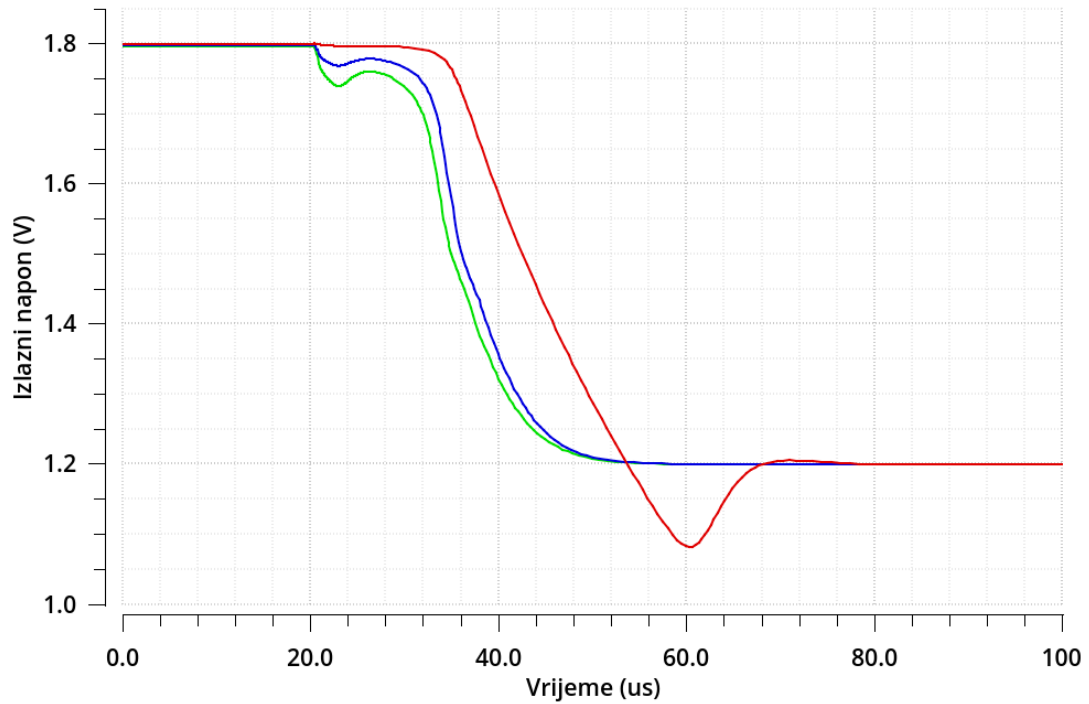
Konačno, potrebno je promotriti ponašanje sklopa pri uključenju upravljačkog signala za omogućavanje  $EN_{LDO}$ . Dijagram na slici 2.12 oblikom podsjeća na uključenje napona napajanja (slika 2.6), ali vremena smirivanja dodatno su produžena.

Svojestvo da se na izlazu određeno vrijeme zadržava viši napon napajanja vrlo je poželjno pri istovremenom pokretanju LDO regulatora i generatora reference.



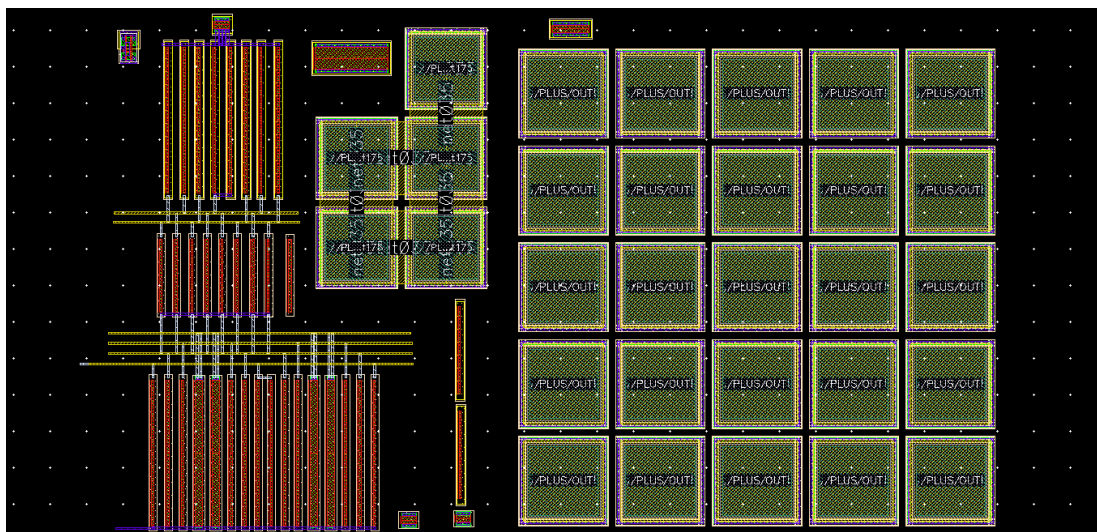
**Slika 2.11:** Odziv LDO regulatora na strujni puls amplitude  $100 \mu\text{A}$ , širine  $10 \text{ ns}$  i frekvencije  $32 \text{ kHz}$  uz DC izlaznu struju od  $1 \mu\text{A}$ .

To vrijeme osigurat će pokretanje generatora reference bez potrebe za dodatnim sklopovljem za kašnjenje između *enable* signala. U suprotnom, izlazni napon mogao bi pasti ispod  $1,2 \text{ V}$  prije generiranja referentnog napona i tako zaustaviti rad čitavog sklopa.



Slika 2.12: Odziv LDO regulatora na postavljanje signala  $EN_{LDO} = 1$  u trenutku  $t = 20 \mu\text{s}$  uz  $I_L = 0 \mu\text{A}$  (crveno),  $I_L = 1 \mu\text{A}$  (plavo) i  $I_L = 2 \mu\text{A}$  (zeleno),  $C_L = 5 \text{pF}$ .

## 2.4. Topološki nacrt



Slika 2.13: Topološki nacrt naponskog regulatora.

## 2.5. Zaključak

U ovom poglavlju prikazan je postupak projektiranja naponskog regulatora s malim padom napona između ulaza i izlaza. Glavni zahtjev bio je ostvarivanje željenih specifikacija uz ograničenu potrošnju struje. Opisana je procedura dizajna i uloga pojedinih dijelova sklopa. Inicijalna konfiguracija regulatora proširena je dodatkom sklopovlja za omogućavanje.

U programskom paketu Cadence Virtuoso nacrtana je električna shema i provedena tranzijentna analiza. Prikazan je odziv regulatora na velik broj prijelaznih pojava koje je moguće očekivati tijekom rada sklopa za generiranje takta od 1 Hz. Ni u jednom od promatranih slučajeva ne dolazi do oscilacija ili drugih neželjenih pojava. Dakle, projektirani regulator je stabilan. Moguće je očekivati da će u stvarnom radu sklopa ponašanje regulatora biti bolje nego u najgorem analiziranom slučaju.

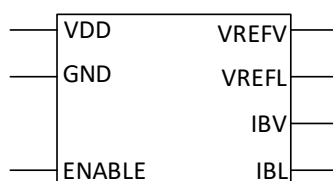
Linearni naponski regulatori neizostavan su dio velikog broja elektroničkih uređaja. Njihov nizak šum predstavlja glavnu prednost nad prekidačkim pretvornicima napona.

## 3. Generator referentnog napona

### 3.1. Opis bloka

Zadaća generatora referentnog napona i struje (engl. *Reference Generator*, REFG) je dati temperaturno i vremenski stabilne naponske i strujne reference na svojim izlazima [3], [4], [11], [13], [14]. Ove se reference zatim koriste u V2I sklopu (engl. *Voltage to current converter*) kao i u LDO sklopu (engl. *Low-Dropout Voltage Regulator*) koji je spojen u povratnu vezu sa samim sklopom referentnog generatora. Referentni generator kao ulaz prima napon napajanja  $V_{DD}$  koji je izlaz iz LDO sklopa te *ENABLE* signal za omogućavanje rada sklopa (slika 3.1).

Blok obavlja funkciju sklopa poznatog kao *Bandgap voltage reference* koji se inače izvodi u bipolarnoj tehnologiji zbog povoljne eksponencijalne karakteristike pn-spoja. U ovom projektu to se nastoji oponašati CMOS tehnologijom odabirom ispravne radne točke sklopa. Ovaj koncept će biti pojašnjen kasnije u poglavlju 3.2. Glavna karakteristika takvog sklopa je otpornost izlaza na promjene napona napajanja, promjenu temperature te potrošnju sklopova koji se spajaju na njega.

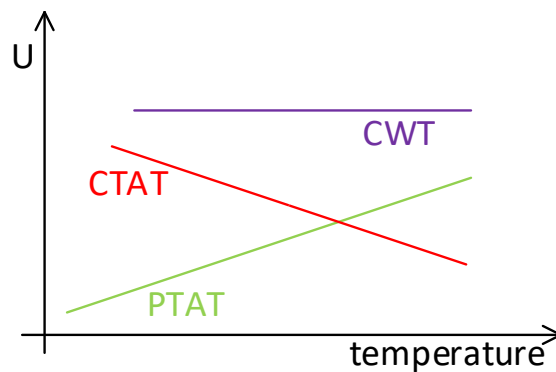


Slika 3.1: Ulazi i izlazi bloka REFG.

### 3.2. Teorijske osnove i opis rada sklopa

Naponska referenca neizbježan je sklop za realizaciju precizne elektronike. U dizajnu sustava generatora takta od 1 Hz referenca je nužna kako bi LDO pouzdano generirao temperaturno i vremenski stabilan napon napajanja te kako bi se na izlazima oscilatora generirao signal stabilne frekvencije.

Osnovna ideja iza sklopa za generiranje naponske reference je da se pronađu dvije električne veličine u sklopu koje imaju različiti temperaturni koeficijent, tj. takve da je jedna proporcionalna s temperaturom (engl. *proportional to absolute temperature*, PTAT), a druga obrnuto proporcionalna s temperaturom (engl. *complementary to absolute temperature*, CTAT). Zatim treba naći način da se te dvije veličine zbroje kako bi zajedno dale neku veličinu koja je konstantna s temperaturom (engl. *constant with temperature*, CWT) (slika 3.2). Uobičajeno se kao PTAT veličina uzima razlika napona baza-emiter između dva bipolarna tranzistora koji rade u različitim radnim točkama ( $U_{BE2} - U_{BE1} \propto T$ ). Kao CTAT veličina može se uzeti napon baza-emiter jednog bipolarnog tranzistora ( $U_{BE} \propto -T$ ).



**Slika 3.2:** Princip generiranja CWT napona.

U dizajnu sustava generatora takta od 1 Hz, zbog ograničenja na 180 nm CMOS tehnologiju, nisu se mogli koristiti bipolarni tranzistori kako bi se postigla naponska referenca. Dobra zamjena za bipolarne tranzistore pronađena je u MOSFET tranzistorima koji rade u slaboj inverziji (engl. *weak-inversion / sub-threshold conduction*). Slaba inverzija nastupa kada je napon  $U_{GS}$  MOSFET-a manji od napona praga  $U_{TH}$ .

Model idealnog MOSFET tranzistora pretpostavlja da u ovom području ne teku struje, a ostatak karakteristike opisuje se kvadratnom funkcijom, no to nije točno za realni MOSFET. Naime, u slaboj inverziji kroz tranzistor mogu teći struje u desetima nA, a kako se u potpunom dizajnu generatora takta od 1 Hz teži k niskoj potrošnji to su ujedno vrijednosti struja koje su i poželjne u referentnom generatoru. Osim male potrošnje pogodnost slabe inverzije je da prijenosna karakteristika tranzistora više ne prati uobičajenu kvadratnu funkciju, već je ona eksponencijalna (izraz (3.1)) baš kao i kod bipolarnih tranzistora, što omogućuje dobivanje PTAT i CTAT napona. U izrazu (3.1)  $I_S$  je karakteristična



struja određena parametrima procesa,  $n$  je faktor injekcije ( $n \approx 1.5$ ),  $W$  i  $L$  su širina i dužina tranzistora i  $U_T$  je naponski ekvivalent temperature ( $U_T = kT/q$ ).

$$I_D \approx I_S \frac{W}{L} e^{\frac{U_{GS} - U_{TH}}{nU_T}} \quad (3.1)$$

Kako bi se proizveo PTAT napon u bloku referentnog generatora korištena je razlika između napona  $U_{GS}$  tranzistora  $M_{N1}$  i  $M_{N2}$  (shema bloka REFG na slici 3.4) koji rade u slaboj inverziji. Naime, strujno zrcalo ( $M_{P1}, M_{P2}$ ) osigurava jednake struje kroz grane tranzistora  $M_{N1}$  i  $M_{N2}$  (izraz (3.2)). Uz uvjet da su duljine tranzistora jednake iz Kirchhoffovog zakona za napone slijedi izraz za napon  $V_B$  (izraz (3.3)).

$$I_S \frac{W_{MN1}}{L} e^{\frac{U_{GS1} - U_{TH}}{nU_T}} = I_S \frac{W_{MN2}}{L} e^{\frac{U_{GS2} - U_{TH}}{nU_T}} \quad (3.2)$$

$$V_B = U_{GS2} - U_{GS1} \approx nU_T \ln\left(\frac{W_{MN1}}{W_{MN2}}\right) \quad (3.3)$$

Kako je napon  $V_B$  zapravo napon na otporu  $R_1$  iz izraza (3.3) slijedi izraz za struju u istoj grani:

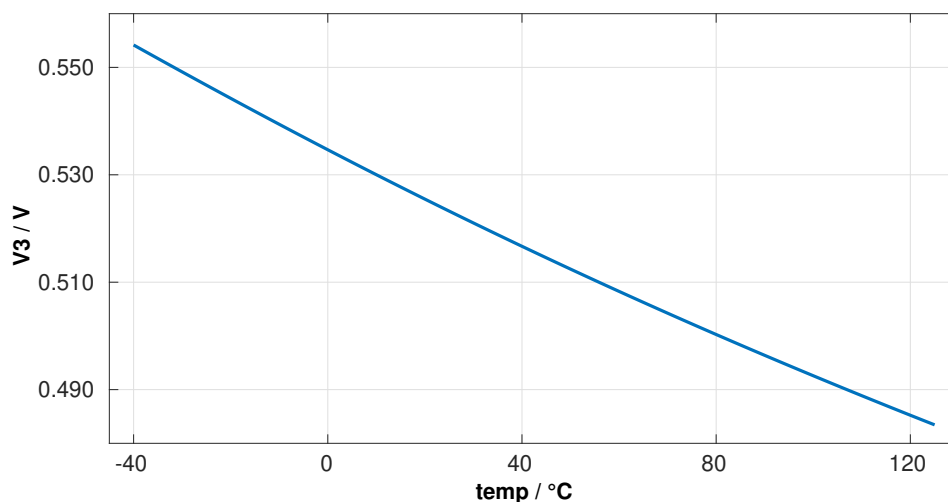
$$I_{PTAT} = \frac{nU_T \ln\left(\frac{W_{MN1}}{W_{MN2}}\right)}{R_1} \quad (3.4)$$

Struja tranzistora  $M_{P1}$  se zatim strujnim zrcalom preslikava u grane tranzistora  $M_{P3}$  i  $M_{P4}$  jer su jednakih dimenzija kao  $M_{P1}$  (tablica 3.2).

Preslikana struja koja teče kroz  $M_{P3}$  na otporu  $R_2$  uzrokuje PTAT napon  $V_{REFV} = I_{PTAT} \cdot R_2$ . Također, struja u grani tranzistora  $M_{P4}$  na otporniku  $R_3$  uzrokuje PTAT pad napona. U seriji s otporom  $R_3$  nalazi se nMOS tranzistor  $M_{N3}$  u diodnom spoju. Napon  $V_3$  na tom tranzistoru uz konstantnu struju mijenja se obrnuto proporcionalno temperaturi (slika 3.3). Iako se to ne vidi iz izraza (3.1), skoro svi parametri u tom modelu ovisni su s temperaturom te skupa rezultiraju CTAT naponom na tranzistoru. Rezultat PTAT napona na otporu i CTAT napona na tranzistoru uz pažljivo odabrane parametre komponenata u toj grani može dati CWT napon  $V_{REFL}$  prema izrazu (3.5).

$$V_{REFL} = V_3 + nU_T \ln\left(\frac{W_{MN1}}{W_{MN2}}\right) \frac{R_3}{R_1} \quad (3.5)$$

Još jedna prednost ovakve konfiguracije naponske reference može se uočiti u izrazu (3.4). Naime, struja  $I_{PTAT}$  u slučaju kada tranzistori rade u zasićenju



**Slika 3.3:** Temperaturna karakteristika nMOS tranzistora ( $W = 240 \text{ nm}$ ,  $L = 20 \text{ }\mu\text{m}$ ) u diodnom spoju kroz koji teče konstantna struja od  $38 \text{ nA}$ .

za idealni slučaj ne ovisi o naponu napajanja sklopa  $V_{DD}$ . Tako da ni izlazni naponi i struje ne ovise o promjeni napajanja u nekim granicama. Ovo svojstvo je iznimno važno pri uključivanju sklopa i stabilizaciji izlaza LDO-a, jer su u dizajnu generatora takta od  $1 \text{ Hz}$  sklopovi referentnog generatora i stabilizatora napona (LDO) spojeni u povratnu vezu.

Sličan rezultat bio bi i ako tranzistori rade u jakoj inverziji kanala. Izlazi ne bi ovisili o naponu napajanja, ali bi se povećala potrošnja sklopa i ovisnost o temperaturi više ne bi bila linearna pa bi bilo puno teže ostvariti PTAT napon  $V_{REFV}$  i CWT napon  $V_{REFL}$ .

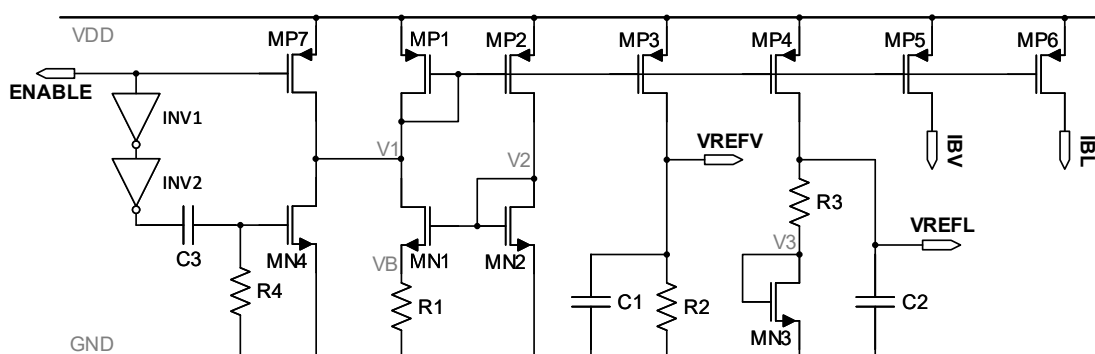
### 3.3. Specifikacije i shema

Na razini cijelog projekta dogovorene su specifikacije koje sklop REFG mora ispuniti i prikazane su u tablici 3.1.

Sklop koji zadovoljava zadane specifikacije (uz podešene parametre komponenti) i ponaša se kao naponska referenca prikazan je na slici 3.4. Ovaj sklop opisan je u prethodnom poglavlju. Popis svih komponenti koje čine sklop sa slike 3.4 nalazi se u tablici 3.2. Početne vrijednosti komponenti dobivene su jednostavnim proračunima koristeći nadomjesne sheme i procjene, a zatim su se u postupku projektiranja vrijednosti precizno definirale uspoređivanjem rezultata simulacija sa specifikacijama. U sklopu su neke komponente izvedene od više istih spojenih u paralelu (tranzistori i kondenzatori) ili seriju (otpornici). Te su

**Tablica 3.1:** Dogovorene specifikacije sklopa REFG.

Parametar	Opis	Min	Nom	Max	Jedinica
$V_{DD}$	Ulazni napon	1,1	1,2	1,3	V
$I_{DD}$	Potrošnja struje	150	250	400	nA
$V_{REFV}$	PTAT referentni napon	0,28	0,35	0,45	V
$V_{REFL}$	CWT referentni napon	0,55	0,6	0,65	V
$I_{BV}$	PTAT struja	25	50	75	nA
$I_{BL}$	PTAT struja	25	50	75	nA
$t_{settling}$	Vrijeme ustaljivanja			32	$\mu$ s



**Slika 3.4:** Shema bloka referentnog generatora REFG.

komponente naznačene u tablici znakom množenja " $\times$ ". Razlog za ovaj postupak rastavljanja komponenti na dijelove je tehnološki. Prvo, neke komponente je teško izvesti u jednom dijelu (veliki iznosi otpora i kapaciteta). Drugo, u tehnologiji su puno manje tolerancije na omjere širina i dužina, nego na njihove apsolutne vrijednosti. Ovo pravilo je iskorišteno pri projektiranju strujnog zrcala  $M_{P1}$  do  $M_{P6}$  za koje su važni omjeri (pMOS tranzistori) i pri projektiranju same naponske reference nMOS tranzistorima, za što su također važni omjeri.

## 3.4. Rezultati simulacija

### 3.4.1. Statička analiza

Nakon određivanja početne sheme sklopa, koja je kroz rad na projektu doživjela manje promjene, trebalo je parametre komponenti postaviti tako da su što preciznije zadovoljene sve specifikacije u statičkom stanju. Upravo je statička analiza bila polazna točka za sve kasnije promjene i analize u sklopu i uvijek bi se nakon modifikacija ponovo provjeravale statičke vrijednosti izlaza jer su one ključne za ispravan rad naponske reference. Konačne statičke vrijednosti ulaza i izlaza u

**Tablica 3.2:** Popis komponenti s odabranim parametrima sklopa referentnog generatora REFG.

Oznaka	Ime	Parametri
<i>MP1</i>	pmos4	$W = 3 \times 240 \text{ nm}, L = 10 \text{ }\mu\text{m}$
<i>MP2</i>	pmos4	$W = 3 \times 240 \text{ nm}, L = 10 \text{ }\mu\text{m}$
<i>MP3</i>	pmos4	$W = 3 \times 240 \text{ nm}, L = 10 \text{ }\mu\text{m}$
<i>MP4</i>	pmos4	$W = 3 \times 240 \text{ nm}, L = 10 \text{ }\mu\text{m}$
<i>MP5</i>	pmos4	$W = 4 \times 240 \text{ nm}, L = 10 \text{ }\mu\text{m}$
<i>MP6</i>	pmos4	$W = 4 \times 240 \text{ nm}, L = 10 \text{ }\mu\text{m}$
<i>MP7</i>	pmos4	$W = 10 \text{ }\mu\text{m}, L = 1 \text{ }\mu\text{m}$
<i>MN1</i>	nmos4	$W = 12 \times 1 \text{ }\mu\text{m}, L = 7 \text{ }\mu\text{m}$
<i>MN2</i>	nmos4	$W = 5 \times 1 \text{ }\mu\text{m}, L = 7 \text{ }\mu\text{m}$
<i>MN3</i>	nmos4	$W = 240 \text{ nm}, L = 20 \text{ }\mu\text{m}$
<i>MN4</i>	nmos4	$W = 10 \text{ }\mu\text{m}, L = 1 \text{ }\mu\text{m}$
<i>R1</i>	rpoly1pc	$W = 420 \text{ nm}, L = 999 \text{ }\mu\text{m}, R = 825 \text{ k}\Omega$
<i>R2</i>	rpoly1pc	$W = 420 \text{ nm}, L = 12 \times 944 \text{ }\mu\text{m}, R = 12 \times 780 \text{ k}\Omega$
<i>R3</i>	rpoly1nc	$W = 420 \text{ nm}, L = 5 \times 490 \text{ }\mu\text{m}, R = 5 \times 415 \text{ k}\Omega$
<i>R4</i>	rpoly1pc	$W = 420 \text{ nm}, L = 999 \text{ }\mu\text{m}, R = 825 \text{ k}\Omega$
<i>C1</i>	cmim2	$W = 5 \times 10 \text{ }\mu\text{m}, L = 10 \text{ }\mu\text{m}, C = 5 \times 206 \text{ fF}$
<i>C2</i>	cmim2	$W = 5 \times 10 \text{ }\mu\text{m}, L = 10 \text{ }\mu\text{m}, C = 5 \times 206 \text{ fF}$
<i>C3</i>	cmim2	$W = 8 \times 10 \text{ }\mu\text{m}, L = 10 \text{ }\mu\text{m}, C = 8 \times 206 \text{ fF}$
<i>INV1</i>	IN VX1	Invertor 0-1,8 V
<i>INV2</i>	IN VX1	Invertor 0-1,8 V

sklop dane su u tablici 3.3. Vrijednosti ukazuju na vrlo malu ovisnost izlaza o ulaznom napajanju, što se i nastojalo postići.

**Tablica 3.3:** Statičke vrijednosti izlaza bloka REFG za nominalnu i rubne vrijednosti specifikacije napajanja.

Parametar	-	Nom	-	Jedinica
$V_{DD}$	1,1	1,2	1,3	V
$I_{DD}$	246,3	248,9	251,0	nA
$V_{REFV}$	348,0	350,8	353,6	mV
$V_{REFL}$	598,6	600,0	601,4	mV
$I_{BV}$	48,76	49,52	49,96	nA
$I_{BL}$	48,76	49,52	49,96	nA

Da bi se utvrdilo koliko sklop dobro kompenzira promjenu temperature, provedena je statička analiza na svim temperaturama koje obuhvaća specifikacija s korakom od 1 °C, a to je od -40 °C do 125 °C. Standardno se promjena neke veličine s temperaturom izražava pomoću koeficijenta prvog reda  $TC1$  i drugog reda  $TC2$  iz relacije (3.6) koja je zapravo aproksimacija temperaturne karak-

teristike Taylorovim polinomom drugog reda oko nominalne temperature  $T_0=27$  °C.

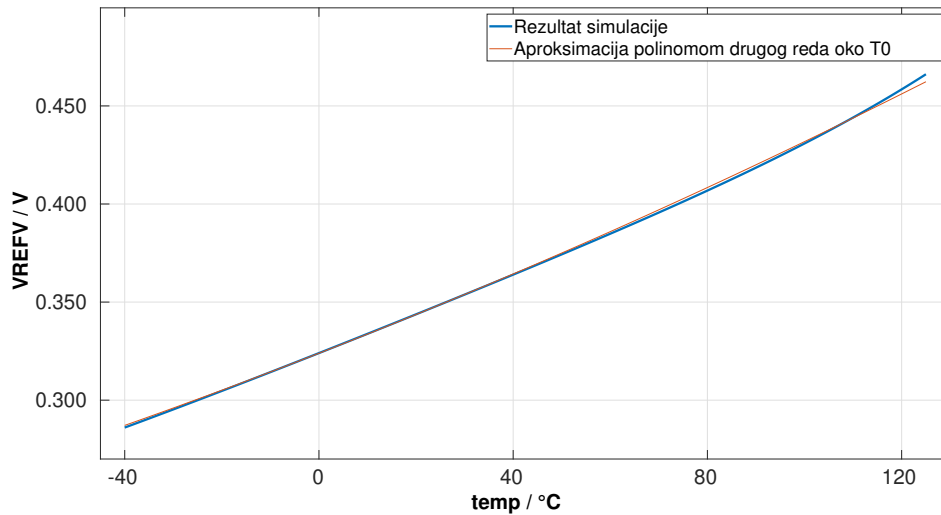
$$V(T) = V(T_0) \cdot (1 + TC_1 \cdot (T - T_0) + TC_2 \cdot (T - T_0)^2) \quad (3.6)$$

Za napon  $V_{REFV}$  koeficijenti su:

$$- TC1 = 2926 \text{ ppm}/^\circ\text{C}$$

$$- TC2 = 3,246 \text{ ppm}/^\circ\text{C}^2$$

Koeficijenti pokazuju da je napon  $V_{REFV}$  uistinu PTAT napon, a to potvrđuje i slika 3.5 iz koje se vidi dominacija pozitivnog koeficijenta TC1 kroz cijelo temperaturno područje. Također, napon  $V_{REFV}$  zadovoljava specifikaciju na iznos u zadanom temperaturnom rasponu.



**Slika 3.5:** Ovisnost napona  $V_{REFV}$  o temperaturi.

Iznosi koeficijenata za napon  $V_{REFL}$  su:

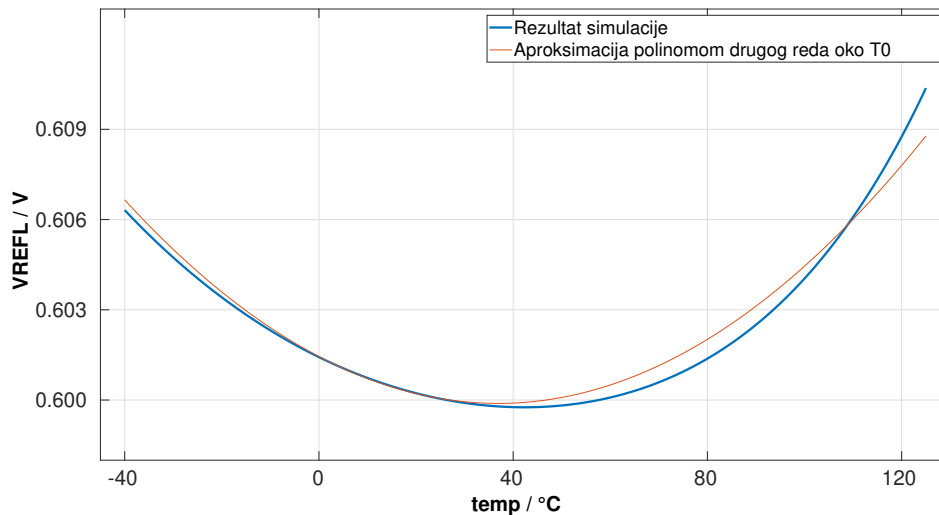
$$- TC1 = -37,67 \text{ ppm}/^\circ\text{C}$$

$$- TC2 = 1,908 \text{ ppm}/^\circ\text{C}^2$$

Iznosi koeficijenata i temperaturna karakteristika na slici 3.6 upućuju na to da sklop vrlo dobro kompenzira promjenu temperature na izlazu  $V_{REFL}$ , tj. da se napon na najbitnijem temperaturnom rasponu od 5 °C do 85 °C, u kojem će se sklop najčešće koristiti, gotovo ne mijenja. Temperaturni koeficijent prvog reda je zadovoljavajuć, a bio bi još i manji da je procjena rađena oko temperatura nešto viših od nominalne gdje je očekivano da će sklop raditi (radi samozagrijavanja). Koeficijent drugog reda za  $V_{REFL}$  je malen što osigurava širok raspon

temperatura na kojima je karakteristika konstantna. Najveća promjena napona  $V_{REFL}$  u odnosu na vrijednost pri  $T=27\text{ °C}$  je  $+1,73\%$  i  $-0,03\%$  (slika 3.6).

Rezultati potvrđuju teorijska razmatranja iz poglavlja 3.2, ali također pokazuju da sva zanemarenja koja su u takvom modelu napravljena ipak utječu na rezultat i često ih je vrlo teško eliminirati.



Slika 3.6: Ovisnost napona  $V_{REFL}$  o temperaturi.

### 3.4.2. Tranzijentna analiza

Važan korak u projektiranju sklopa referentnog generatora bila je njegova dinamika pri uključivanju. Sklop je zamišljen tako da su njegovi izlazi neaktivni dok je digitalni signal *ENABLE* nisko te da se u trenutku kada signal *ENABLE* postane visok sklop uključi u vremenu koje je razmjerno periodu sklopova oscilatora (OSCC1 i OSCC2) koji u dizajnu generatora takta od 1 Hz rade s periodom oko  $32\ \mu\text{s}$ . To je osigurano pomoću sklopa za uključivanje kojeg čine dva tranzistora  $M_{P7}$  i  $M_{N4}$ , kondenzator  $C_3$ , otpornik  $R_3$  te dva invertora  $INV_1$  i  $INV_2$  (slika 3.4).

Bez sklopovlja za uključivanje sklop referentnog generatora ima tendenciju uključivati se vrlo sporo ili se čak uopće ne uključiti. Naime, kada bi uključivali referentni generator bez sklopova za uključivanje tako što bi u jednom trenutku podigli ulazni napon  $V_{DD}$  s 0 V na 1.2 V, napon  $V_1$ , koji je napon na svim upravljačkim elektrodama tranzistora u strujnom zrcalu  $M_{P1}$  do  $M_{P6}$ , u tom trenutku postao bi skoro jednak naponu napajanja zbog velike impedancije između  $V_1$  i *GND* koju čine tranzistor  $M_{N1}$  i megaomski otpor  $R_1$ . Kad se sklop jednom

nađe u tom stanju uključit će se vrlo sporo ili nikako jer visoki napon  $V_1$  znači da su svi tranzistori u strujnom zrcalu u zapiranju. Naponi između upravljačkih i uvodskih elektroda pMOS tranzistora u strujnom zrcalu su u tom slučaju puno manji od napona praga tih tranzistora pa su struje kroz njih također vrlo male. To sve skupa uzrokuje vrijeme uključivanja sklopa koje je vrlo dugo, i do nekoliko milisekundi.

Prema dizajnu ulazni napon  $V_{DD}$  je prije dolaska signala *ENABLE* iznosa 1,8 V, a nakon dolaska signala *ENABLE* spušta se na 1,2 V. No, da bi sklop LDO mogao napraviti ovaj prijelaz s nestabilnog izlaza iznosa 1,8 V na stabiliziranih 1,2 V potrebni su mu struja  $I_{BL}$  i napon  $V_{REFL}$  koje generira referentni generator. Kako bi se sklop LDO mogao osloniti na struju i napon referentnog generatora u trenutku dolaska *ENABLE* signala izlazi referentnog generatora se moraju podići na neku značajniju vrijednost što prije. Ako bi napon  $V_1$  kao u ranije objašnjenom slučaju postao visok, referentni generator bi reagirao vrlo sporo. Na izlazima bi dugo vremena bile male vrijednosti struje i napona zbog kojih sklop LDO ne bi mogao generirati napon  $V_{DD}$  i cijela povratna veza ne bi mogla proraditi, tj. sklopovi bi se isključili.

Problem se doskočilo pomoću već spomenutog sklopa za uključivanje. Sklop radi tako da dok je signal *ENABLE* nisko tranzistor  $M_{P7}$  vodi i tako drži napon  $V_1$  na naponu napajanja  $V_{DD}$ , a to znači da su svi tranzistori u strujnom zrcalu u zapiranju i sklop ne radi. Vrlo mali otpor u vođenju između uvodske i odvodske elektrode tranzistora  $M_{P7}$  osiguran je velikom širinom i malom dužinom tranzistora. U trenutku dolaska signala *ENABLE* napon  $V_1$  ima tendenciju podići se visoko, ali ga u početnom trenutku onemogućuje nMOS tranzistor  $M_{N4}$ . To se događa jer rastući brid signala *ENABLE* prolazi kroz kondenzator  $C_3$  (brid sadrži visoke frekvencije za koje kapacitet predstavlja malu impedanciju) i pojavljuje se kao pad napona na otporniku  $R_4$ , tj. na upravljačkoj elektrodi tranzistora  $M_{N4}$ . Taj kratki naponski impuls na kratko otvara tranzistor  $M_{N4}$  i tako spaja napon  $V_1$  na *GND*. Ovo kratko spajanje  $V_1$  na *GND* u trenutku dolaska signala *ENABLE* potpuno otvara sve tranzistore u strujnom zrcalu  $M_{P1}$  do  $M_{P6}$  pa se izlazi sklopa vrlo brzo podignu na značajne vrijednosti potrebne za rad sklopa LDO. Invertori  $INV_1$  i  $INV_2$  osiguravaju da je brzina rastućeg brida signala *ENABLE* uvijek ista kako bi se vrijeme u kojem tranzistor  $M_{N4}$  vodi moglo kontrolirati parametrima kondenzatora  $C_3$  i otpornika  $R_4$ . Kada invertora ne bi bilo, brid signala *ENABLE*, kojeg na putu od upravljačkog sklopa do referentnog generatora razni paraziti izobličie zbog čega je nepredvidivog trajanja, možda ne

bi odgovarao parametrima kondenzatora i otpora pa bi potencijalno uzrokovao prekratak ili predugi impuls.

Ubrzo nakon kratkog impulsa uzrokovanog rastućim bridom signala *ENABLE*, signal *ENABLE* se više ne mijenja pa za njega kondenzator  $C_3$  predstavlja izrazito visoku impedanciju. Upravljačka elektroda tranzistora  $M_{N4}$  tada je spojena na *GND* preko otpornika  $R_4$  i tranzistor je u zapiranjju baš kao i pMOS tranzistor  $M_{P7}$  pa sklop za uključivanje više ne utječe na napon  $V_1$ , niti na ostatak sklopa.

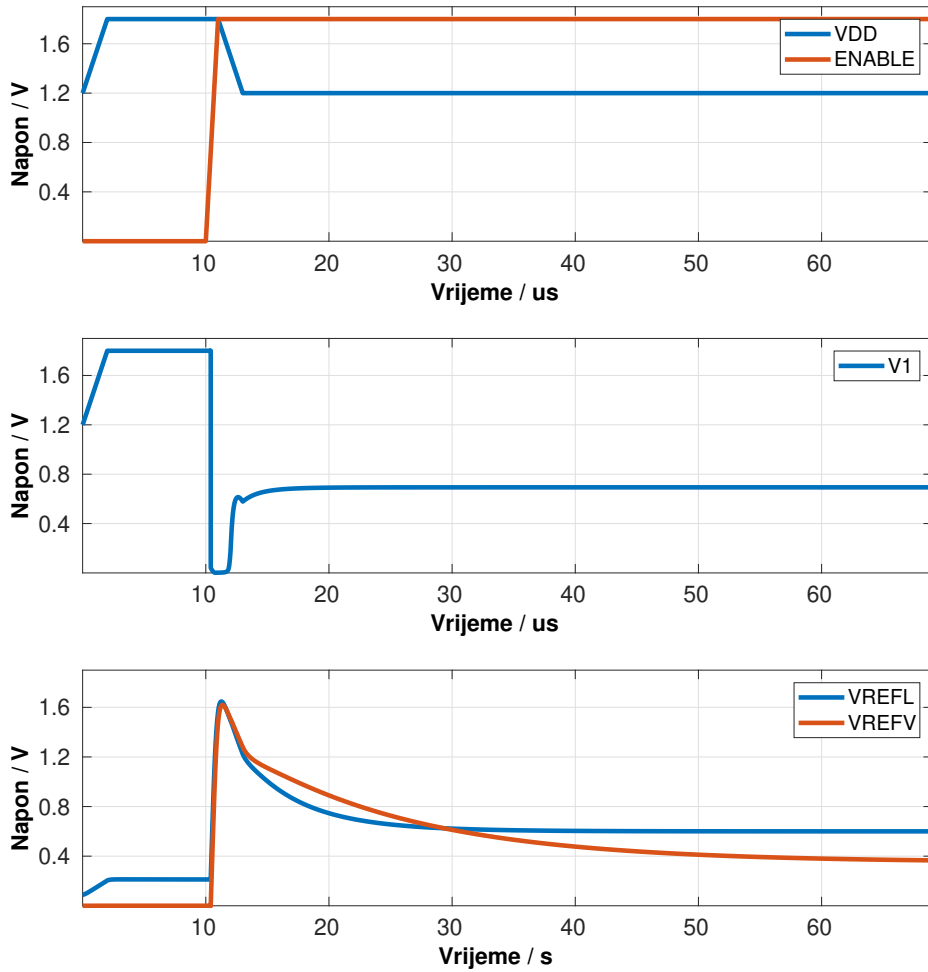
Rad objašnjenog sklopa za uključivanje vidljiv je u rezultatima tranzijentne analize na slici 3.7. Vidljivo je da je prije dolaska signala *ENABLE* napon  $V_1$  podignut na napon napajanja te da su izlazi vrlo malih vrijednosti. Podizanjem signala *ENABLE* napon  $V_1$  je kratko vrijeme vrlo nizak što omogućuje izlazima sklopa da se brzo popnu na značajnije vrijednosti pomoću kojih sklop LDO može nastaviti raditi dajući na svom izlazu stabilizirani napon  $V_{DD}$  iznosa 1,2 V. Izlazi sklopa referentnog napona ustaljuju se u vremenu srazmjernom 32  $\mu s$  zahtijevanom prema specifikaciji. Točnije, napon  $V_{REFL}$  ulazi u stacionarno stanje nakon 16  $\mu s$ , a napon  $V_{REFV}$  nakon 40  $\mu s$  od aktiviranja signala *ENABLE*.

### 3.4.3. Simulacije s variranjem tehnoloških parametara

U programskom paketu Cadence, u kojem je rađeno projektiranje sklopa, postoji mogućnost mijenjanja tehnoloških parametara pojedinih vrsta komponenti. Ova mogućnost važna je kako bi se u simulacijama mogli provjeriti izlazi sklopa i u slučajevima kad svi tranzistori nisu idealno izvedeni kako su definirani u shemi, već s tolerancijama koje specificira tehnologija u kojoj se integrirani sklop izvodi.

**Analiza rubnih tehnoloških parametara** Provedena je analiza u statičkom stanju za rubne vrijednosti ulaznih parametara i rubne tehnološke parametre komponenti. U analizi su korištena 2 rubna uvjeta za temperaturu, 2 za napon napajanja  $V_{DD}$ , 2 za tehnološke parametre otpornika, 2 za kondenzatore i 4 za tranzistore u CMOS tehnologiji (pMOS i nMOS). Sveukupno simulacija je provedena za 64 različite kombinacije rubnih parametara. Najmanje i najveće vrijednosti dobivene za svaki izlaz sklopa referentnog generatora te za potrošnju struje dane su u tablici 3.4. Usporedba dobivenih vrijednosti sa specifikacijama pokazuje da su rezultati na rubovima ili nešto izvan specifikacija što je i očekivano s obzirom na to da su testirani najgori mogući slučajevi koji u tehnologiji mogu nastupiti.





Slika 3.7: Rezultati tranzijentne analize. Pokretanje sklopa referentnog generatora.

Tablica 3.4: Rezultati analize rubnih tehnoloških parametara referentnog generatora.

Parametar	Min	Nom	Max	Jedinica
$I_{DD}$	149,5	248,9	273,7	nA
$V_{REFV}$	272,8	350,8	516,2	mV
$V_{REFL}$	505,4	600,0	729,9	mV
$I_{BV}$	29,89	49,52	58,12	nA
$I_{BL}$	29,89	49,52	58,12	nA

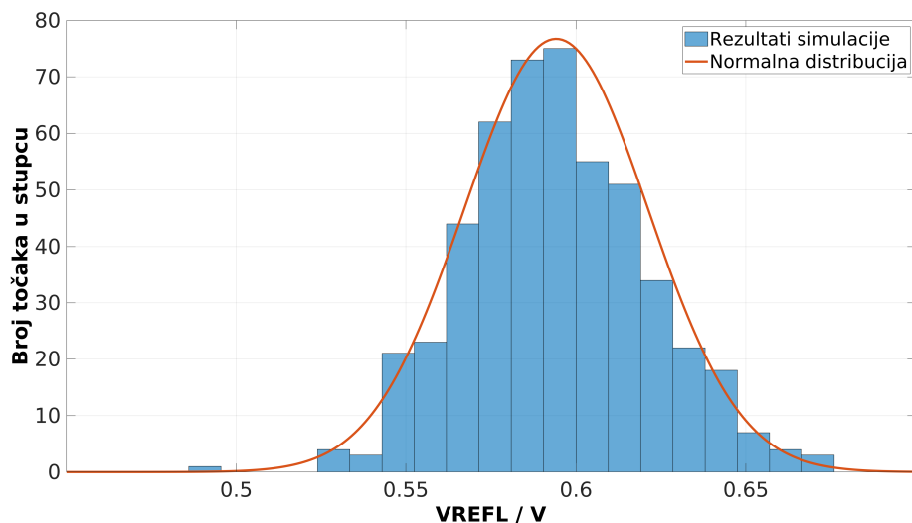
**Monte-Carlo analiza** Uz rubne tehnološke parametre provedena je *Monte-Carlo* analiza, tj. stohastička simulacija koja proračunava izlaze sklopa u točkama s nasumično odabranim vrijednostima tehnoloških parametara. Konkretno, varirani su isključivo tehnološki parametri komponenti (CMOS, otpornici, kondenzatori) dok su temperatura i napon napajanja bili nominalnih vrijednosti. U

simulaciji je testirano 500 nasumičnih točaka (kombinacija vrijednosti tehnoloških parametara) te su dobivene distribucije za sve izlaze sklopa. Distribucija za izlazni napon  $V_{REFL}$  prikazana je na slici 3.8. Na istoj slici prikazana je i funkcija gustoće vjerojatnosti normalne distribucije koja najbolje opisuje dobivene rezultate. Očekivana vrijednost i standardna devijacija rezultata dobivenih u simulaciji za napon  $V_{REFL}$  su

$$- \mu = 594.198 \text{ mV}$$

$$- \sigma = 27.037 \text{ mV}.$$

Rezultati pokazuju veliku ovisnost izlaza o tehnološkim parametrima, ali u usporedbi s analizom u tablici 3.4 gdje su dodatno varirani temperatura i napajanje rezultati su značajno bolji. Isto tako, iz prikazane distribucije uočljivo je da se kombinacije tehnoloških parametara za koje su dobivene ekstremne vrijednosti izlaza izrazito rijetko pojavljuju.



**Slika 3.8:** Distribucija napona  $V_{REFL}$  dobivena *Monte-Carlo* analizom tehnoloških parametara.

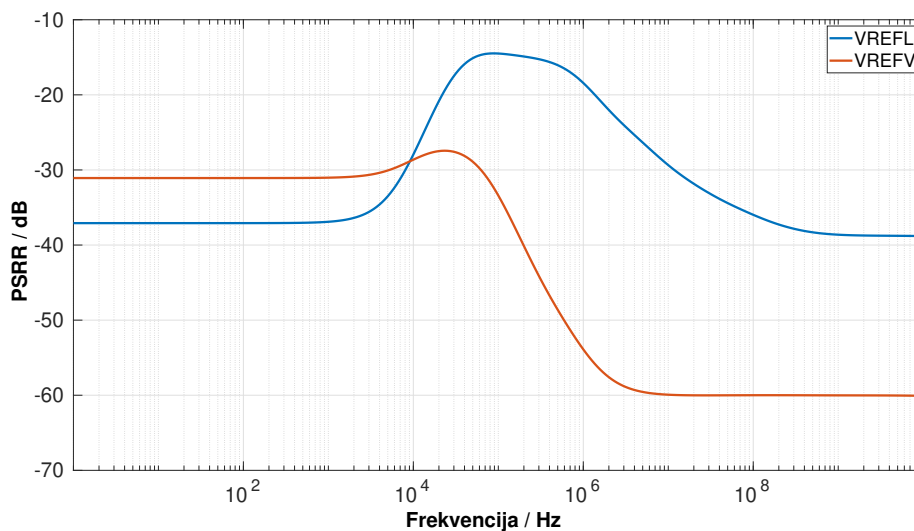
### 3.4.4. Frekvencijska analiza - PSRR

Na napajanju sklopa referentnog generatora (ulazu  $V_{DD}$ ) postoji mogućnost pojave smetnji kao što su impulsne smetnje i valovitosti. Kako bi se provjerilo gušili sklop takve smetnje, provodi se frekvencijska analiza, tj. računa se gušenje frekvencijskih komponenti na putu od stezaljke napona napajanja  $V_{DD}$  do izlazne stezaljke u širokom rasponu frekvencija (engl. *Power Supply Rejection Ratio*,

PSRR). Gušenje smetnji na napajanju je definirano kao u izrazu (3.7).

$$PSRR = \frac{u_{iz}}{u_{dd}} \quad (3.7)$$

Krivulja ovisnosti PSRR o frekvenciji prikazana je na slici 3.9. Krivulja pokazuje da je na nižim frekvencijama do 10 kHz gušenje značajno (oko 35 dB), no na frekvencijama od 10 kHz do 1 MHz gušenje je nešto manja zbog postojanja rezonancija. Na frekvencija višim od 1 MHz gušenje ponovno značajno raste. Usprkos slabijem gušenju između 10 kHz i 1 MHz, rezultati su prihvatljivi jer su očekivane smetnje na ulazu  $V_{DD}$  i tako male amplitude. To je posljedica toga da je  $V_{DD}$  već stabiliziran u stabilizatoru napona (sklopu LDO).



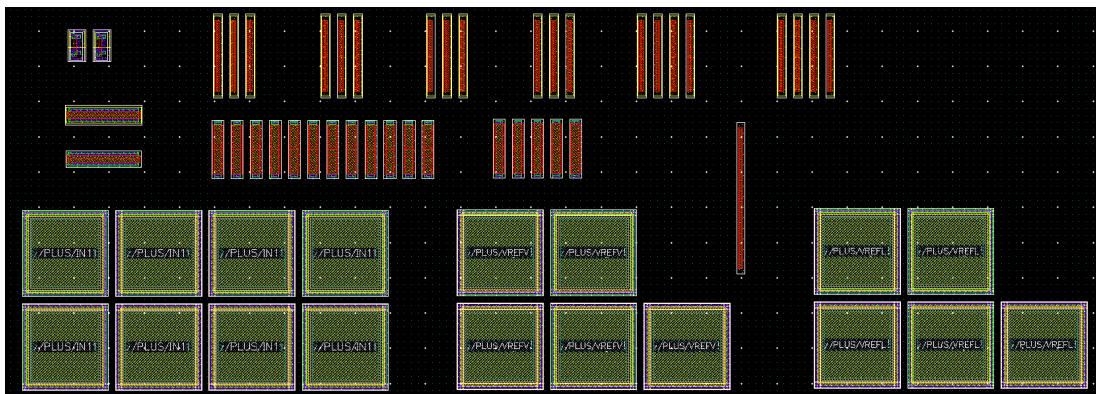
Slika 3.9: Krivulja ovisnosti PSRR o frekvenciji.

### 3.5. Topološki nacrt

Topološki nacrt referentnog generatora definira dimenzije, slojeve, materijale i raspored komponenata prema kojemu će se integrirani sklop i izrađivati. Također, izradom topološkog nacrtu programski paket Cadence omogućuje ekstrakciju parazitnih komponenti. Parazitne komponente mogu biti otpori, kondenzatori i diode nastale kao posljedica fizičkog rasporeda slojeva metala i poluvodiča koji čine vodove i komponente sklopa. Parazitne komponente se nakon izrade topološkog nacrtu mogu uključiti u simulacije kako bi se dobili rezultati još bliži situaciji u realiziranom integriranom sklopu.

Na slici 3.10 prikazan je prvi dio topološkog nacrt. Na slici se ne vide vodovi između komponenata zbog teškog prikaza na istoj slici komponenti i vodova. U gornjem lijevom kutu slike nalaze se dva invertora i dva tranzistora koji čine sklop za uključivanje. U gornjem dijelu slike na sredini nalazi se šest tranzistora koji čine strujno zrcalo  $M_{P1}$  do  $M_{P6}$ . Odmah ispod strujnog zrcala nalaze se dva tranzistora  $M_{N1}$  i  $M_{N2}$  te desno od njih tranzistor za kompenzaciju PTAT struje  $M_{N3}$ . Iz topološkog nacrt. vidi se da je svaki tranzistor sa sheme izveden pomoću više manjih tranzistora baš kako je naznačeno u tablici 3.2. Ispod tranzistora nalaze se tri kondenzatora izvedena iz više manjih kondenzatora spojenih paralelno. To su s lijeva na desno  $C_3$ ,  $C_1$  i  $C_2$ .

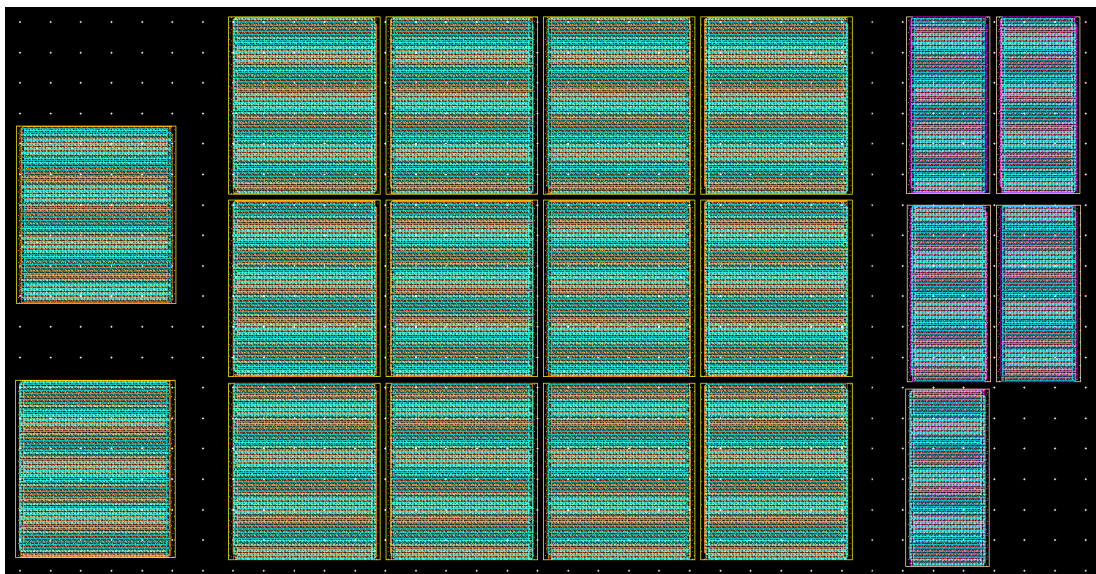
Na slici 3.11 prikazan je drugi dio topološkog nacrt. U ovom prikazu nalaze se otpornici sastavljeni od više manjih serijski spojenih otpornika. Svaki od manjih otpornika je vrlo dugačak, pa su zbog ograničenja dimenzijama savijeni 40 puta kako bi njihov topološki nacrt bio oblika kvadrata. Otpornik u desnom dijelu slike, je otpor negativnog temperaturnog koeficijenta  $R_3$  koji s PTAT strujom koja teče kroz njega i CTAT padom napona na tranzistoru  $M_{N3}$  daje CWT napon  $V_{REFL}$ .



Slika 3.10: Topološki nacrt sklopa referentnog generatora 1. dio.

### 3.6. Zaključak

Projektirani generator referentnih napona i struja prema rezultatima simulacija uspješno je izveden u CMOS tehnologiji, iako je njegova uobičajena izvedba u bipolarnoj tehnologiji. Također, rezultati provedenih simulacija pokazuju da projektirani referentni generator zadovoljava specifikacije dogovorene na razini projekta generatora takta od 1 Hz. Iako simulacije i proračuni ne garantiraju rad



**Slika 3.11:** Topološki nacrt sklopa referentnog generatora 2. dio.

realiziranog sklopa, oni daju vrlo dobru procjenu rezultata i mogućih situacija koje će se pojaviti u radu realnog integriranog sklopa. Izlazni naponi i struje referentnog generatora temperaturnom stabilnošću i inertnošću na promjene napajanja dodatno će ustabiliti frekvenciju na izlazima oscilatora OSCC1 i OSCC2 te posredno osigurati stabilniju frekvenciju na izlazu generatora takta od 1 Hz.

# 4. Naponsko-strujni pretvornik

## 4.1. Uvod

Naponsko-strujni pretvornik je jedan od osnovnih sklopova u mikroelektronici i integriranim sklopovima [7]. U ovom slučaju naponsko-strujni pretvornik je dio većeg sustava izrađenog u 180 nm CMOS tehnologiji. Naponsko-strujni pretvornik je po sklopovskoj arhitekturi dvostupanjsko Millerovo pojačalo. U sklop je dodan i jedan unilateralni stupanj koji osigurava smanjenje utjecaja pozitivne nule.

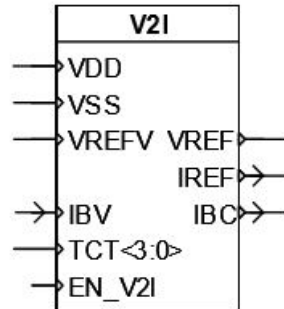
Zadatak je projektirati naponsko-strujni pretvornik male snage koji troši do 400 nA u nominalnim uvjetima pri naponu napajanja od 1,2 V. Potrebno je osigurati umnožak pojačanje-širina pojasa  $GBW$  (eng. gain-bandwidth) od barem 64 kHz i fazno osiguranje  $PM$  (eng. phase margin) od barem  $70^\circ$  pri nominalnim uvjetima.

U nastavku je objašnjen postupak projektiranja naponsko-strujnog pretvornika kroz cijeli ciklus projektiranja sklopa u integriranoj tehnici. Prvo će biti objašnjen način rada sklopa, potom statička, frekvencijska i tranzijentna analiza rada sklopa. Nakon toga bit će objašnjeno uvođenje realnih modela komponenta u simulaciju rada sklopa te analiza rada sklopa u različitim uvjetima. Na kraju dolazi izrada topologije sklopa i provjera funkcionalnosti sklopa pri spajanju sklopa u cjelokupni elektronički sustav.

## 4.2. Opis rada naponsko-strujnog pretvornika

Uloga naponsko-strujnog pretvornika (slika 4.1) u široj blok shemi elektroničkog sustava je da primi referentni napon  $V_{REFV}$  od generatora referentnog napona REFG kojeg će propagirati preko odvojnog pojačala (eng. buffer amplifier) na svoj izlaz  $V_{REF}$ . Uz to koristeći i struju  $I_{BV}$  dovedenu iz istog generatora treba pomoću efekta zrcaljenja struje i referentnog otpornika  $R_{REF}$  generirati izlazne

struje  $I_{REF}$  i  $I_{BC}$  koje se zajedno s referentnim naponom  $V_{REF}$  koriste za rad oscilatora (sklopovi OSCC1 (pilasti relaksacijski oscilator) i OSCC2 (petstupanjski križno prospojani relaksacijski oscilator)).



**Slika 4.1:** Blok shema naponsko-strujnog pretvornika.

Naponsko-strujni pretvornik koristi za napajanje napon  $V_{DD}$  kojeg generira naponski regulator LDO. Potrebno je dizajnirati naponsko-strujni pretvornik prema shemi sa slike 4.2 koji mora zadovoljiti uvjete potrošnje i vrijednosti izlaznih napona i struja uz male promjene napona napajanja.

Nadalje, naponsko-strujni pretvornik sastoji se od dva stupnja pojačanja, povratne veze i kompenzacijskog dijela. Podešavanje odnosa između tih komponenti sklopa omogućuje utjecaj na frekvencijske karakteristike sklopa. Vrijednosti svih komponenata moraju biti podešene tako da omoguće potrebne vrijednosti umnoška pojačanje-širina pojasa i faznog osiguranja kako bi se dobila potrebna stabilnost sklopa.

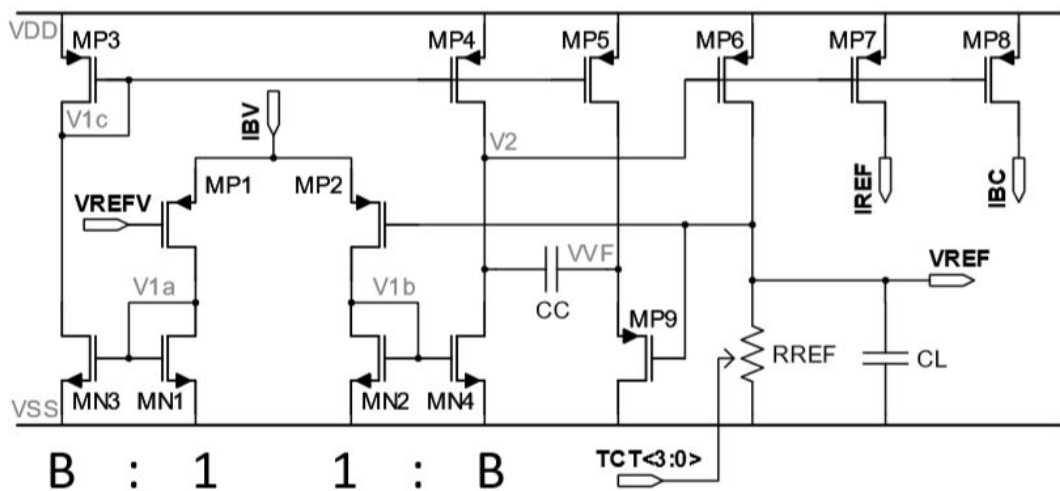
Potrebno je još omogućiti zrcaljenje struja između tranzistora  $M_{P6}$ ,  $M_{P7}$  i  $M_{P8}$  kako bi se dobile struje  $I_{REF}$  i  $I_{BC}$ . U povratnoj vezi koristi se kondenzator  $C_C$ , a kao kapacitivni teret kondenzator  $C_L$  koji služi za filtriranje izlaznog napona  $V_{REF}$ . Zbog toga je cilj omogućiti ispravan rad sklopa za što veći kapacitet kondenzatora  $C_L$  poštujući pritom zahtjev stabilnosti i potrebnu potrošnju struje. Kondenzator  $C_L$  se ne ugrađuje fizički u sam sklop već se tim kapacitetom modelira kapacitivno opterećenje sklopova koji se spajaju na izlaz  $V_{REF}$  naponsko-strujnog pretvornika. Tablica 4.1 prikazuje propisane specifikacije naponsko-strujnog pretvornika.

Također je potrebno provesti tranzijentnu analizu odziva promjene izlaznog napona  $V_{REF}$  prilikom uključanja napajanja sklopa kako bi se vidjelo da li sklop postaje nestabilan ili daje u pojedinim trenucima preveliku struju ili napon na izlazu. Također je potrebno projektirati sklopovlje koje će na vanjski sig-

**Tablica 4.1:** Specifikacije naponsko-strujnog pretvornika.

Parametar	Minimalna vrijednost	Tipična vrijednost	Maksimalna vrijednost	Jedinica
$V_{DD}$	1,1	1,2	1,3	V
$I_{DD}$	200	400	600	nA
$I_{BV}$	25	50	75	nA
$V_{REFV}$	0,28	0,35	0,45	V
$V_{REF}$	0,28	0,35	0,45	V
$I_{REF}$	70	100	140	nA
$I_{BC}$	35	50	70	nA
$GBW$	32	64	-	kHz
$PM$	55	70	-	°
$R_{REF}$	3	3,5	4	M $\Omega$

nal uključiti ili isključiti sklop (isključen sklop ima minimalnu potrošnju struje) kako bi se mogla provesti potrebna mjerenja svih naponsko-strujnih vrijednosti naponsko-strujnog pretvornika.



**Slika 4.2:** Shema naponsko-strujnog pretvornika.

### 4.3. Statička analiza sklopa

U prvom koraku potrebno je osigurati ispravan rad naponsko-strujnog pretvornika u statički. Proces rada može se podijeliti na rad na pojedinim granama sklopa kako bi se dobile željene vrijednosti struje, strmina tranzistora  $g_m$  (izraz 4.1), napona koji definiraju područje rada NMOS i PMOS tranzistora ( $v_{gt}$  (izraz 4.2) i  $v_{sm}$ ). Mijenjanjem širine  $W$  i duljine  $L$  tranzistora cilj je bio postići željene iznose struje



kroz tranzistor (izraz 4.3) i ostalih varijabli tranzistora (dinamički otpor ( $r_d$ ) i napon koji definira koliko je tranzistor duboko u zasićenju ( $v_{sm}$ )).

$$g_m = \frac{2 \cdot i_d}{u_{gs} - u_{gs0}} \quad (4.1)$$

$$v_{gt} \sim (u_{gs} - u_{gs0}) \quad (4.2)$$

$$i_d = K'_x \cdot \frac{W}{L} \cdot (u_{gs} - u_{gs0})^2 \quad (4.3)$$

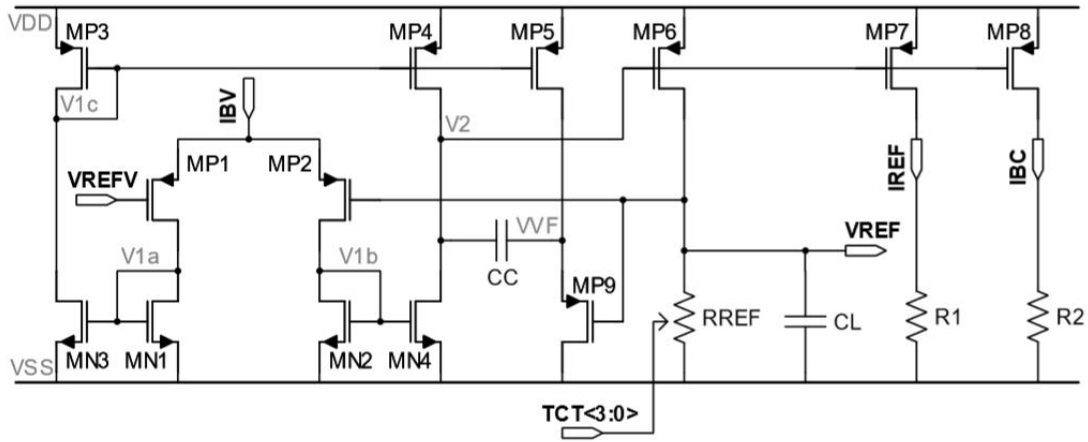
Gdje je to bilo moguće, cilj je staviti maksimalnu duljinu tranzistora  $L$  koja u ovoj tehnologiji iznosi  $20 \mu\text{m}$ . Maksimalna duljina tranzistora se stavlja zato da se smanji porast struje kroz tranzistor koji nastaje zbog povećanja napona  $u_{ds}$  u zasićenju. Taj porast je pravac čiji nagib obrnuto proporcionalno ovisi o duljini  $L$  tranzistora. Da bismo dobili što manje promjene struje s promjenom napona na tranzistoru, cilj nam je koristiti što veću duljinu tranzistora  $L$  (izraz 4.4).

$$r_d = \frac{1}{\lambda \cdot i_d} \sim L \quad (4.4)$$

Na slici 4.2 i na slici 4.3 vidljivo je da naponsko-strujni pretvarač mora osigurati struje  $I_{REF}$  i  $I_{BC}$ . U simulaciji je potrebno tranzistore  $M_{P7}$  i  $M_{P8}$  opteretiti ekvivalentnim otpornicima prema masi koji su izračunati preko potencijala tih točaka u sklopu oscilatora (OSCC1) i struje koju je potrebno osigurati kroz pojedinu granu. Kroz tako opterećene tranzistore potrebno je mijenjanjem parametara ( $W$  i  $L$ ) tranzistora  $M_{P7}$  i  $M_{P8}$  postići željene struje  $I_{REF}$  i  $I_{BC}$ . U statici nije potrebno ići u detaljno postavljanje parametara zbog promjena koje slijede u radu na frekvencijskim karakteristikama naponsko-strujnog pretvornika. U tablici 4.2 prikazane su konačne vrijednosti parametara tranzistora u sklopu.

**Tablica 4.2:** Konačne vrijednosti parametara tranzistora.

Tranzistor	$i_d$ (nA)	$v_{gt}$ (V)	$g_m$ ( $\mu\text{S}$ )	$r_d$ ( $\text{M}\Omega$ )	$v_{sm}$ (mV)	$u_{ds}$ (mV)
$M_{P1}/M_{P2}$	25	0,18	0,2	2914,6	350	534
$M_{P3}/M_{P4}$	36,78	0,11	0,39	2105,3	433	566
$M_{P5}$	25,36	0,11	0,26	2162,6	220	351
$M_{P6}/M_{P7}$	99,97	0,14	0,93	755,3	697	848
$M_{P8}$	50,68	0,14	0,46	154,4	57	211
$M_{P9}$	25,36	0,06	0,59	1531,4	795	849
$M_{N1}/M_{N2}$	25	0,08	0,3	1931,6	361	486
$M_{N3}/M_{N4}$	36,78	0,05	0,51	1679,3	530	634



Slika 4.3: Shema naponsko-strujnog pretvornika za statičku analizu.

#### 4.4. Frekvencijska analiza sklopa

U frekvencijskoj analizi sklopa promatramo raspon promjena vrijednosti umnoška pojačanje-širina pojasa  $GBW$  i vrijednosti faznog osiguranja  $PM$ . Parametar  $GBW$  proporcionalan je strmini tranzistora prvog stupnja te obrnuto proporcionalan kapacitetu  $C_C$  (izraz 4.5). Na nedominantni pol  $f_{nd}$  koji utječe na  $PM$  te koji u pravilu mora biti barem tri puta veći od  $GBW$  (izraz 4.7) kako bi se osiguralo fazno osiguranje od minimalno  $60^\circ$ , proporcionalno djeluje strmina drugog stupnja pojačanja ( $g_{mp6}$ ) te obrnuto proporcionalno kapacitet  $C_L$  (izraz 4.6).

$$GBW = \frac{B \cdot g_{mp1}}{2 \cdot \pi \cdot C_c} \quad (4.5)$$

$$f_{nd} = \frac{g_{mp6}}{2 \cdot \pi \cdot C_L} \quad (4.6)$$

$$f_{nd} > 3 \cdot GBW \quad (4.7)$$

Na pozitivnu nulu  $f_{z+}$  koja se javlja zbog kompenzacije s  $C_C$  u povratnoj vezi proporcionalno djeluje strmina  $g_{mp6}$  te obrnuto proporcionalno kapacitet  $C_C$  (izraz 4.8). Pozitivna nula utječe na izgled frekvencijske karakteristike i jako pogoršava stabilnost sklopa. Uvođenjem dodatnog unilateralnog stupnja pomoću tranzistora  $M_{P5}$  i  $M_{P9}$  smanjuje se utjecaj pozitivne nule i uvodi se utjecaj negativne nule  $f_{z-}$ .

Na negativnu nulu proporcionalno djeluje strmina  $g_{mp9}$  te obrnuto proporcionalno kapacitet  $C_C$  (izraz 4.9). Negativna nula u pravilu mora biti barem dva

puta veća od  $GBW$  (izraz 4.10) kako bi se osiguralo amplitudno osiguranje  $AM$  (amplitudno osiguranje – eng. amplitude margin) od barem 10 dB. Negativna nula ima značajan utjecaj na fazno osiguranje i dodatno dopušta da  $f_{nd}$  bude bliži  $GBW$  uz očuvanje stabilnosti.

$$f_{z+} = \frac{g_{mp6}}{2 \cdot \pi \cdot C_C} \quad (4.8)$$

$$f_{z-} = \frac{g_{mp9}}{2 \cdot \pi \cdot C_C} \quad (4.9)$$

$$f_{z-} > 2 \cdot GBW \quad (4.10)$$

Praćenjem jednadžbi i slijedeći željene odnose  $GBW$ -a, frekvencije nedominantnog pola  $f_{nd}$  i negativne nule  $f_{z-}$  cilj je dobiti vrijednosti  $GBW$ -a,  $PM$ -a i  $AM$ -a u željenim granicama te odgovarajući graf pojačanja i faze s promjenom frekvencije. Sklopovi s manjim faznim osiguranjem imaju jako nestabilan odziv na jedinični impuls (npr. skokovita promjena napona napajanja ili ulaznog signala).

Osim ovoga što je navedeno potrebno je provjeriti još promjene  $GBW$ -a i  $PM$ -a s promjenama napona napajanja, struje  $I_{BV}$ , te napona  $V_{REFV}$ . Svi slučajevi promjene tih varijabli trebali bi uzrokovati promjene  $GBW$ -a i  $PM$ -a unutar početnih željenih granica ( $GBW$  uvijek veći od 32 kHz i  $PM$  uvijek veći od 55 stupnjeva). U tablici 4.3 prikazane su vrijednosti  $GBW$ -a,  $PM$ -a,  $AM$ -a i  $I_{DD}$ -a (ukupna potrošnja struje sklopa) u ovisnosti o promijeni napona napajanja  $V_{DD}$ , ulazne struje  $I_{BV}$  i ulaznog napona  $V_{REFV}$ . U tablicama 4.4 i 4.5 prikazane su konačne vrijednosti parametara tranzistora i kondenzatora s kojima su postignuti rezultati iz tablice 4.3.

**Tablica 4.3:** Simulacijom dobiveni parametri frekvencijske karakteristike sklopa i potrošnja struje sklopa.

$V_{DD}$ (V)	$I_{BV}$ (nA)	$V_{REFV}$ (V)	$GBW$ (kHz)	$PM$ (°)	$AM$ (dB)	$I_{DD}$ (nA)
1,1	25	0,28	36,21	85,25	12,06	271,46
1,2	50	0,35	64,6	67,55	9,26	399,54
1,3	75	0,45	88,44	56,07	7,722	562,2

Grafovi na slikama 4.4 i 4.5 prikazuju kako se mijenja amplitudno-frekvencijska i fazno-frekvencijska karakteristika naponsko-strujnog pretvornika s promjenama

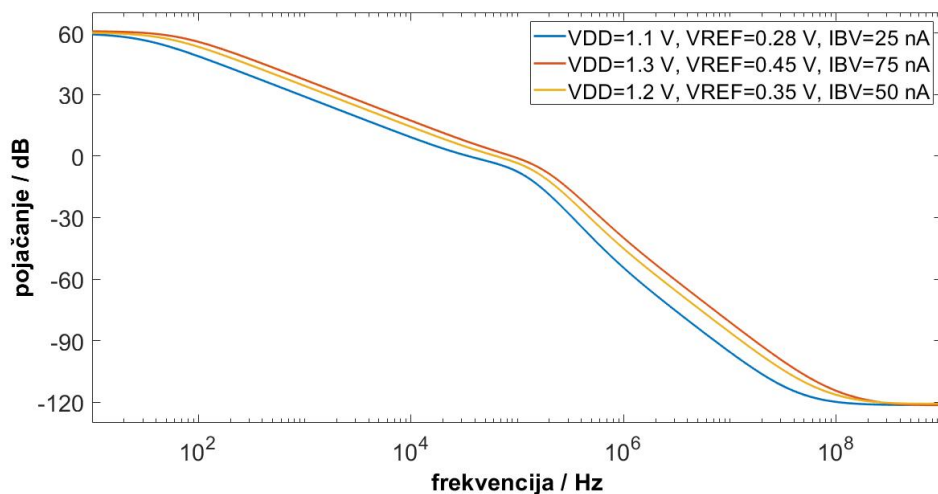
**Tablica 4.4:** Konačne vrijednosti dimenzija tranzistora.

Tranzistor	Širina $W$ ( $\mu\text{m}$ )	Duljina $L$ ( $\mu\text{m}$ )
$M_{P1}/M_{P2}$	0,24	15
$M_{P3}/M_{P4}$	1	20
$M_{P5}$	0,5	15,2
$M_{P6}/M_{P7}$	2	20
$M_{P8}$	1	20
$M_{P9}$	12	20
$M_{N1}/M_{N2}$	0,24	20
$M_{N3}/M_{N4}$	0,58	20

**Tablica 4.5:** Konačne vrijednosti kapaciteta kondenzatora.

Kondenzator	Kapacitet $C$ (pF)
$C_C$	0,8
$C_L$	0,25

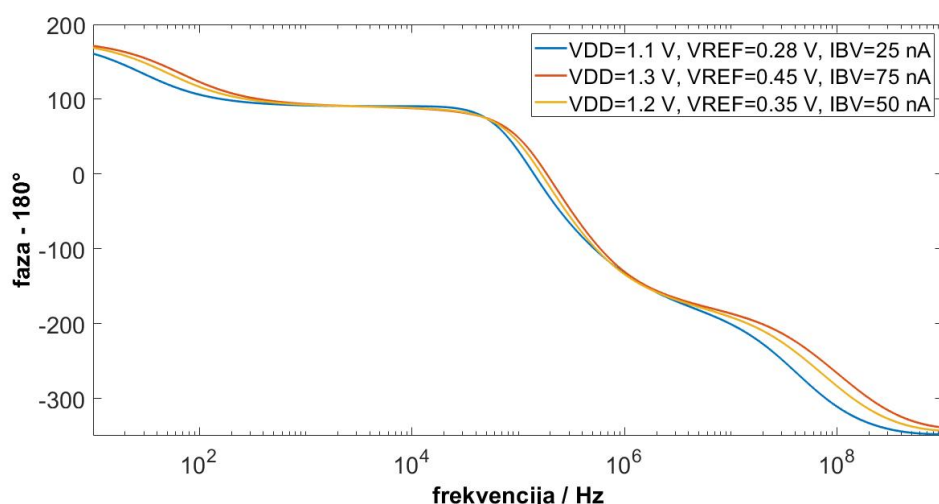
napona napajanja  $V_{DD}$ , ulazne struje  $I_{BV}$  i ulaznog napona  $V_{REFV}$ .



**Slika 4.4:** Graf promjene pojaćanja u ovisnosti o frekvenciji za tri vrijednosti napona napajanja  $V_{DD}$ , referentnog napona  $V_{REF}$  i struje  $I_{BV}$ .

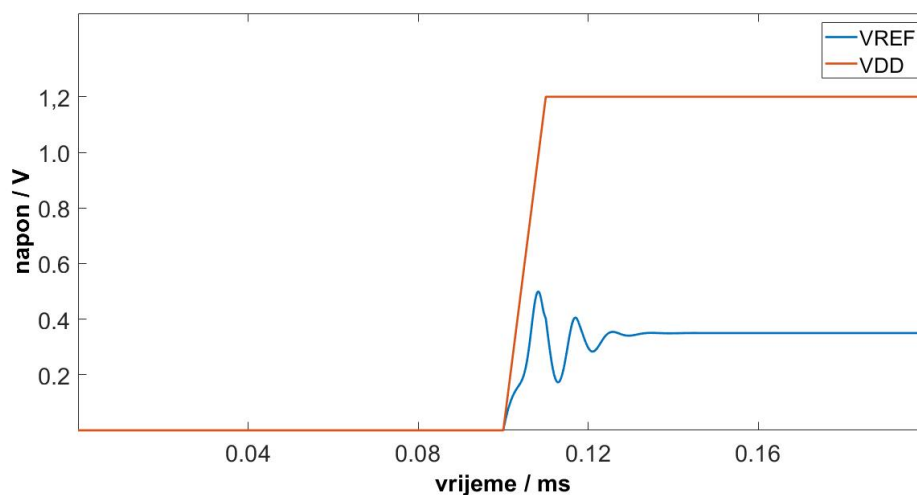
## 4.5. Tranzijentna analiza sklopa

Potrebno je provjeriti oblik prijelazne pojave izlaznog napona  $V_{REF}$  prilikom ukljućenja napajanja (slika 4.6) kako bi se provjerilo dolazi li do nestabilnih pojava na izlazu sklopa ili prevelikih skokova napona i struje unutar sklopa ili na njegovom izlazu. U ovoj analizi napon  $V_{DD}$  naraste od 0 V do 1,2 V za 10



**Slika 4.5:** Graf promjene faze u ovisnosti o frekvenciji za tri vrijednosti napona napajanja  $V_{DD}$ , referentnog napona  $V_{REF}$  i struje  $I_{BV}$ .

$\mu$ s. Tranzijentna analiza je također bitna za određivanje ispravnosti rada sklopa prilikom uključivanja i isključivanja sklopa unutar cijelog elektroničkog sustava. U tablici 4.6 prikazana su vremena smirivanja potrebna signalu  $V_{REF}$  da dostigne  $\pm 1\%$  ili  $\pm 0,1\%$  konačne vrijednosti od trenutka u kojemu je  $V_{DD}$  dostignuo 50% konačne vrijednosti.



**Slika 4.6:** Valni oblici napona napajanja  $V_{DD}$  i izlaznog napona  $V_{REF}$  u trenutku uključivanja napajanja.

**Tablica 4.6:** Vrijeme smirivanja napona  $V_{REF}$ .

	Vrijeme smirivanja ( $\mu s$ )
$\pm 1\%$	27
$\pm 0,1\%$	28,5

## 4.6. Uvođenje realnih modela komponenata

Sve simulacije i svi rezultati dosad su dobiveni s idealnim modelima komponenata (tranzistori, kondenzatori i otpornici). Kako bi se dobili realniji rezultati rada sklopa potrebno je definirati realne modele svih komponenata. Uvođenjem realnih modela komponenata pojavljuje se mogućnost odabira modela najgorih slučajeva izvedbe pojedinih skupina komponenata. Naime, za tranzistor se odabiru četiri rubne tehnološke izvedbe, a za otpornik i kondenzator dvije rubne tehnološke izvedbe.

Svaka rubna točka izvedbe komponente označava jedan najgori slučaj rada svake komponente. S realnim komponentama sada je potrebno izvesti sve prijašnje analize, ali uvodi se i promjena temperature okoline sklopa od  $-40\text{ }^\circ\text{C}$  do  $125\text{ }^\circ\text{C}$ . Ovaj postupak naziva se analiza rubnih tehnoloških parametara (eng. corner analysis) i njime se može dobiti vrlo precizan raspon realnih vrijednosti koje karakteriziraju rad sklopa.

Za bolji rad sklopa potrebno je također sve tranzistore koji se nalaze u strujnim zrcalima podijeliti u prste (eng. finger), tj. više tranzistora manje širine te ispreplesti tranzistore unutar jednog strujnog zrcala. Tablica 4.7 prikazuje dimenzije svih tranzistora nakon podjele tranzistora u strujnim zrcalima na više tranzistora manje širine. Tablica 4.8 pokazuje raspon umnoška pojačanje-širina pojasa  $GBW$ , faznog osiguranja  $PM$  i amplitudnog osiguranja  $AM$  s promjenama svih parametara analize rubnih tehnoloških parametara uključujući temperaturu, rubne točke realnih modela komponenata, napon napajanja, ulazni napon  $V_{REFV}$  i ulaznu struju  $I_{BV}$ .

## 4.7. Isključivanje sklopa

Za potrebe testiranja rada sklopa u okviru cijelog integriranog sklopa s vanjskih priključaka potrebno je projektirati sklopke koje će isključiti sklop (koristeći vanjski signal  $EN_{V2I}$ ) koji će kada je isključen trošiti minimalnu struju, a kada je uključen raditi normalno. Takve sklopke moguće je realizirati pomoću PMOS,

**Tablica 4.7:** Dimenzije tranzistora nakon podijele tranzistora u strujnim zrcalima na prste.

Tranzistor	Širina $W$ ( $\mu\text{m}$ )	Duljina $L$ ( $\mu\text{m}$ )
$M_{P1}/M_{P2}$	0,24	15
$M_{P3}/M_{P4}$	$4 \times 0,25$	20
$M_{P5}$	$2 \times 0,25$	15,2
$M_{P6}/M_{P7}$	$4 \times 0,5$	20
$M_{P8}$	$2 \times 0,5$	20
$M_{P9}$	12	20
$M_{N1}/M_{N2}$	0,24	20
$M_{N3}/M_{N4}$	0,58	20

**Tablica 4.8:** Raspon vrijednosti parametara frekvencijske karakteristike sa realnim modelima.

	Minimalne vrijednosti	Maksimalne vrijednosti
$GBW$ (kHz)	16,86	161,4
$PM$ ( $^\circ$ )	26,56	100,4
$AM$ (dB)	3,887	15,98

NMOS ili kombinacije PMOS i NMOS tranzistora. Na slici 4.7 vidljivo je da je dovoljno staviti sklopke na grane u kojima su  $M_{P6}$ ,  $M_{P7}$ , i  $M_{P8}$  jer kada je sklop referentnog generatora REF isključen ne daje struju  $I_{BV}$  te je zbog toga dovoljno staviti tri sklopke kako bi se isključio naponsko-strujni pretvornik.

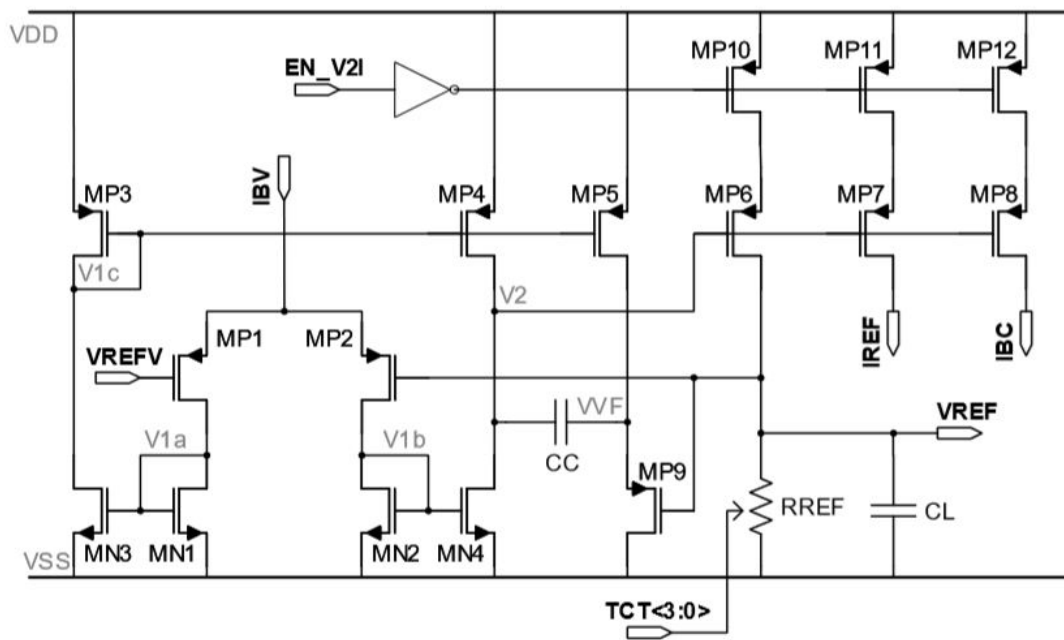
Sklopke je potrebno projektirati tako da imaju što manji utjecaj na cjelokupni rad sklopa te je zato poželjno staviti što manju duljinu  $L$  tranzistora kako bi pad napona na tranzistoru bio što manji. Također je potrebno paziti da duljina  $L$  ne bude premala zbog proboja sklopke u realnim uvjetima, što je posebno kritično na visokim temperaturama kada struja curenja raste s porastom temperature. Tablica 4.9 pokazuje dimenzije tranzistora  $M_{P10}$ ,  $M_{P11}$  i  $M_{P12}$ .

**Tablica 4.9:** Dimenzije tranzistora koji se koriste kao sklopke.

Tranzistor	Širina $W$ ( $\mu\text{m}$ )	Duljina $L$ ( $\mu\text{m}$ )
$M_{P10}/M_{P11}/M_{P12}$	1	0,9

## 4.8. Topološki nacrt

Nakon završetka svih analiza i izvedbe cijelog sklopa zadnji korak je izraditi topološki nacrt sklopa, tj. fizički raspored svih komponenata na poluvodičkoj pločici. Na slici 4.8 nalazi se topološki nacrt naponsko-strujnog pretvornika. Na



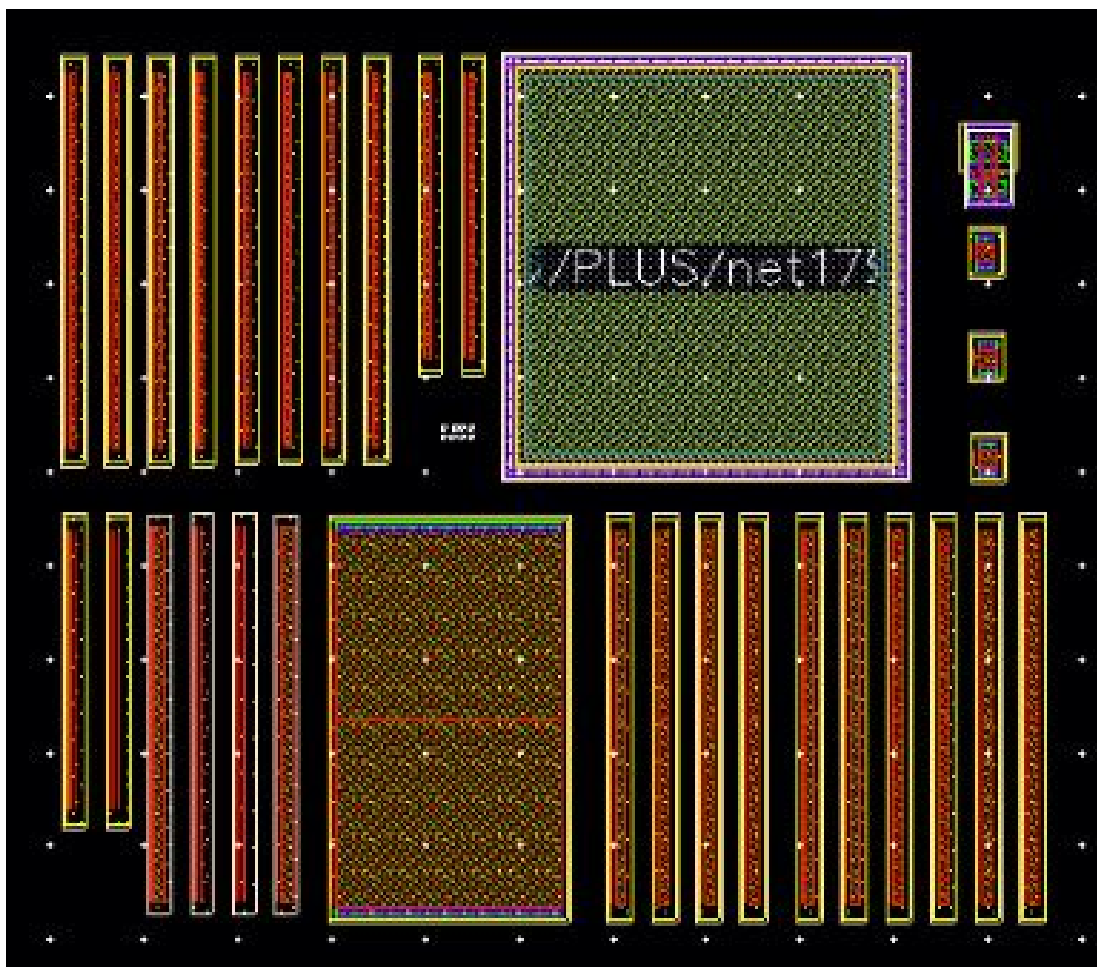
Slika 4.7: Naponsko-strujni pretvornik sa sklopkama za isključivanje sklopa.

topološkom nacrtu se ne vidi kondenzator  $C_L$  jer se on ne izvodi fizički u sklopu. Nakon povezivanja svih komponenata metalnim vodičima potrebno je još provesti analizu utjecaja parazitnih kapaciteta na rad sklopa.

## 4.9. Zaključak

U ovom poglavlju opisan je postupak projektiranja naponsko-strujnog pretvornika. Nakon cijelog ciklusa projektiranja naponsko-strujnog pretvornika može se zaključiti da je za izvedbu željenog sklopa potrebno ne samo znati teoriju rada sklopa nego i utjecaj realnih uvjeta rada sklopa te utjecaj svih ostalih sklopova o kojima ovisi rad naponsko-strujnog pretvornika. Vidljivo je isto tako da je projektiranje zadatak koji zahtjeva rad s modelima i što su ti modeli bliži stvarnosti to su rezultati projektiranja bliži rezultatima mjerenja rada sklopa. Naponsko-strujni pretvornik jedan je od osnovnih sklopova u integriranim krugovima i bitno je razumjeti da njegov rad i rad bilo kojeg drugog sklopa ovisi o tehnologiji, izvedbi i radnim uvjetima.





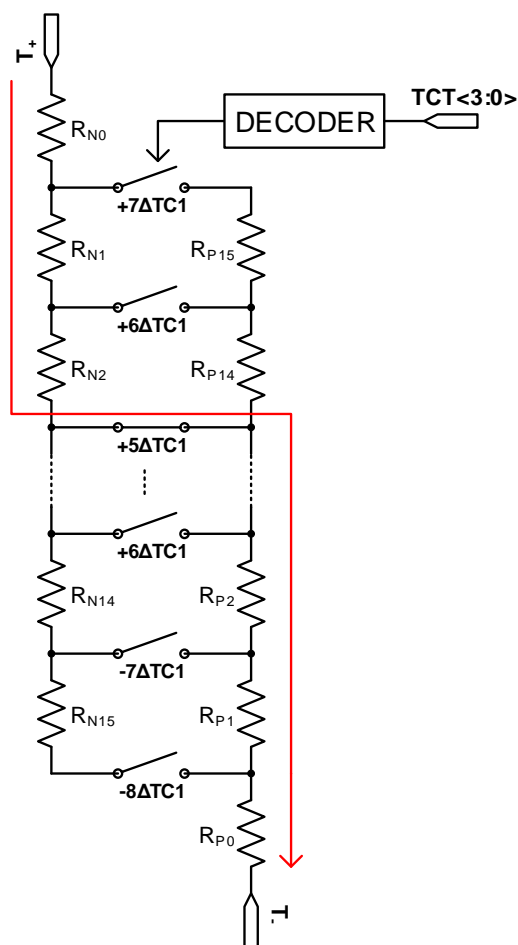
Slika 4.8: Topološki nacrt naponsko-strujnog pretvornika.

# 5. Referentni otpor

## 5.1. Uvod

U ovom radu potrebno je u 180 nm CMOS tehnologiji projektirati referentni otpornik koji se sastoji od niza otpornika s negativnim i niza otpornika s pozitivnim temperaturnim koeficijentom (slika 5.1) [3], [4], [10].

Ukupni referentni otpor treba biti konstantan i jednak  $3,5\text{ M}\Omega$ . Kombinirajući



Slika 5.1: Shema referentnog otpora.

otpore s negativnim temperaturnim koeficijentom  $R_N$  i otpore s pozitivnim temperaturnim koeficijentom  $R_P$ , moguće je podesiti temperaturni koeficijent cijelog referentnog otpora  $R_{REF}$  na nulu u jednom užem temperaturnom području čak i kada tehnološki parametri pri procesiranju variraju. Prekapčanje više otpornika s negativnim ili pozitivnim temperaturnim koeficijentom provodi se preko analognih sklopki, a proces ukapčanja ili iskapčanja otpornika obavlja se preko vanjskih kontrolnih signala od 4 bita.

## 5.2. Teorijska razrada i opis

Svojstvo otpora može se jednostavno modelirati kao ovisnost o temperaturi i naponu preko relacije:

$$R(T, V) = R_0 \cdot (1 + TC1 \cdot \delta T + TC2 \cdot \delta T^2) \cdot (1 + VC1 \cdot \delta V + VC2 \cdot \delta V^2)$$

gdje je  $\delta T = T - 25$  [°C],  $\delta V$  je pad napona na otporniku, a  $R_0$  je otpor pri nominalnoj temperaturi. S obzirom na to da preklapamo između dviju identičnih grana serijski spojenih otpornika pri konstantnoj struji, možemo zanemariti naponsku ovisnost te promjenu ukupnog otpora mreže modelirati samo u odnosu na temperaturu:

$$R_{REF} = R_{REF}(T) = R_{REF0} \cdot (1 + TC1 \cdot \delta T + TC2 \cdot \delta T^2)$$

Za općeniti serijski spoj otpornika vrijedi:

$$TC1 = \frac{\sum_{i=0}^{N-1} TC1_i \cdot R_i}{\sum_{i=0}^{N-1} R_i}$$

U našem slučaju imamo predotpor lijeve  $R_{N0}$  i desne  $R_{P0}$  grane te srednji dio koji se sastoji od po 15 otpornika sa svake strane. Ako s  $k$  označimo broj  $R_N$  otpornika u srednjem dijelu, vrijedi iduća relacija za ukupni temperaturni koeficijent prvog reda:

$$TC1 = \frac{R_{N0} \cdot TC1_{N0} + R_{P0} \cdot TC1_{P0} + \sum_{i=1}^k R_{Ni} \cdot TC1_{Ni} + \sum_{i=1}^{15-k} R_{Pi} \cdot TC1_{Pi}}{R_{N0} + R_{P0} + \sum_{i=1}^k R_{Ni} + \sum_{i=1}^{15-k} R_{Pi}}$$

Nazivnik je po definiciji jednak nominalnom otporu  $R_{REF0}=3,5$  M $\Omega$  (i u simulaciji se kasnije pokazuje da je ta aproksimacija poprilično dobra), pa stoga prethodna

formula postaje:

$$TC1 = \left( (TC1_{N0} - TC1_P) \cdot R_{N0} + (TC1_{P0} - TC1_P) \cdot R_{P0} + (TC1_N - TC1_P) \cdot \sum_{i=1}^k R_{Ni} + TC1_P \cdot R_{REF0} \right) \cdot \frac{1}{R_{REF0}}$$

gdje je  $k = 1, 2, 3, \dots, 15$ , a određen je izlazom iz dekodera. Izraz za  $TC1$  u ovakvoj formi nam omogućuje da direktno iz specifikacije za raspon te korak  $TC1$  odredimo početne parametre za  $R_{N0}$ ,  $R_{P0}$  i srednji dio mreže, koji se kasnije dodatno podešavaju uz pomoć simulacije.

Sada kada smo pokazali kako se točno upravlja ukupnim temperaturnim koeficijentom referentnog otpornika, nameće se pitanje kako temperaturni koeficijent proizvoljne konfiguracije utječe na cjelokupan sklop. Frekvencija oscilatorske jezgre određena je referentnim otporom  $R_{REF}$  te referentnim kondenzatorom  $C_{REF}$  i propagacijskim vremenom  $t_d$  prema već pokazanoj relaciji:

$$\frac{1}{f_{oscc}} = T_{oscc} = \frac{2 \cdot V_{REF} \cdot C_{REF}}{I_{REF}} + 2 \cdot t_d = 2 \cdot (R_{REF} \cdot C_{REF} + t_d)$$

$$f_{osc} = \frac{f_{oscc}}{DIV}$$

Iz izraza je jasno vidljiva direktna ovisnost izlazne frekvencije o vremenskoj konstantni  $\tau = R_{REF} \cdot C_{REF}$ , stoga je rezultatni temperaturni koeficijent prvog reda izlazne frekvencije oscilatora  $TC1_{OSC}$  određen zbrojem temperaturnih koeficijenata prvog reda referentnog otpornika  $TC1_{RREF}$ , referentnog kondenzatora  $TC1_{CREF}$  i rezidualnog koeficijenta oscilatorske jezgre  $TC1_{OSCC}$ :

$$TC1_{OSC} = TC1_{RREF} + TC1_{CREF} + TC1_{OSCC}$$

S obzirom da je cilj ostvariti što stabilniju izlaznu frekvenciju, odnosno smanjiti ovisnost frekvencije o temperaturi, trebamo minimizirati (u smislu absolutne vrijednosti)  $TC1_{OSC}$ . Kako na  $TC1_{CREF}$  i  $TC1_{OSCC}$  ne možemo utjecati potrebno je minimizaciju provesti s referentnim otporom. Srećom, kao što smo vidjeli, osmišljeno sklopovlje daje mogućnost za jednostavnu prilagodbu temperaturnog koeficijenta prvog reda  $TC1_{CREF}$ , čime je upravo ostvarena tražena mogućnost da se ukupni temperaturni koeficijent prvog reda  $TC1_{OSC}$  nakon proizvodnje postavi što bliže nuli. Doduše, temperaturni koeficijent drugog reda nije moguće na taj

način minimizirati te će primarno ovisiti o temperaturnom koeficijent drugog reda referentnog otpornika.

### 5.3. Specifikacija sklopa

**Tablica 5.1:** Specifikacije dizajna referentnog otpornika ( $R_{REF}$ )

Parametar	Opis parametra	Min	Tipična	Maks	
$R_{REF0}$	Nom. iznos otpora	3,0	3,5	4,0	M $\Omega$
$TC1_{RREF0}$	Nom. temperaturni koeficijent		TBD		ppm/ $^{\circ}$ C
$TCT$	TC1 vektor za ugađanje	-8	0	7	
$\Delta TC1_{RREF}$	TC1 korak		20		ppm/ $^{\circ}$ C
$\Delta TC1_{RREFM}$	TC1 raspon ugađanja		150		$\pm$ ppm/ $^{\circ}$ C
$\delta R_{REF}$	pomak otpora s temperaturom			0,75	$\pm$ %

### 5.4. Tijek dizajna sklopovlja

Projektiranje ovog sklopa izvrišava se u nekoliko koraka:

- odabir prikladnih tipova otpornika za  $R_P$  i  $R_N$  s obzirom na temperaturnu stabilnost i površinu koju zauzimaju;
- dizajn referentnog otpora tako da je nominalni temperaturni koeficijent prvog reda  $TC1_{RREF0}$  jednak 0;
- dizajn preklopne i otporne mreže tako da je omogućeno podešavanje za specificirani minimalni korak (20 ppm/ $^{\circ}$ C), koristeći prvo idealne sklopke, a zatim sklopku implementiranu pomoću 3V nMOS tranzistora;
- dizajn dekodera za preklopnu mrežu (ulaz:  $TCT(3:0)$ , izlaz: 16 spojeva na sklopke, u svakom trenutku točno jedna sklopka je uključena);
- temperaturni koeficijent prvog reda  $TC1_{RREF}$  bi trebao padati s rastućom vrijednošću vektora  $TCT(3:0)$ , a time i ukupni koeficijent oscilatora  $TC1_{OSC}$  bi trebao rasti;
- prilagodba temperaturnog koeficijenta prvog reda tako da je  $TC1_{OSC} = 0$  (nakon top-level simulacije);
- uzeti u obzir otpore nakon izrade topološkog nacrtu (od metala, via).

## 5.5. Opis i simulacije sklopovlja

### 5.5.1. Otpori

Kao što je već prethodno navedeno, otporna mreža sastoji se od dvije vrste otpora. Konkretno radi se o P+ polisilicijskom otporniku bez salicida (negativan  $TC1$ ) te P+ difuzijskom otporniku bez salicida (pozitivan  $TC1$ ). Početna konfiguracija mreže sastojala se od otpora koji su bili istih nominalnih iznosa, odnosno 218,7 k $\Omega$ . Lijeva grana sastojala se od otpornika negativnog  $TC1$ , a desna pozitivnog  $TC1$ . Time je omogućena kompenzacija po koeficijentu prvog reda. Nakon izradene preliminarne simulacije bilo je nemoguće dobiti da rezultatni koeficijent prvog reda bude negativan u željenom području temperatura jer je prevladavala grana s otporima koji imaju pozitivni temperaturni koeficijent prvog reda. Kao što je vidljivo iz tablice 5.2, temperaturni koeficijenti se značajno razlikuju (u smislu absolutne vrijednosti). Stoga se krenulo u smjeru iterativnog povećavanja

**Tablica 5.2:** Statički parametri otpornika za temperaturu 25 °C

Otpornik	$TC1(ppm/^{\circ}C)$	$TC2(ppm/^{\circ}C)$
$R_N$	-238	0,885
$R_P$	1383	0,863

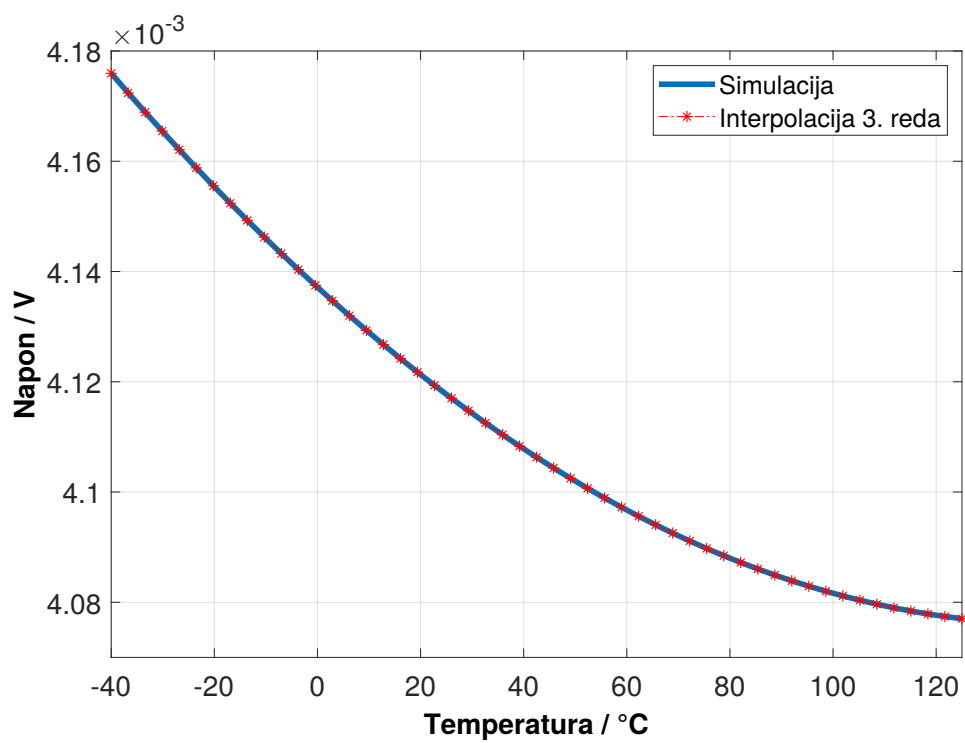
predotpora u lijevoj grani kako bi se  $TC1$  translatirao u željeno intervalno područje. Konačne veličine otpornika kao i njihovi iznosi prikazani su u tablici 5.3, a temperaturne karakteristike prikazane su i grafički tako da se gleda pad napona na otporniku  $R_N$  (slika 5.2) odnosno  $R_P$  (slika 5.3) pri konstantnoj struji od 100 nA.

**Tablica 5.3:** Statički parametri otpornika za temperaturu 25 °C

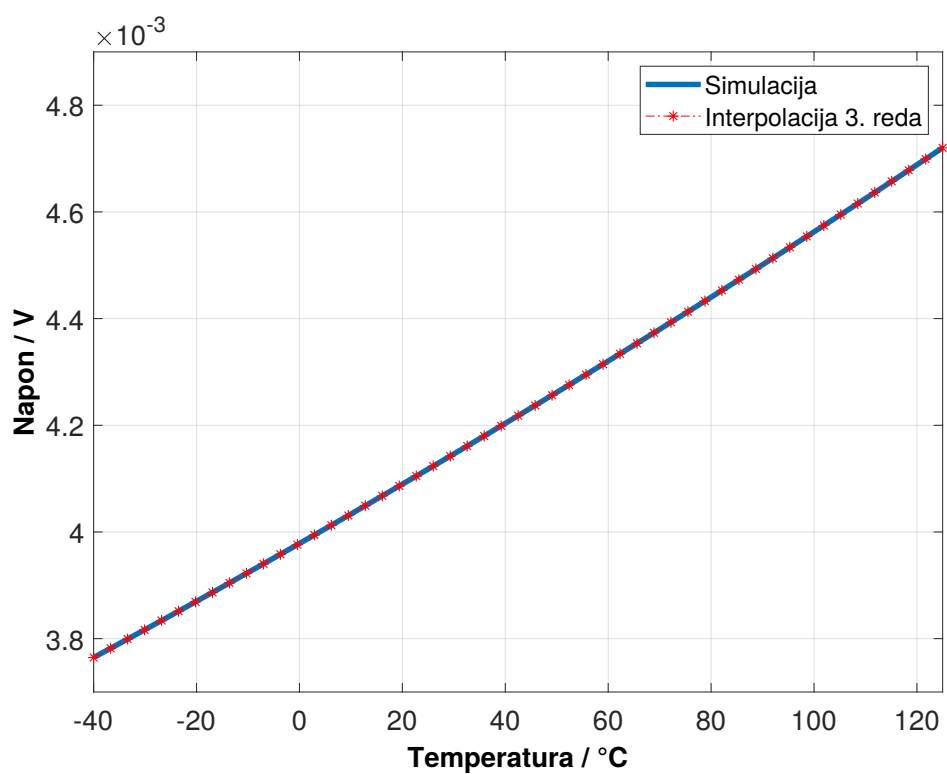
Otpornik	$W(\mu m)$	$L(\mu m)$	nominalni otpor (k $\Omega$ )
$R_{N0}$	1,0	620,15	13 $\times$ 205,88
$R_{N1-15}$	1,0	123,67	41,17
$R_{P0}$	0,56	186,51	41,18
$R_{P1-15}$	0,56	934,48	205,88

### 5.5.2. Sklopke

S obzirom na to da veliki predotpor na lijevoj strani mreže (oko 2,7 M $\Omega$ ), dovoljno je da se kao sklopka koriste samo nMOS tranzistori. Naime, tada je maksimalni



Slika 5.2: Temperaturna karakteristika otpora s negativnim  $TC1$  ( $R_N$ ).

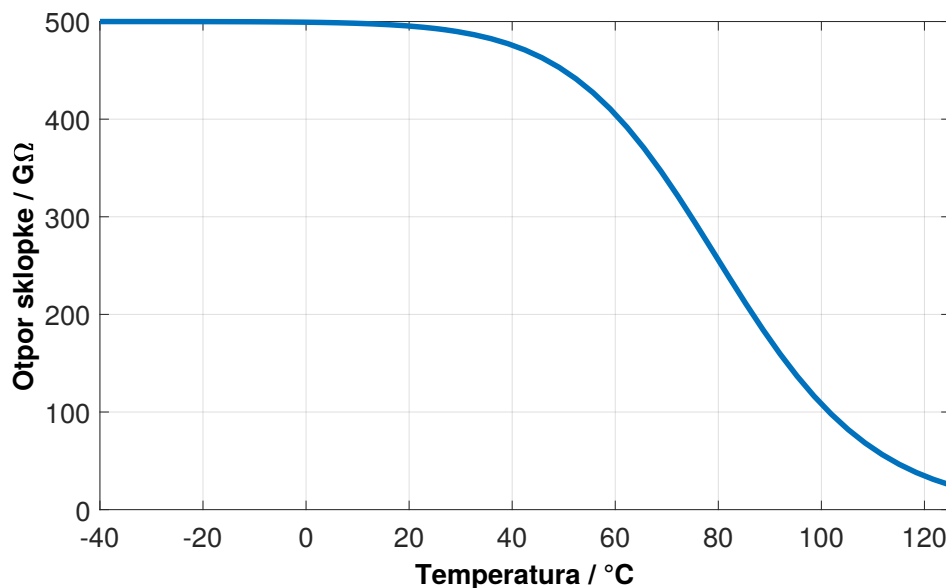


Slika 5.3: Temperaturna karakteristika otpora s pozitivnim  $TC1$  ( $R_P$ ).

napon na odvodu nMOS-a  $V_d \leq 0,08$  V pa je stoga moguće ostvariti dovoljno veliki  $V_{gs}$  iz upravljačkog napona od 1,8 V, a ujedno imamo garanciju da će nMOS raditi u triodnom području što je ključno za ostvarenje što manji otpor prilikom aktivacije sklopke. U protivnom bi bilo potrebno njemu dodati u paralelu jedan pMOS tranzistor te dovesti komplementarni signal s upravljačke elektrode nMOS tranzistora na njegovu upravljačku elektrodu. Kako bi se dodatno smanjilo propuštanje u stanju zapiranja, tj. curenje struje kada je sklopka isključena, koristi se 3V-varijanta nMOS tranzistora. Konačni parametri, dobiveni s ciljem minimizacije otpora vođenja i curenja struje u zapiranju, prikazani su u tablici 5.4 te u grafovima na slikama 5.4 i 5.5 čime je očito da je zadovoljen uvjet minimizacije utjecaja sklopke na ukupan otpor i temperaturnu ovisnost.

**Tablica 5.4:** Statički parametri sklopke za  $I_{REF} = 100$  nA i temperaturu 25 °C

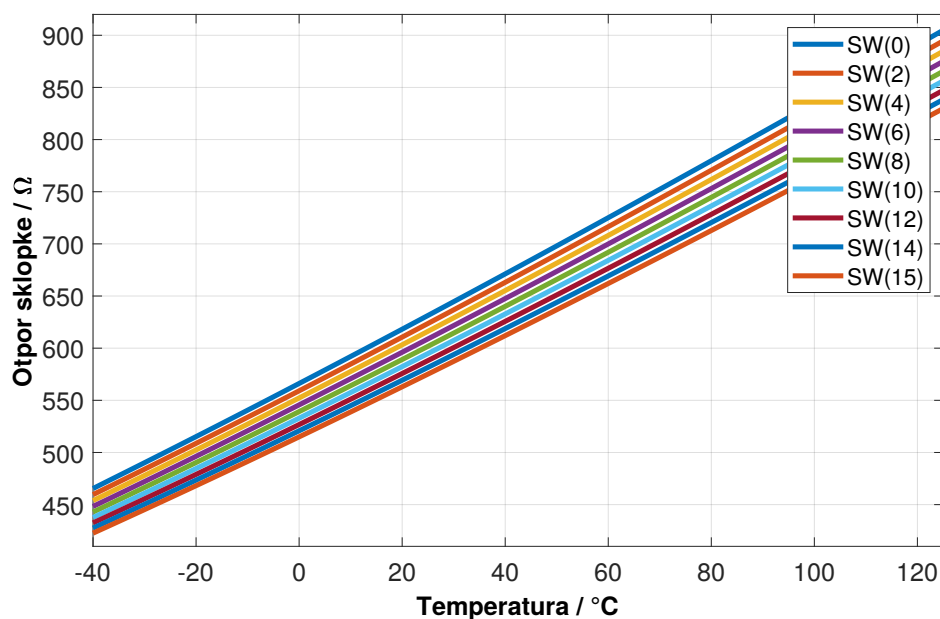
Tranzistor	$W(\mu m)$	$L(\mu m)$	$r_{ON}(\Omega)$	$r_{OFF}(G\Omega)$
$M_{N0-15}$	10	1,0	579,32	492,88



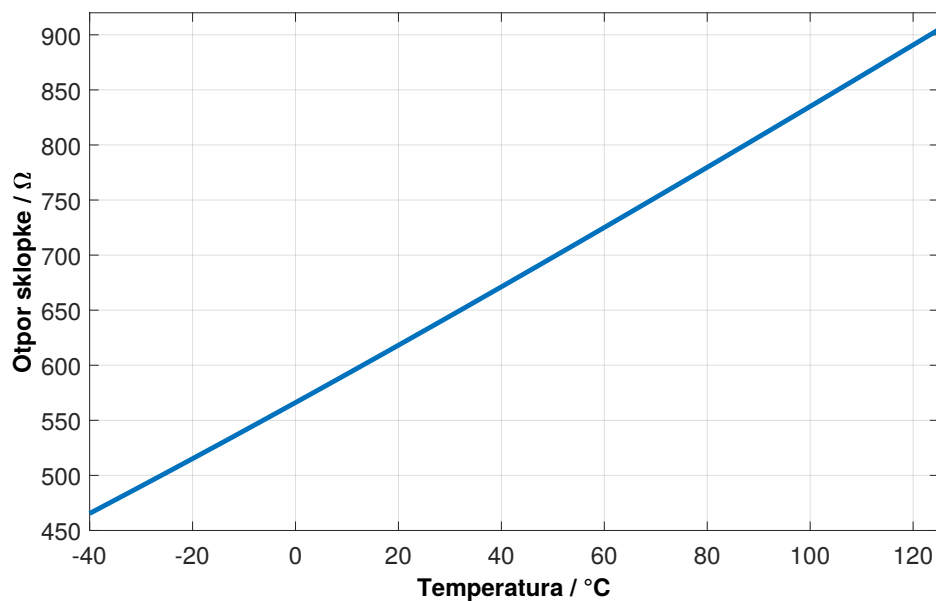
**Slika 5.4:** Otpor isključene sklopke u ovisnosti o temperaturi-najgori slučaj.

Za isključenu sklopku nema razlike u odnosu na poziciju na mreži, dok je za uključenu najgori slučaj prikazan na slici 5.6. Kao što je vidljivo, otpor je na cijelom temperaturnom području ispod 1 kΩ što je tri reda veličine manje u odnosu na sam otpornik te se time može smatrati zanemarivim.





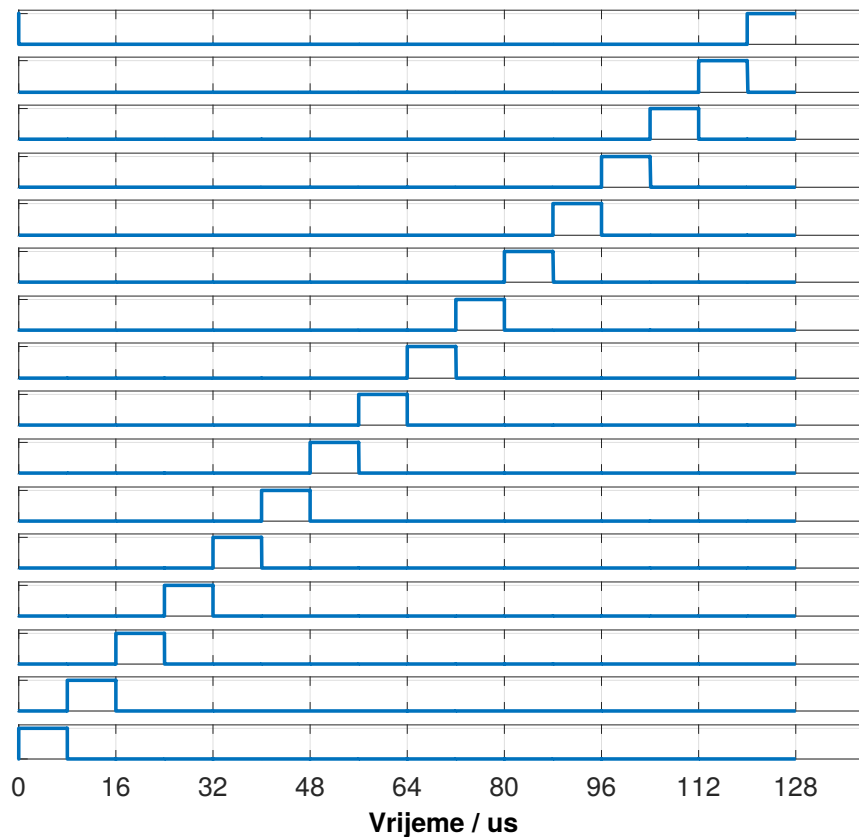
Slika 5.5: Otpor uključene sklopke u ovisnosti o temperaturi za različite pozicije u mreži.



Slika 5.6: Otpor uključene sklopke u ovisnosti o temperaturi-najgori slučaj.

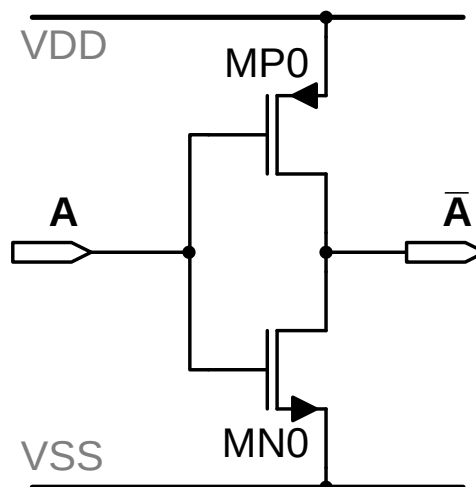
### 5.5.3. Dekoder

Dekoder osigurava da je u bilo kojem trenutku isključivo jedna upravljačka elektroda nMOS sklopke postavljena na visoku razinu (1,8 V), dok je na ostalima 0, sukladno ulaznom 4-bitnom vektoru ( $TCT$ ) za ugađanja temperaturnog koeficijenta  $TCT$ . Primjer izlaza za inkrementirajući vektor je na slici 5.7. To je

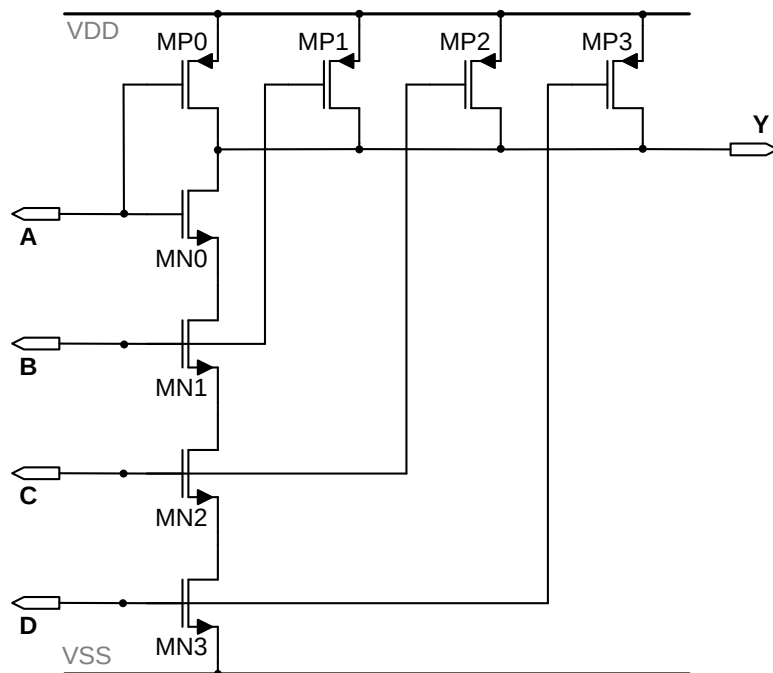


Slika 5.7: Izlaz iz dekodera.

moгуće ostvariti uz pomoć 4-na-16 dekodera (slika 5.10) čiji su sastavni dijelovi logički invertor (slika 5.8) te četveroulazni NAND sklop (slika 5.9) koji ostvaruje logičku funkciju  $Y = \overline{A \cdot B \cdot C \cdot D}$ . Iako su se u prvoj verziji uspješno koristili



Slika 5.8: Shema invertora.



**Slika 5.9:** Shema NAND sklopa.

ručno projektirani sklopovi, u konačnici je odlučeno da se za logička vrata koriste gotove ćelije koje su suštinski vrlo slično konstruirane, a s obzirom na to da je sklop većinski u statičkom razinu rada, same karakteristike logičkih sklopova nisu kritične. Jedini parametar koji je bilo potrebno dodatno razmotriti jest jesu li pojedine ćelije prikladne za kapacitivno opterećenje koje vide na "izlazu". U tom pogledu je bilo potrebno provesti par simulacija kako bi se našla optimalna kombinacija inačica invertorskih ćelija. Najdrastičnija izmjena je u izlaznim invertorima koji u konačnoj inačici sadrže čak 12 tranzistora.

Pošto je ulazni vektor u obliku dvojnog komplementa (raspon -8 do 7), a 4-na-16 dekodeer provodi preslikavanje ulaza u prirodnom zapisu (raspon 0 do 15), potrebno je odrediti spojnu matricu kako bi to preslikavanje radilo za brojeve u dvojnog komplementu. Prema glavnoj shemi definirat ćemo da je nMOS koji ima ulogu sklopke  $+7\Delta T C 1$  upravljan signalom  $SW(0)$ , upravljački signal za  $+6\Delta T C 1$  je  $SW(1)$  i tako redom do zadnjeg nMOS-a, odnosno sklopke  $-8\Delta T C 1$  je upravljan  $SW(15)$ ). Uz tako utvrđenu konvenciju označavanja, tablica 5.5 u potpunosti opisuje način spajanja izlaza dekodeera na upravljačke elektrode nMOS-a da se ostvari preslikavanje ulaznog  $TCT$  vektora u obliku dvojnog komplementa.

**Tablica 5.5:** Preslikavanje  $Y(i) \mapsto SW(j)$  za  $TCT$  u obliku dvojnog komplementa

$TCT(3 : 0)$	Aktivan izlaz iz dekodera	Pripadajuća upravljačka elektroda
0000	$Y(0)$	$SW(7)$
0001	$Y(1)$	$SW(6)$
0010	$Y(2)$	$SW(5)$
0011	$Y(3)$	$SW(4)$
0100	$Y(4)$	$SW(3)$
0101	$Y(5)$	$SW(2)$
0110	$Y(6)$	$SW(1)$
0111	$Y(7)$	$SW(0)$
1000	$Y(8)$	$SW(15)$
1001	$Y(9)$	$SW(14)$
1010	$Y(10)$	$SW(13)$
1011	$Y(11)$	$SW(12)$
1100	$Y(12)$	$SW(11)$
1101	$Y(13)$	$SW(10)$
1110	$Y(14)$	$SW(9)$
1111	$Y(15)$	$SW(8)$

#### 5.5.4. Rezultati simulacija

Zasebno je izdvojen slučaj kada je ulazni vektor jednak 0000 (nominalni koeficijent) na kojem je vidljivo da je  $TC1$  približno 0 na srednjem rasponu temperatura (slika 5.11). Temperaturna ovisnost za sve kombinacije ulaznog 4-bit vektora prikazana je na slici 5.12.

## 5.6. Analize i simulacije rubnih tehnoloških parametara

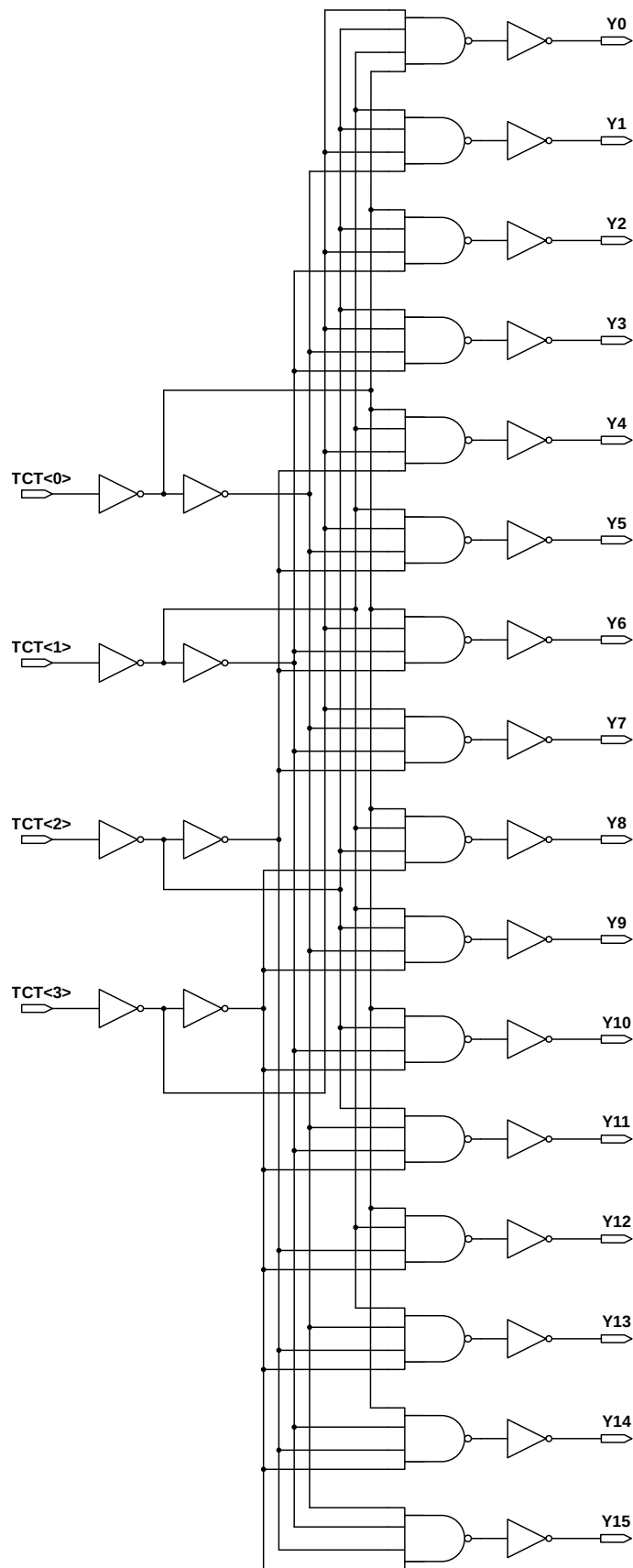
Do sada su prezentirani rezultati dobiveni iz simulacija s nominalnim parametrima (osim naravno temperaturne karakteristike). Takve vrste simulacija se provode s očekivanim, odnosno statistički najvjerojatnijim vrijednostima tehnoloških parametara pri temperaturi od  $27\text{ }^{\circ}\text{C}$  i nominalnom naponu napajanja (1,8 V). Međutim, tehnološki parametri variraju zbog raznih tolerancija u proizvodnom procesu, a naš je cilj osigurati da dizajn ostane funkcionalan unatoč pojavi tih odstupanja u proizvodnji. Stoga se koristi analiza s rubnim tehnološkim parametrima. Glavna ideja takve analize jest da se za svaki ekstrem (minimum i maksimum) vrijednosti procesnog parametra pojedine komponente zasebno izvede simulacija te prati promjena funkcionalnosti sklopa kojeg testiramo.

## 5.7. Topološki nacrt

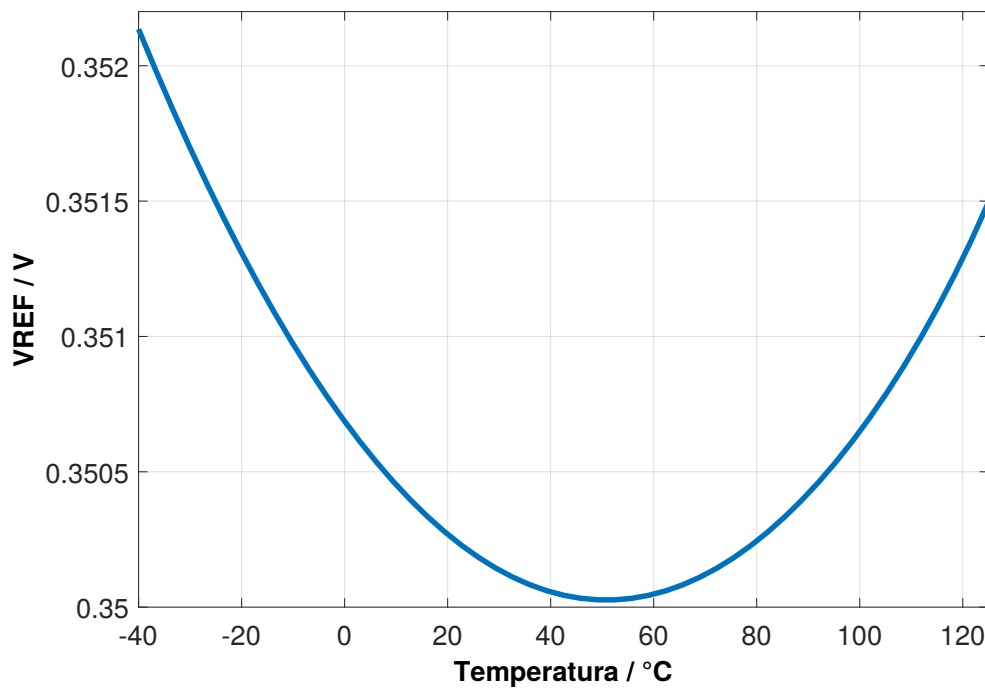
Izrada topološkog nacrtu podrazumijeva polaganje i razmještaj komponenti na samom čipu (slika 5.13). To je jedan od važnijih koraka dizajna pošto je često slučaj da, nakon gotove raspodjele komponenti i izvlačenja parazitnih elemenata iz sklopa te ponovnog ispitivanja funkcionalnost sklopovlja, moramo mijenjati bilo parametre komponenti bilo kompletnu logiku našeg dizajna. Već sama složenost u pokušaju efikasnog slaganja i povezivanja komponenti dodatno potvrđuje kako je ovo zapravo ključan korak u ciklus razvoja kompletnog sklopovlja.

## 5.8. Zaključak

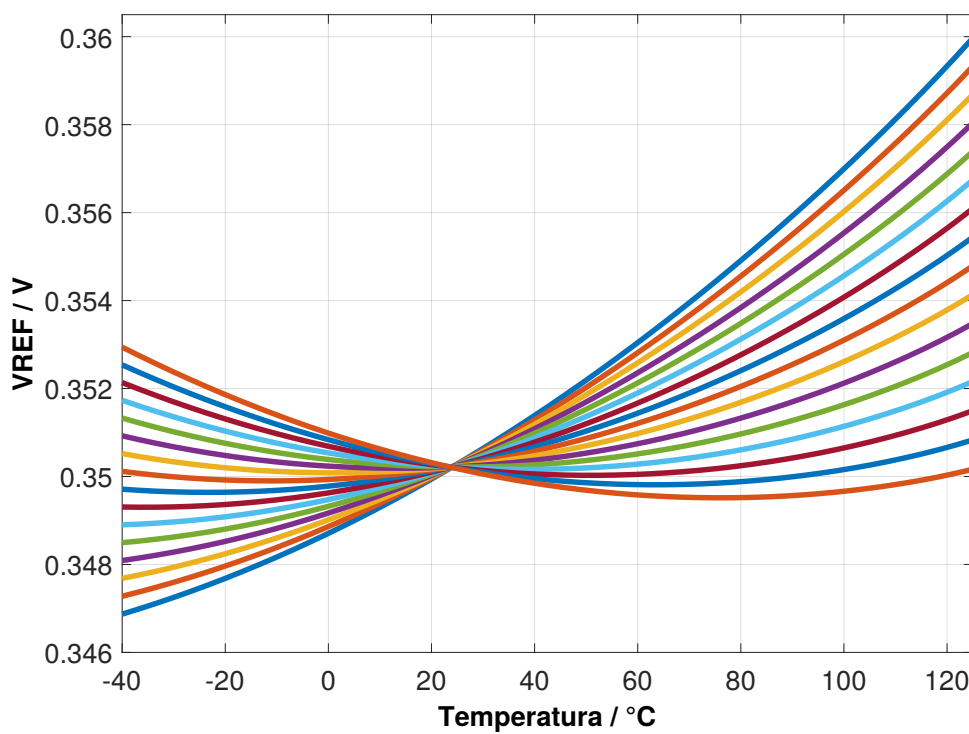
U ovom poglavlju prezentiran je postupak projektiranja referentnog otpornika s mogućnošću temperaturne kalibracije. Cilj je bio ostvariti mogućnost proizvoljnog namještanja temperaturnog koeficijenta prvog reda kako bi se omogućila kompenzacija rezultantnog temperaturnog koeficijenta oscilatora da se ostvari tražena stabilnost izlazne frekvencije. Kroz sažeti teorijski uvod objašnjena je te uspješno opravdana potreba za sklopom ovakvog tipa. Također je stvoren kvalitativan te kvantitativan model kao pomoć pri samom projektiranju sklopa u pogledu efikasnog odabira parametara sastavnih komponenti. Ukratko je opisana sama funkcionalnost pojedinih podsustava i komponenti te su prikazane njihove značajke preko rezultata simulacija u formi tablica i grafova. Razumno je za očekivati da će se ponašanje sklopa značajno razlikovati od simulacijskih predviđanja, pogotovo što treba uzeti u obzir i karakteristike vanjskog ispitnog sklopovlja.



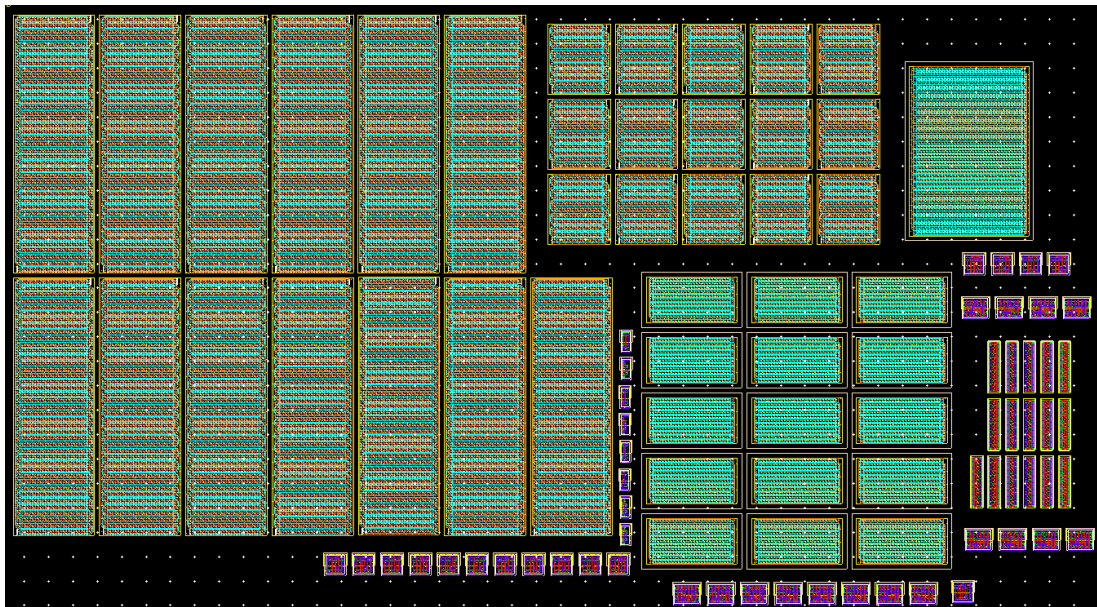
Slika 5.10: Shema dekodera.



Slika 5.11: Temperaturna karakteristika  $R_{REF}$  za određen ulaz  $TCT$  vektora.



Slika 5.12: Temperaturna karakteristika  $R_{REF}$  za svaki mogući ulaz  $TCT$  vektora.



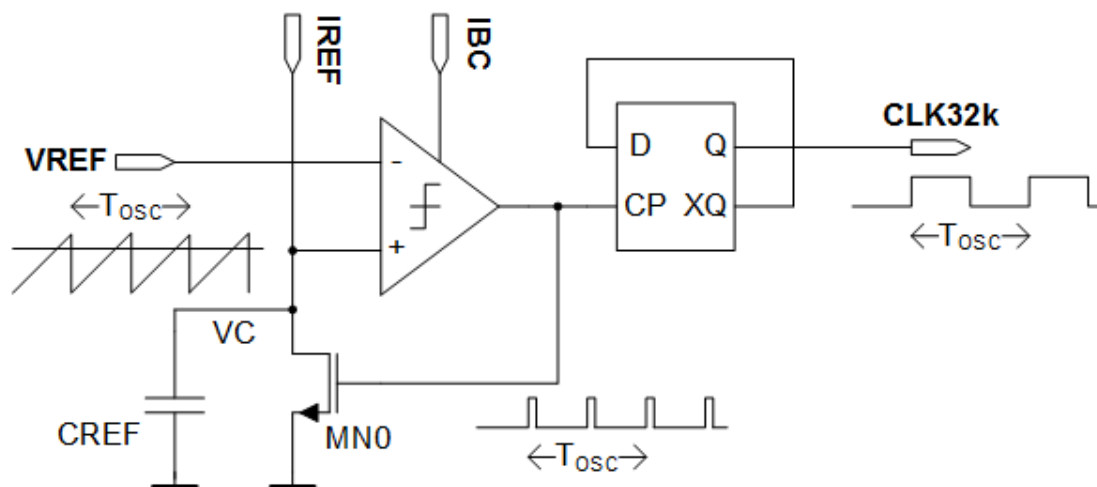
Slika 5.13: Topološki nacrt referentnog otpornika.



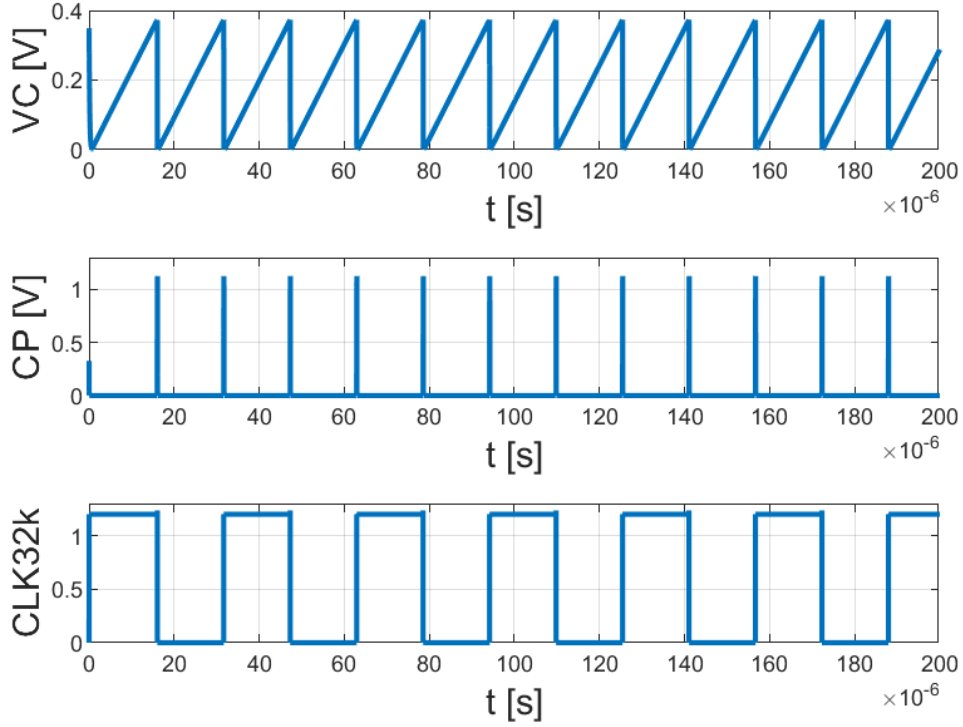
## 6. Pilasti relaksacijski oscilator

### 6.1. Uvod

Pilasti relaksacijski oscilator (OSCC1) na svom izlazu generira oscilacije pravokutnog napona frekvencije 32 kHz. Pojednostavljenu shema bloka prikazuje slika 6.1. Ulazi bloka OSCC1 su struja  $I_{REF}$ , nominalne vrijednosti 100 nA te napon  $V_{REF}$  nominalne vrijednosti 350 mV. U blok ulazi i struja  $I_{BC}$ , nominalne vrijednosti 50 nA, koja osigurava ispravan rad komparatora. Struja  $I_{REF}$  puni kondenzator  $C_{REF}$  te uzrokuje linearan rast napona  $V_C$ . Kada napon na kondenzatoru postane veći od napona  $V_{REF}$ , izlaz komparatora se iz niske razine prebaci u visoku razinu. To uzrokuje porast napona na upravljačkoj elektrodi tranzistora  $M_{N0}$  koji tada provede struju te se preko tog tranzistora kondenzator  $C_{REF}$  isprazni. Napon na kondenzatoru opet postane manji od  $V_{REF}$  te se zbog toga izlaz komparatora vrati natrag na nisku naponsku razinu. Kratki pravokutni impuls napona  $C_P$  koji nastaje na opisani način svojim rastućim bridom mijenja stanje D bistabila čiji je izlaz  $CLK_{32k}$  ujedno i izlaz sklopa. Slika 6.2 prikazuje signale  $V_C$ ,  $C_P$  i  $CLK_{32k}$  u vremenskoj domeni.



Slika 6.1: Pojednostavljena shema pilastog relaksacijskog oscilatora.



**Slika 6.2:** Signali  $V_C$ ,  $C_P$  i  $CLK_{32k}$  u vremenskoj domeni.

Period signala  $V_C$  može se prikazati jednačbom:

$$T_{VC} = \frac{C_{REF}V_{REF}}{I_{REF}} + t_d \quad (6.1)$$

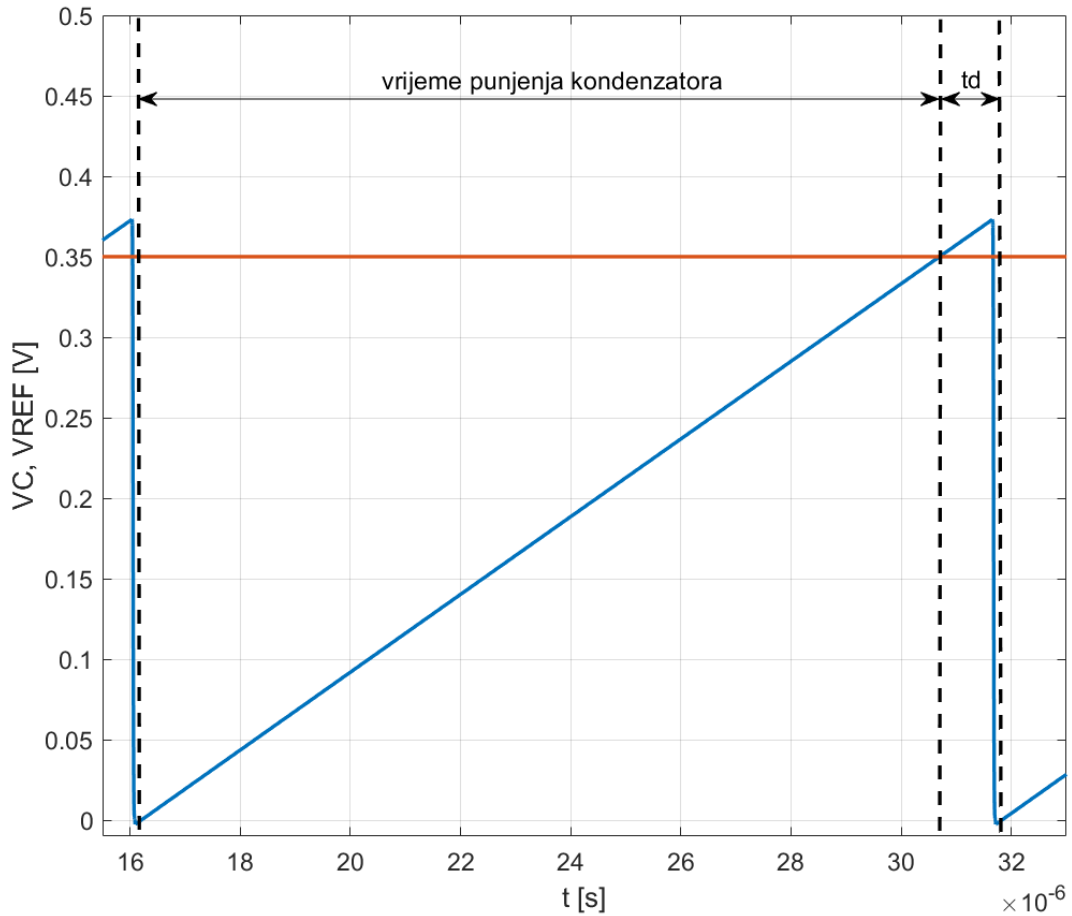
Desni dio jednačbe sastoji se od dva člana: prvi član je vrijeme potrebno da struja  $I_{REF}$  nabije kondenzator  $C_{REF}$  do napona  $V_{REF}$ . Drugi član je vrijeme kašnjenja integratora kojeg čine kašnjenje komparatora i kašnjenje tranzistora  $M_{N0}$ . To se vrijeme definira kao vremenski interval od trenutka kad napon na kondenzatoru  $V_C$  postane jednak naponu  $V_{REF}$  do trenutka kad se kondenzator potpuno isprazni, odnosno kad ponovno počinje linearan rast napona  $V_C$ . Slika 6.3 prikazuje jedan period signala  $V_C$ .

Period signala  $V_C$  jednak je polovici perioda izlaznog signala, odnosno:

$$\frac{T_{OSCC}}{2} = T_{VC} = \frac{C_{REF}V_{REF}}{I_{REF}} + t_d \quad (6.2)$$

$$\frac{1}{f_{OSCC}} = T_{OSCC} = \frac{2C_{REF}V_{REF}}{I_{REF}} + 2t_d \quad (6.3)$$

Ukoliko znamo vrijednosti napona  $V_{REF}$ , struja  $I_{REF}$  i  $I_{BC}$  te vrijeme kašn-



**Slika 6.3:** Jedna perioda signala  $V_C$ .

jenja integratora, lako možemo odrediti koliki nam kapacitet kondenzatora treba za željenu frekvenciju izlaznog signala:

$$C_{REF} = \frac{I_{REF}}{V_{REF}} \left( \frac{1}{2f_{OSCC}} - t_d \right) \quad (6.4)$$

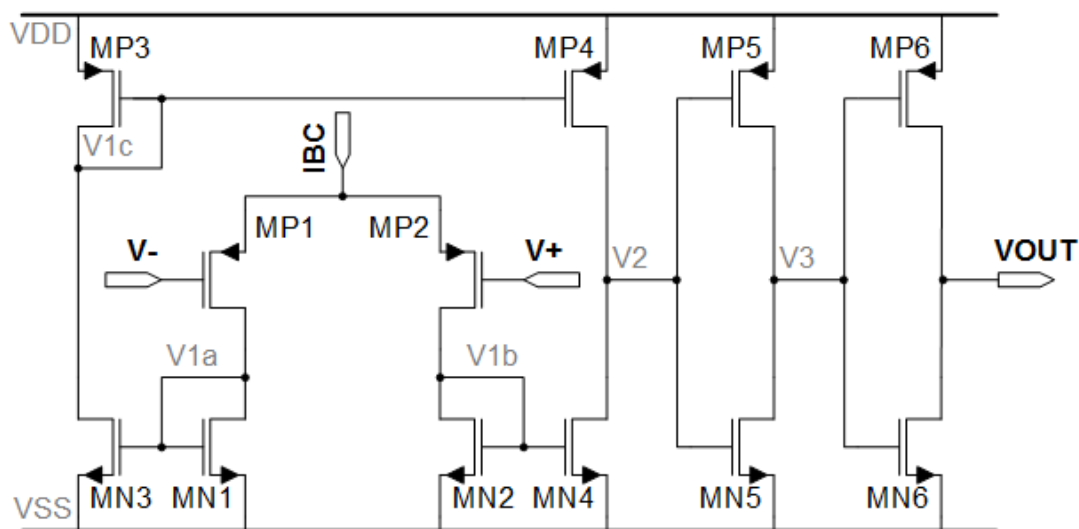
Cilj rada je bio odrediti kapacitet kondenzatora  $C_{REF}$ , parametre tranzistora  $M_{N0}$  te dizajnirati komparator tako da frekvencija izlaznog signala u nominalnim uvjetima bude jednaka 32 kHz, a u svim ostalim uvjetima bude unutar granica koje su zadane specifikacijama. Također, ukupna potrošnja struje mora biti unutar određenih granica. Zadane specifikacije prikazane su u tablici 6.1. Dodatno je trebalo ostvariti da sklop ne radi dok je ulazni signal  $EN_{OSCC}$  u niskoj naponskoj razini te omogućiti rad kad se signal  $EN_{OSCC}$  prebaci u visoku razinu.

**Tablica 6.1:** Zadane specifikacije pilastog relaksacijskog oscilatora.

Parametar	Opis	Min.	Nom.	Max.	Mj. jed.
$V_{DD}$	Napon napajanja	1,1	1,2	1,3	V
$I_{DD}$	Potrošnja struje	150	250	500	nA
$I_{BC}$	Struja	35	50	70	nA
$V_{REF}$	Ulazni referentni napon	280	350	450	mV
$I_{REF}$	Ulazna referentna struja	70	100	140	nA
temp	Temperatura	-40	35	125	°C
$f_{OSCC}$	Frekvencija izlaznog signala	22	32	48	kHz

## 6.2. Načelo rada komparatora

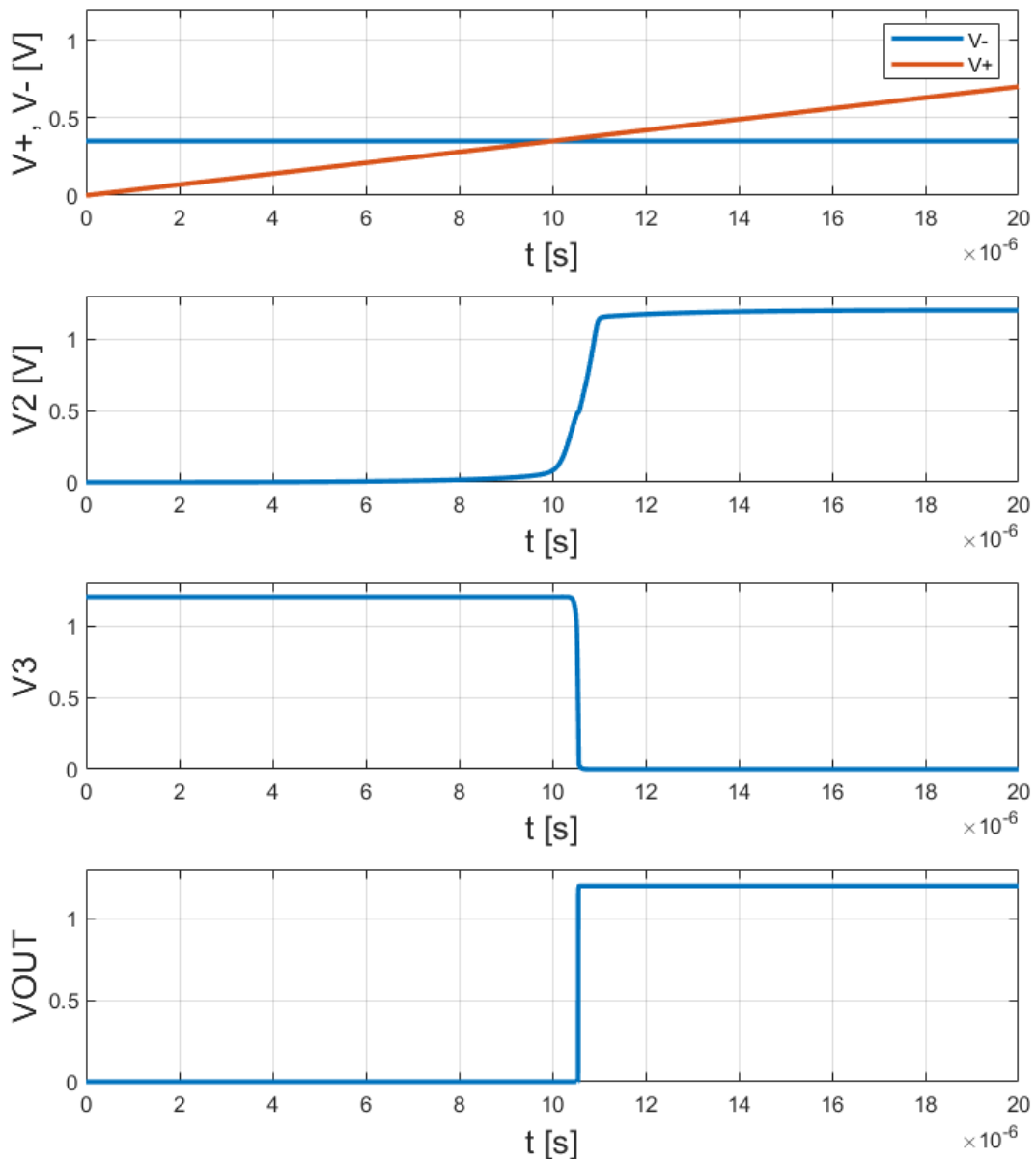
Komparator je sklop koji uspoređuje napone na svojim ulaznim stezaljkama. Dok je napon na plus stezaljci manji od napona na minus stezaljci, izlaz komparatora je na niskoj naponskoj razini. Kad napon na plus stezaljci postane veći od napona na minus stezaljci, izlaz komparatora prebaci se u visoku naponsku razinu [1], [2], [12], [15], [17]. Slika 6.4 prikazuje shemu komparatora.



**Slika 6.4:** Shema komparatora.

Ulazni signali komparatora su  $V_-$  i  $V_+$ . Oni određuju ulazne napone tranzistora  $M_{P1}$  i  $M_{P2}$  te na taj način određuju u kojem će se omjeru struja  $I_{BC}$  podijeliti na struju kroz granu s tranzistorom  $M_{P1}$  i struju kroz granu s tranzistorom  $M_{P2}$ . Struja tranzistora  $M_{P1}$  preko strujnog zrcala kojeg čine tranzistori  $M_{N1}$  i  $M_{N3}$  te strujnog zrcala kojeg čine tranzistori  $M_{P3}$  i  $M_{P4}$  upravlja izlaznim otporom tranzistora  $M_{P4}$ . Isto tako, struja tranzistora  $M_{P2}$  preko strujnog zrcala kojeg čine tranzistori  $M_{N2}$  i  $M_{N4}$  upravlja izlaznim otporom tranzistora  $M_{N4}$ . Na taj

smo način ostvarili naponsko djelilo upravljano ulaznim naponima. Dok je napon  $V_+$  manji od napona  $V_-$ , potencijal točke  $V_2$  bit će niži od polovice napona napajanja te će ga dva invertora na izlazu komparatora spojiti na potencijal mase, odnosno logičku 0. Kad napon  $V_+$  postane veći od napona  $V_-$ , potencijal točke  $V_2$  postane veći od polovice napona napajanja te će ga dva invertora na izlazu komparatora spojiti na napon napajanja, odnosno logičku 1. Slika 6.5 prikazuje kako se mijenjaju naponi unutar komparatora kada je napon  $V_- = V_{REF} = 350$  mV, a napon  $V_+$  linearno raste u vremenu.



**Slika 6.5:** Naponi u komparatoru za  $V_- = V_{REF} = 350$  mV i linearan rast napona  $V_+$ .

### 6.3. Opis procedure dizajna

Prvi korak bio je dizajniranje komparatora. Kako bi komparator ispravno uspoređivao ulazne napone, nužno je da ulazni dio sklopa bude simetričan. To znači da parovi tranzistora  $(M_{P1}, M_{P2})$ ,  $(M_{N1}, M_{N2})$ ,  $(M_{N3}, M_{N4})$  te  $(M_{P3}, M_{P4})$  moraju imati jednake parametre. Vrijednosti tih parametara prikazuje tablica 6.2. Duljine svih navedenih tranzistora na početku su podešene na najveću moguću vrijednost kako bi kroz njih tekle stabilne struje neovisne o naponu  $U_{DS}$  pojedinih tranzistora. Širine tranzistora  $M_{P1}$ ,  $M_{P2}$ ,  $M_{N1}$  i  $M_{N2}$  podešene su na najmanju dozvoljenu vrijednost, dok su širine tranzistora  $M_{N3}$ ,  $M_{P3}$ ,  $M_{N4}$  i  $M_{P4}$  veće kako bi kroz naponsko djelilo tekla dovoljno velika struja za ispravan rad komparatora.

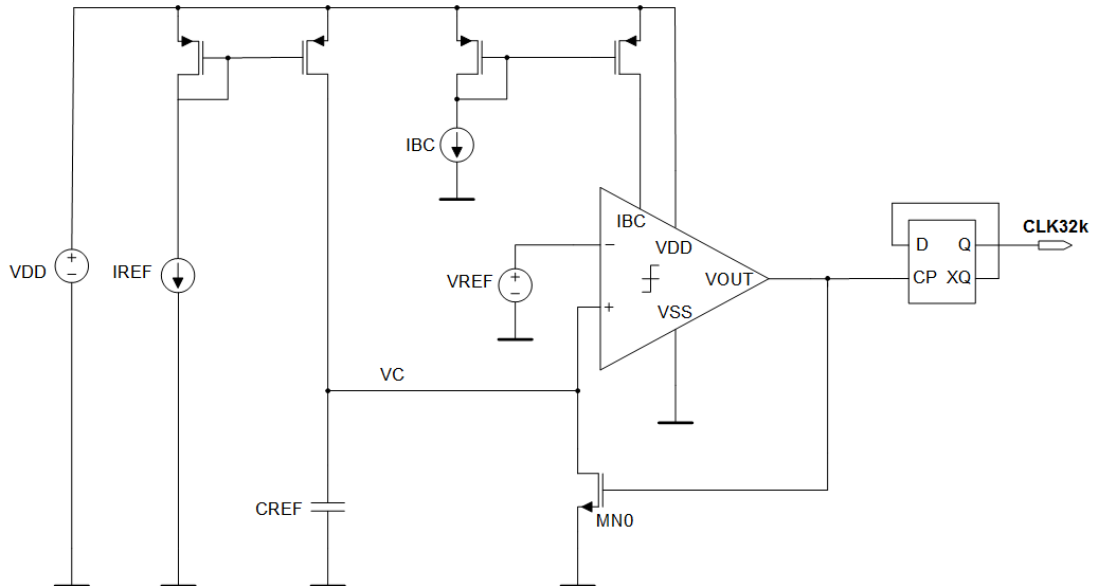
**Tablica 6.2:** Početni parametri tranzistora u komparatoru

tranzistor	W(um)	L(um)	tip
$M_{N1}$	0,24	20	nmos
$M_{N2}$	0,24	20	nmos
$M_{N3}$	1,5	20	nmos
$M_{N4}$	1,5	20	nmos
$M_{N5}$	2	0,18	nmos
$M_{N6}$	2	0,18	nmos
$M_{P1}$	0,24	20	pmos
$M_{P2}$	0,24	20	pmos
$M_{P3}$	1,5	20	pmos
$M_{P4}$	1,5	20	pmos
$M_{P5}$	2	0,18	pmos
$M_{P6}$	2	0,18	pmos

Zatim je spojen cijeli sklop oscilatora kojeg prikazuje slika 6.6. Ulazne struje  $I_{REF}$  i  $I_{BC}$  dovedene su preko strujnih zrcala kako bi se simulirali realni uvjeti. Kako bi se osiguralo čim brže pražnjenje kondenzatora  $C_{REF}$ , duljina kanala tranzistora  $M_{N0}$  za početak je podešena u najmanju dopuštenu vrijednost iznosa  $L = 180$  nm, dok je širina tranzistora iznosila  $W = 5$   $\mu m$ .

Kapacitet kondenzatora  $C_{REF}$  određen je iz jednadžbe (6.4) prema sljedećem postupku. Prvo se kapacitet podese na proizvoljnu vrijednost. Zatim se provedu tranzijentne simulacije te se izmjeri vrijeme kašnjenja integratora. To vrijeme ne ovisi značajno o kapacitetu kondenzatora  $C_{REF}$  te se zbog toga može koristiti u jednadžbi (6.4) za određivanje kapaciteta potrebnog za dobivanje željene frekvencije izlaznog signala. Tako je dobiven kapacitet  $C_{REF} = 3,84$  pF. Opisani

postupak se koristio više puta. Svaki put kad su se mijenjali parametri komparatora ili tranzistora  $M_{N0}$  promijenjeno je i vrijeme kašnjenja integratora, a time i frekvencija izlaznog signala. Zbog toga je i kapacitet kondenzatora morao biti promijenjen.

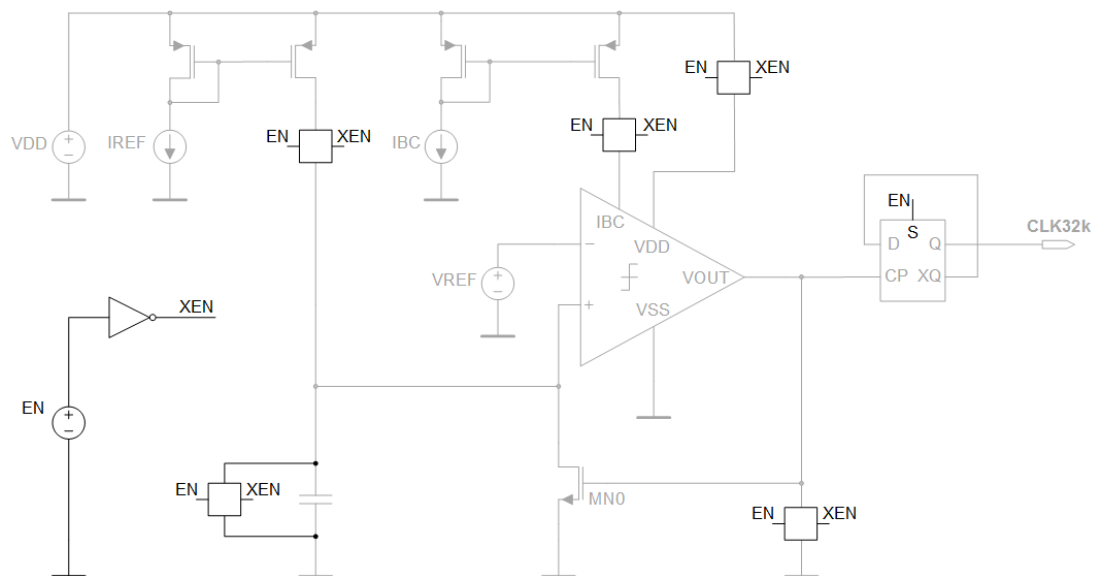


**Slika 6.6:** Shema pilastog relaksacijskog oscilatora.

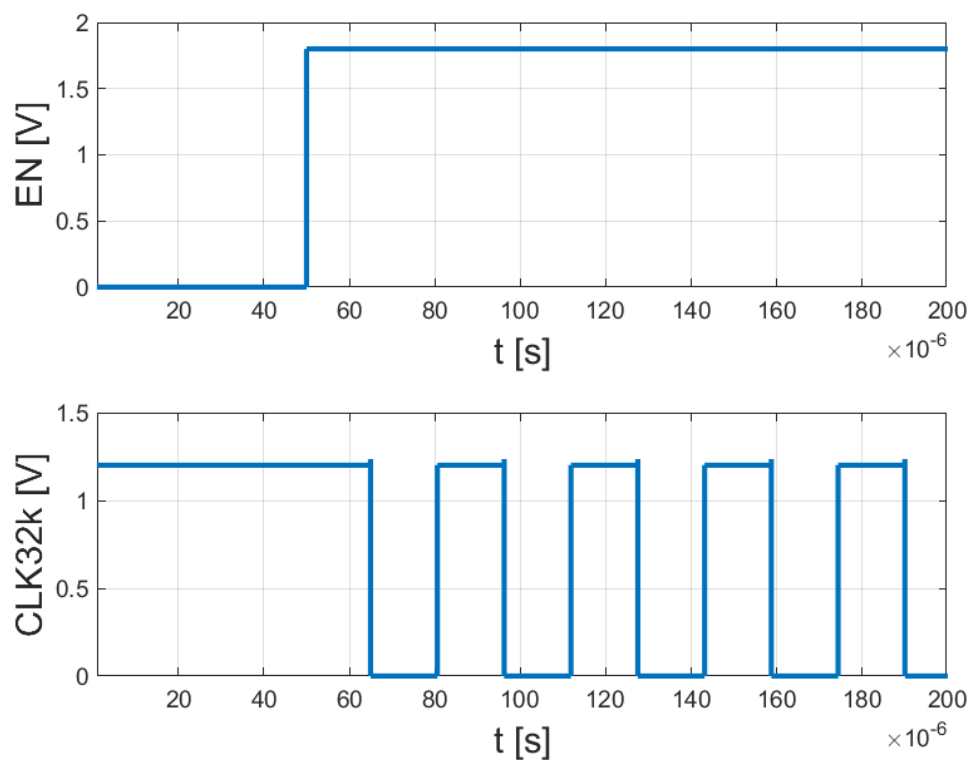
Sljedeći korak bio je dodavanje sklopovlja za pokretanje i zaustavljanje rada sklopa upravljano ulaznim signalom  $EN$ . Slika 6.7 prikazuje shemu pilastog relaksacijskog oscilatora s istaknutim dodanim komponentama. Pomoću invertora dobiven je signal  $XEN$  koji sa signalom  $EN$  upravlja sklopkama koje, kad je  $EN$  u niskoj naponskoj razini, pružaju vrlo velik otpor te tako zaustavljaju protjecanje struje i rad oscilatora. Slika 6.8 prikazuje kako signal  $EN$  pokreće rad oscilatora.

Dodavanjem spomenutog sklopovlja odredili smo još jedan parametar na kojeg treba obratiti pažnju: potrošnja struje u neaktivnom načinu rada. Naime, ni jedna sklopka nije idealna pa čak i kad je ona zatvorena, kroz sklopku može teći neka mala struja. Granice unutar kojih mora biti potrošnja struje u neaktivnom načinu rada nisu zadane specifikacijama, međutim težilo se tome da ona bude u najgorem slučaju barem 10 puta manja od potrošnje struje u aktivnom načinu rada.

Zatim su provedene parametarske simulacije u kojima se provjeravalo kako frekvencija izlaznog napona ovisi o raznim parametrima (npr. temperatura, napon napajanja i slično). Cilj je bio ostvariti što manja odstupanja frekvencije u ovisnosti o bilo kojem parametru kako bi se postiglo da frekvencija ostaje unutar



**Slika 6.7:** Sklopovlje za pokretanje i zaustavljanje rada sklopa upravljano signalom  $EN$ .



**Slika 6.8:** Signal  $EN$  pokreće rad oscilatora.

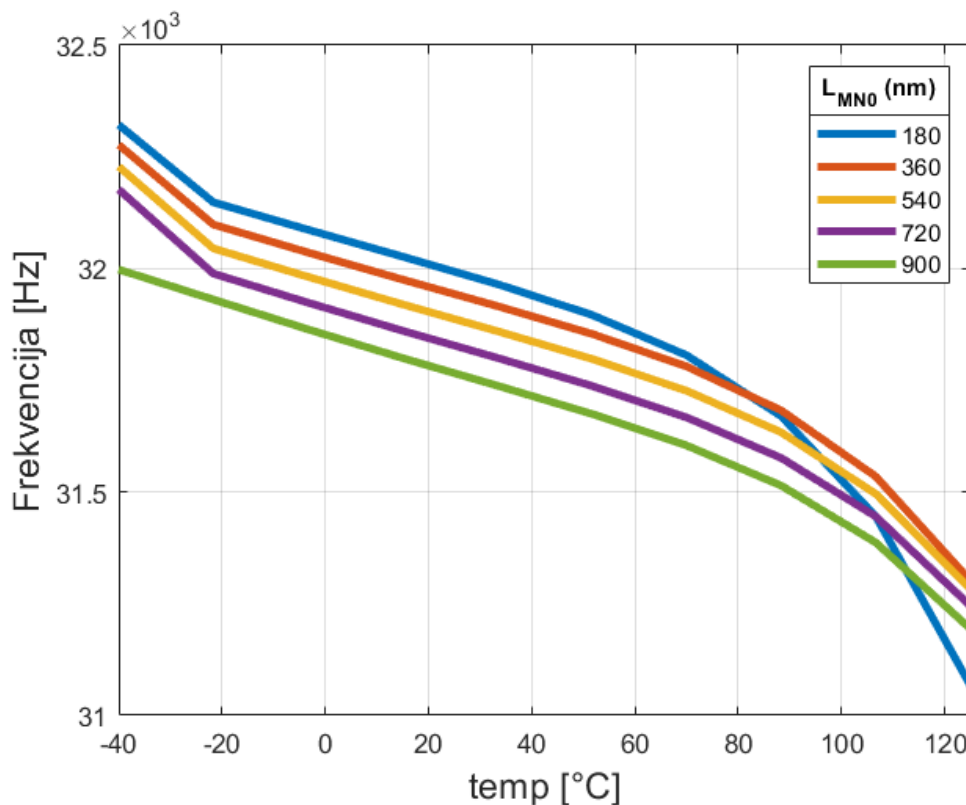
zadanih granica u svim rubnim uvjetima, u kojima se mijenjaju svi parametri istovremeno.

Utvrđeno je da frekvencija počinje naglo padati s rastom temperature na



približno 75 °C. Bilo je potrebno odrediti zbog čega se to događa i pokušati ostvariti što manja odstupanja frekvencije o temperaturi.

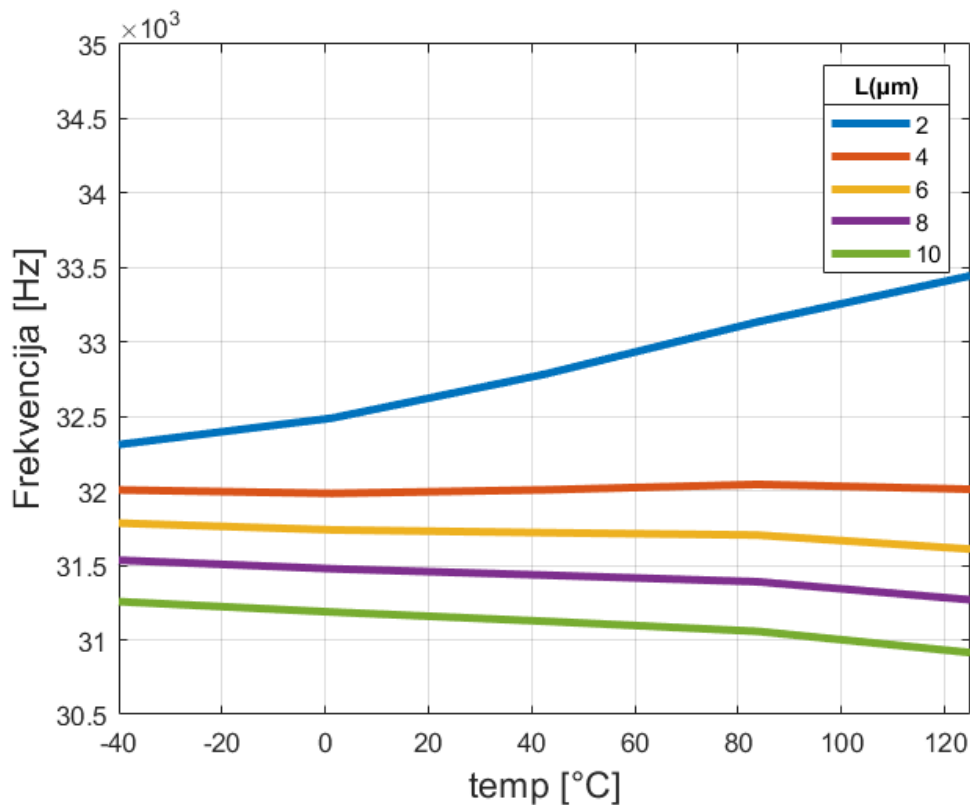
U tu svrhu provedene su temperaturne simulacije za 5 različitih duljina tranzistora  $M_{N0}$  pri čemu je mjerena frekvencija izlaznog signala. Rezultate te simulacije prikazuje slika 6.9. Najlinearnija karakteristika dobiva se za 900 nm pa se na tu vrijednost podesila duljina kanala tranzistora  $M_{N0}$ . Time smo promijenili vrijeme kašnjenja integratora te se zbog toga odredio novi kapacitet kondenzatora  $C_{REF} = 3,812$  pF prema ranije opisanom postupku.



**Slika 6.9:** Ovisnost izlazne frekvencije o temperaturi za 5 različitih duljina kanala tranzistora  $M_{N0}$ .

Sljedeći problem bila je prevelika potrošnja struje. Zbog toga je bilo potrebno smanjiti duljine tranzistora  $M_{P1}-M_{P4}$  i  $M_{N1}-M_{N4}$  koje su u početku postavljene na najveće dozvoljene vrijednosti. Duljine tranzistora uglavnom utječu na ovisnost frekvencije o temperaturi te su stoga provedene temperaturne simulacije za 5 različitih duljina tih tranzistora. Pri tome je mjerena frekvencija izlaznog signala (slika 6.10) i ukupna potrošnja struje u aktivnom načinu rada (slika 6.11). Zbog najmanjeg odstupanja frekvencije i dovoljno male potrošnje struje odabrana je duljina kanala tranzistora  $M_{P1}-M_{P4}$  i  $M_{N1}-M_{N4}$  od 4  $\mu\text{m}$ .

Kako bi se dodatno smanjila potrošnja struje, podešene su duljine tranzistora  $M_{N5}$ ,  $M_{N6}$ ,  $M_{P5}$  i  $M_{P6}$ . Ti su tranzistori sastavni dijelovi invertora unutar kojeg obavljaju funkciju sklopke. Kod tranzistora s kratkim kanalom, pri višim temperaturama, često dolazi do porasta struje kroz tranzistor dok je on u zaptanju. Zbog toga su se duljine tranzistora  $M_{N5}$  i  $M_{N6}$  povećale na  $L = 900$  nm, a duljine tranzistora  $M_{P5}$  i  $M_{P6}$  na  $L = 1,8$   $\mu\text{m}$ . Zatim je ponovno određen potreban kapacitet kondenzatora te je dobivena vrijednost  $C_{REF} = 4,148$  pF.

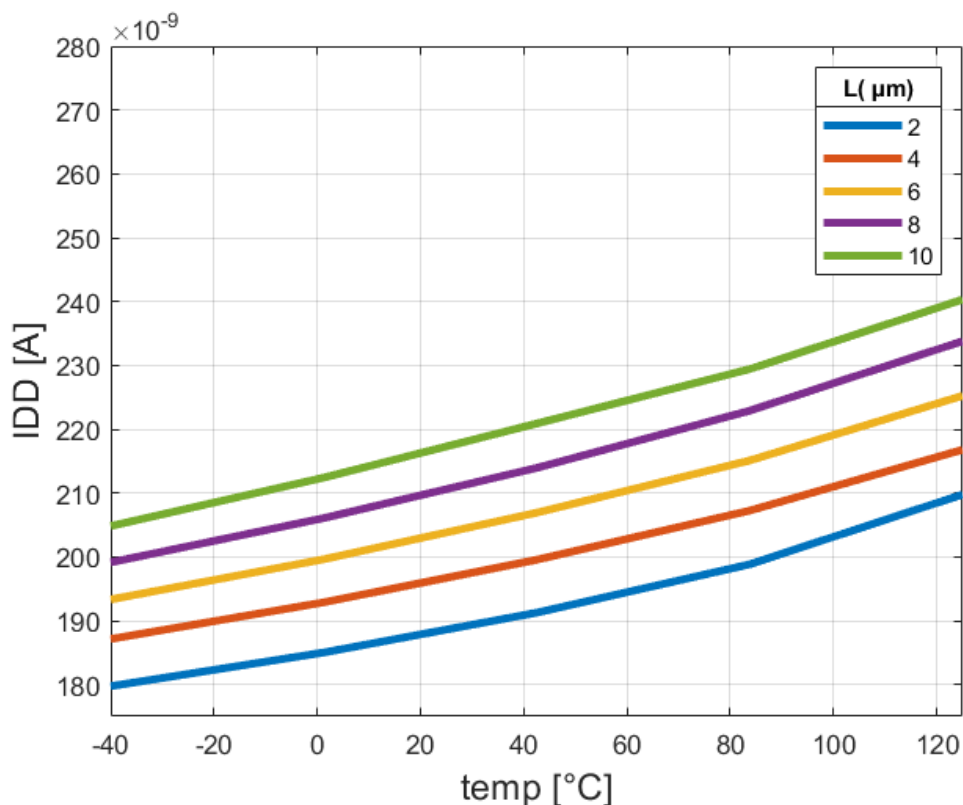


Slika 6.10: Ovisnost izlazne frekvencije o temperaturi za 5 različitih duljina kanala tranzistora  $M_{N1}$ - $M_{N4}$  i  $M_{P1}$ - $M_{P4}$ .

## 6.4. Rezultati

### 6.4.1. Parametri elemenata

Kod tranzistora  $M_{P1}$ - $M_{P4}$  i  $M_{N1}$  -  $M_{N4}$  mjereni su sljedeći parametri: struja tranzistora  $i_d$ , napon  $v_{gt}$ , strmina  $g_m$ , izlazni otpor  $r_d$  te napon  $v_{sm}$ . Ti se parametri mijenjaju u ovisnosti o naponu na  $V_+$  stezaljci komparatora. U sklopu je na  $V_+$  stezaljku komparatora doveden napon  $V_C$  koji se mijenja linearno od 0



**Slika 6.11:** Ovisnost ukupne potrošnje struje o temperaturi za 5 različitih duljina kanala tranzistora  $M_{N1}$ - $M_{N4}$  i  $M_{P1}$ - $M_{P4}$ .

do 350 mV te su stoga provedena mjerenja spomenutih parametara za  $V_+ = 0$  V,  $V_+ = 175$  mV i  $V_+ = 350$  mV. Rezultate prikazuju tablice 6.3 - 6.5. Tablice 6.4 i 6.5 ne sadrže širine i duljine kanala tranzistora jer su te vrijednosti jednake u sva tri slučaja.

**Tablica 6.3:** Parametri tranzistora  $M_{P1}$  -  $M_{P4}$  i  $M_{N1}$  -  $M_{N4}$  za  $V_+ = 350$  mV.

Tr.	W (μm)	l (μm)	$i_d$ (nA)	$v_{gt}$ (mV)	$g_m$ (μS)	$r_d$ (MΩ)	$v_{sm}$ (mV)
$M_{P1}$	0,24	4	-25	-42,9	0,34	1334	296
$M_{P2}$	0,24	4	-25	-42,9	0,34	1334	296
$M_{P3}$	1,5	4	-53,3	12,4	0,99	575	382
$M_{P4}$	1,5	4	-53,3	12,4	0,99	575	382
$M_{N1}$	0,24	4	25	-30,5	0,44	785	320
$M_{N2}$	0,24	4	25	-30,5	0,44	785	320
$M_{N3}$	1,5	4	53,3	-72,1	1,34	449	695
$M_{N4}$	1,5	4	53,3	-72,1	1,34	449	695

Tranzistori komparatora  $M_{P5}$ ,  $M_{P6}$ ,  $M_{N5}$  i  $M_{N6}$  te tranzistor  $M_{N0}$  obavljaju funkciju sklopke. Zbog toga tim tranzistorima nisu mjereni isti parametri kao i ostalim tranzistorima. Kod njih su mjereni izlazni otpor u trenutku kad tranzistor

**Tablica 6.4:** Parametri tranzistora  $M_{P1}$  -  $M_{P4}$  i  $M_{N1}$  -  $M_{N4}$  za  $V_+ = 175$  mV.

Tranzistor	$i_d$ (nA)	$v_{gt}$ (mV)	$g_m$ ( $\mu$ S)	$r_d$ (M $\Omega$ )	$v_{sm}$ (mV)
$M_{P1}$	-2,8	77,8	0,0636	9201	340
$M_{P2}$	-47,2	-97,2	0,5015	409	119
$M_{P3}$	-4,5	120,3	0,1168	5025	302
$M_{P4}$	-4,7	120,3	0,1206	5912	1155
$M_{N1}$	2,8	-138,4	0,0646	4868	236
$M_{N2}$	47,2	7,9	0,7284	484	325
$M_{N3}$	4,5	-180	0,1092	4542	814
$M_{N4}$	4,7	-33,7	0,0689	307	-61

**Tablica 6.5:** Parametri tranzistora  $M_{P1}$  -  $M_{P4}$  i  $M_{N1}$  -  $M_{N4}$  za  $V_+ = 0$  V.

Tranzistor	$i_d$ (nA)	$v_{gt}$ (mV)	$g_m$ ( $\mu$ S)	$r_d$ (M $\Omega$ )	$v_{sm}$ (mV)
$M_{P1}$	-0,05	232,3	0,0013	463700	371
$M_{P2}$	-49,95	-117,7	0,4013	4	-41
$M_{P3}$	-0,07	238,6	0,0021	233000	158
$M_{P4}$	-0,08	268,6	0,0022	342400	1161
$M_{N1}$	0,05	-302,2	0,0012	120300	77
$M_{N2}$	49,95	11,6	0,7601	464	344
$M_{N3}$	0,07	-343,7	0,0018	291800	964
$M_{N4}$	0,08	-30,0	0,0011	284	-69

vodi,  $r_{ON}$  te izlazni otpor u trenutku kad tranzistor ne vodi,  $r_{OFF}$ . Rezultate tih mjerenja prikazuje tablica 6.6.

**Tablica 6.6:** Parametri tranzistora koji imaju funkciju sklopke.

Tranzistor	W ( $\mu$ m)	L ( $\mu$ m)	$r_{ON}$ (k $\Omega$ )	$r_{OFF}$ (G $\Omega$ )
$M_{P5}$	0,5	1,8	63	0,44
$M_{P6}$	0,5	1,8	63	63260
$M_{N0}$	5	0,9	2,4	1440
$M_{N5}$	2	0,9	5,7	2800
$M_{N6}$	2	0,9	2,2	2780

Kapacitet  $C_{REF}$  je zbog ograničenja korištene tehnologije izveden kao 3 paralelno spojena kondenzatora  $C_1$ ,  $C_2$  i  $C_3$ . Vrijednosti tih kapaciteta prikazani su u tablici 6.7. Vrijeme kašnjenja integratora pomoću kojeg je određen potreban kapacitet iznosi  $t_d = 1,107 \mu$ s.

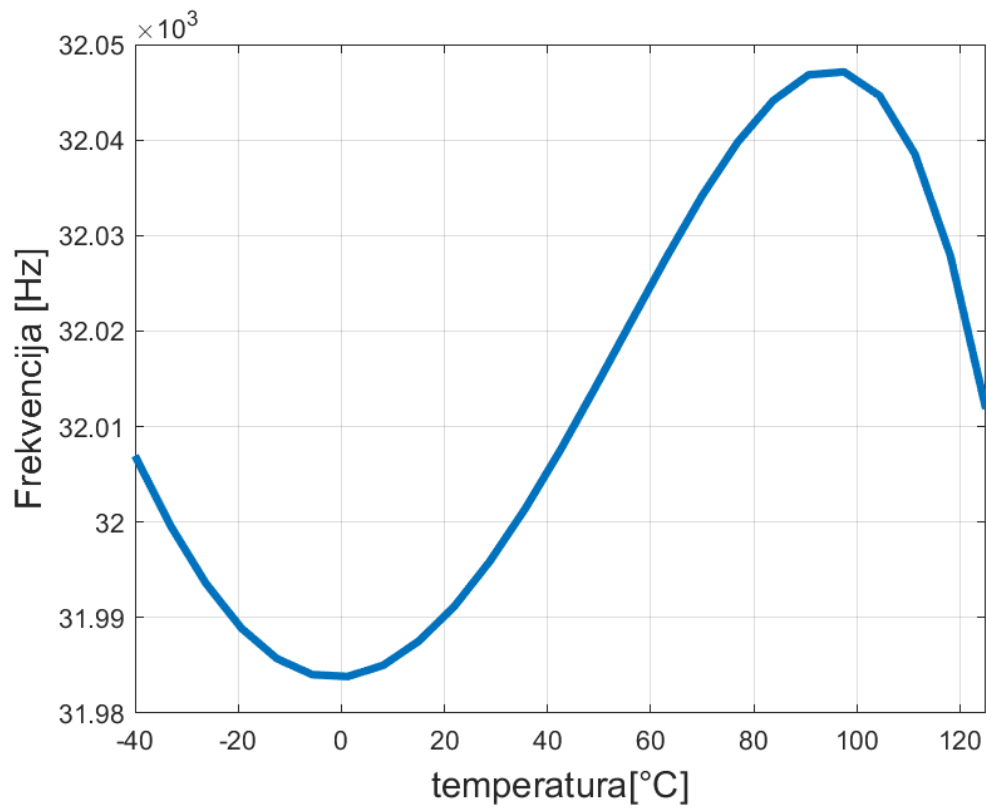
### 6.4.2. Parametarske simulacije

Ponovno su provedene parametarske simulacije gotovog sklopa. Slike 6.12 - 6.16 prikazuju redom ovisnost frekvencije izlaznog signala o temperaturi, naponu na-

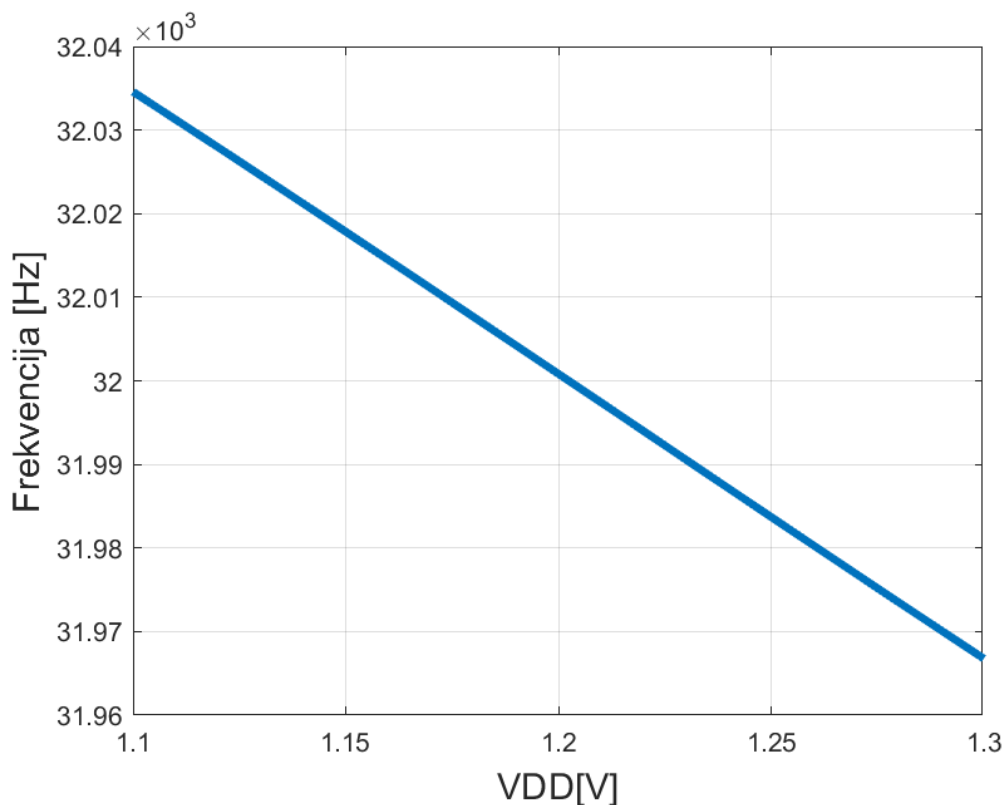
**Tablica 6.7:** Kapaciteti kondenzatora  $C_1$ ,  $C_2$ ,  $C_3$  i njihove dimenzije.

Kondenzator	W( $\mu m$ )	l( $\mu m$ )	C (pF)
$C_1$	27,78	26,86	1,382
$C_2$	25,79	26,87	1,383
$C_3$	25,79	26,87	1,383
$C_{REF}$	-	-	4,148

pajanja  $V_{DD}$ , referentnom naponu  $V_{REF}$ , referentnoj struji  $I_{REF}$  i struji  $I_{BC}$ .



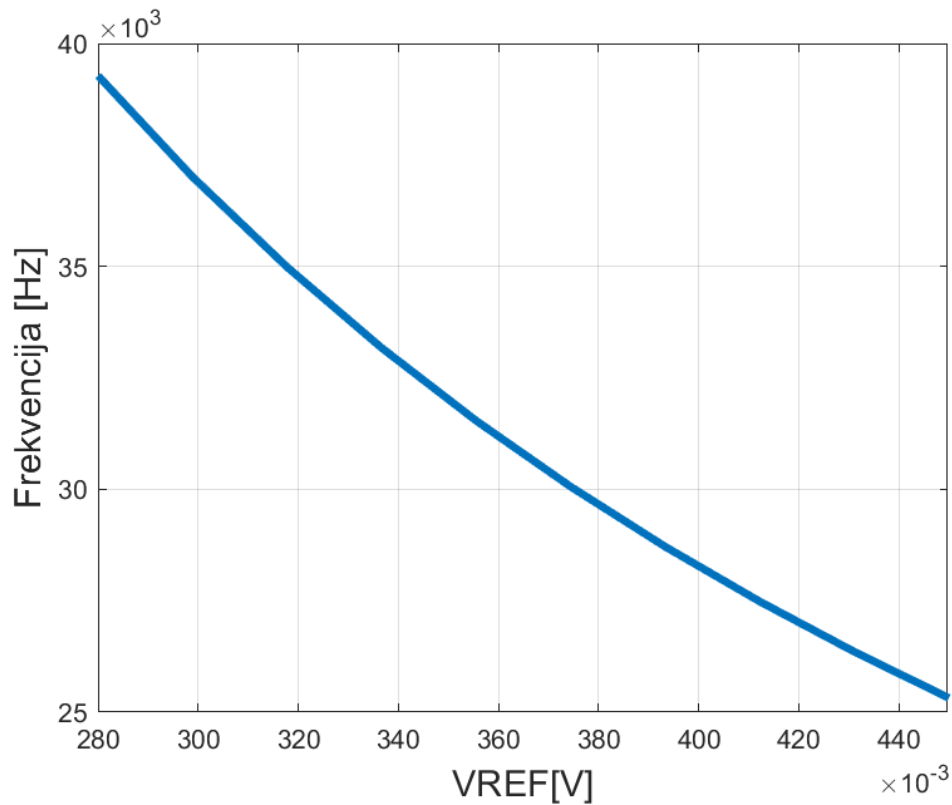
**Slika 6.12:** Ovisnost frekvencije izlaznog signala o temperaturi. Frekvencija se mijenja maksimalno  $+0,147\%$ / $-0,051\%$  u odnosu na vrijednost pri  $T_{NOM} = 35\text{ }^\circ\text{C}$ .



**Slika 6.13:** Ovisnost frekvencije izlaznog signala o naponu napajanja  $V_{DD}$ . Frekvencija se mijenja maksimalno  $+0,108\%$ / $-0,104\%$  u odnosu na vrijednost pri nominalnom naponu napajanja  $V_{DD} = 1,2$  V.

### 6.4.3. Izlazni parametri

Provedene su analize za rubne tehnološke parametre koje podrazumijevaju simulacije u svim mogućim rubnim uvjetima uzimajući u obzir granice ulaznih parametara koje su zadane specifikacijama te tolerancije elemenata. Pri tome su mjereni izlazni parametri: frekvencija izlaznog signala, potrošnja struje u aktivnom načinu rada, potrošnja struje u neaktivnom načinu rada, relativno odstupanje frekvencije u ovisnosti o temperaturi  $\Delta f_{OSCT}$  te relativno odstupanje frekvencije u ovisnosti o naponu napajanja  $\delta f_{OSCV}$ . Tablica 6.8 prikazuje granice unutar kojih su bile sve vrijednosti pojedinog izlaznog parametra te vrijednost pojedinog parametra u nominalnim uvjetima.



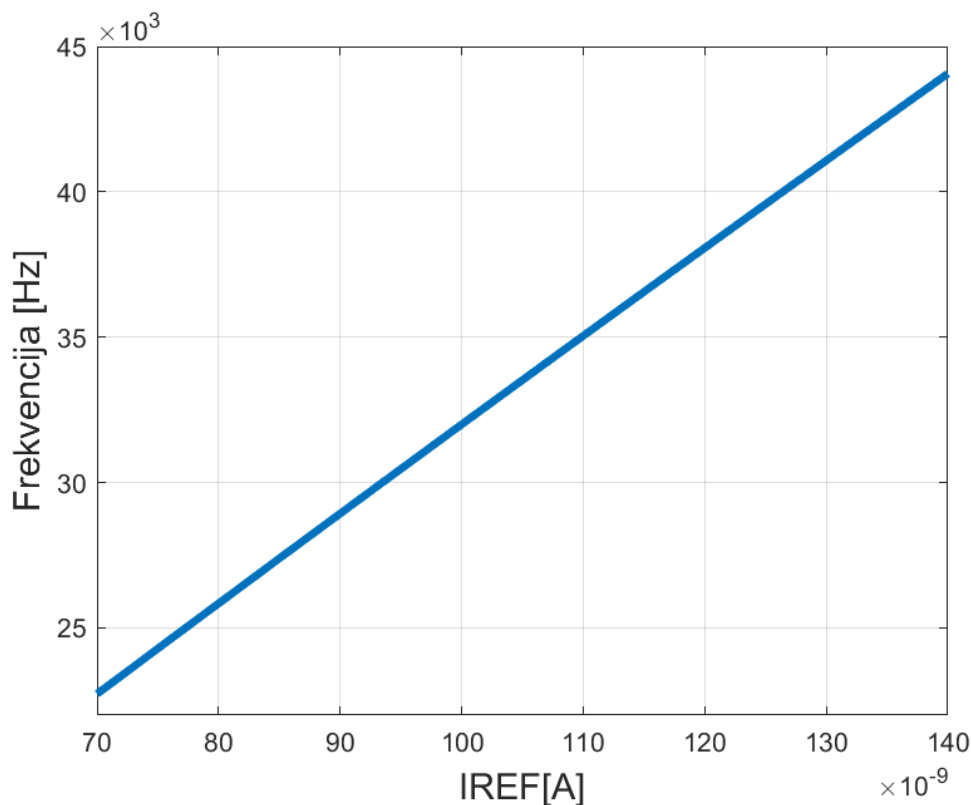
**Slika 6.14:** Ovisnost frekvencije izlaznog signala o referentnom naponu  $V_{REF}$ . Frekvencija se mijenja maksimalno  $+22,742\%$ / $-20,881\%$  u odnosu na vrijednost pri nominalnom naponu  $V_{REF} = 350$  mV.

**Tablica 6.8:** Izlazni parametri pilastog relaksacijskog oscilatora.

Parametar	Min.	Nom.	Max.	Mj. jed.
$f_{OSCC}$	23,13	32	42,65	kHz
$I_{DD}$ (aktivno)	120	198,3	346,9	nA
$I_{DD}$ (neaktivno)	0,735	3	55,05	nA
$\Delta f_{OSCT}$	-0,05	0	0,15	%
$\delta f_{OSCV}$	-1,04	0	1,09	%/V

## 6.5. Topološki nacrt

Posljednji korak rada bio je crtanje topološkog nacrtu sklopa, odnosno fizičkog rasporeda komponenata i vodova, onako kako će biti postavljeni na čipu. Nacrtanu topologiju pilastog relaksacijskog oscilatora prikazuje slika 6.17.



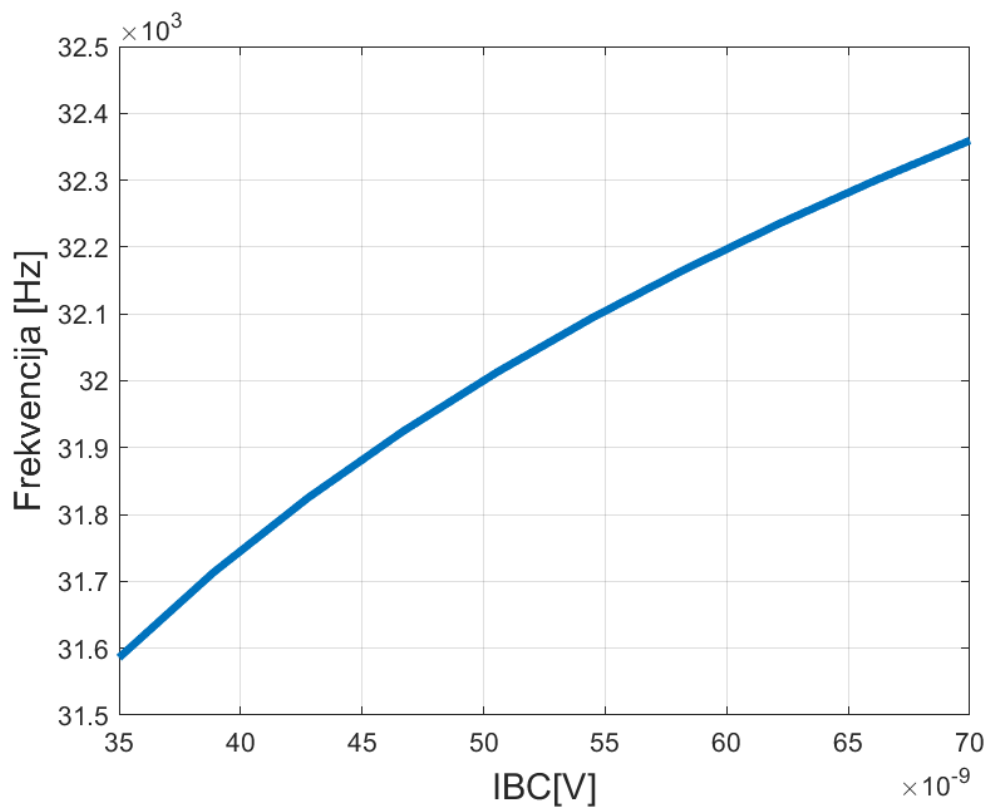
**Slika 6.15:** Ovisnost frekvencije izlaznog signala o referentnoj struji  $I_{REF}$ . Frekvencija se mijenja maksimalno  $+37,702\%$ / $-28,965\%$  u odnosu na vrijednost pri nominalnoj struji  $I_{REF} = 100$  nA.

## 6.6. Zaključak

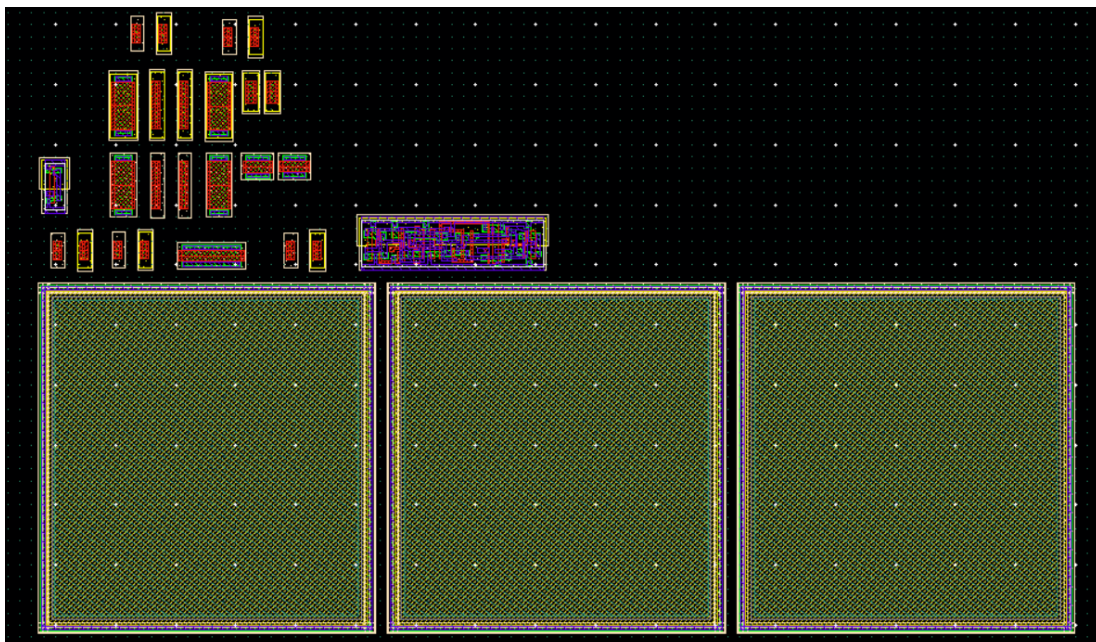
Pilasti regulacijski oscilator nužan je za ispravan rad kompletnog sklopa. Ispravnost njegovog rada direktno ovisi o ispravnosti rada prethodnih blokova jer oni generiraju napon napajanja  $V_{DD}$ , referentni napon  $V_{REF}$ , referentnu struju  $I_{REF}$  te struju  $I_{BC}$  koja je potrebna za rad komparatora. Ti su parametri ulazni parametri opisanog bloka te je njihova stabilnost ključna za ispravan rad pilastog relaksacijskog oscilatora. Nadalje, izlaz iz oscilatora je ulaz u sljedeći blok, tj. djelilo frekvencije. Njegova je uloga pretvoriti oscilacije pravokutnog napona frekvencije 32 kHz u frekvenciju 1 Hz. Stoga je za ispravan rad djelila frekvencije, a time i kompletnog sklopa, nužno da izlazni signal pilastog relaksacijskog oscilatora bude u skladu sa specifikacijama.

U ovom poglavlju opisan je postupak projektiranja relaksacijskog oscilatora čiji se rad zasniva na nabijanju referentnog kondenzatora konstantnom strujom i usporedbi napona na tom kondenzatoru s referentnim naponom. Nakon određivanja veličina tranzistora i kondenzatora provedene su simulacije za sve





**Slika 6.16:** Ovisnost frekvencije izlaznog signala o struji  $I_{BC}$ . Frekvencija se mijenja maksimalno +1,123 %/-1,294 % u odnosu na vrijednost pri nominalnoj struji  $I_{BC} = 50$  nA.



**Slika 6.17:** Topologija pilastog relaksacijskog oscilatora.

ulazne parametre u skladu sa specifikacijom te su provedene simulacije za rubne tehnološke parametre. Rezultati tih simulacija potvrđuju ispravan rad skopa relaksacijskog oscilatora.

# 7. Petstupanjski križno prospojeni relaksacijski oscilator

## 7.1. Uvod

Križno prospojeni relaksacijski oscilator, prikazan na slici 7.1, prima referentni napon  $V_{REF}$  i referentnu struju  $I_{REF}$  nominalnih vrijednosti 0,35 V, odnosno 100 nA.

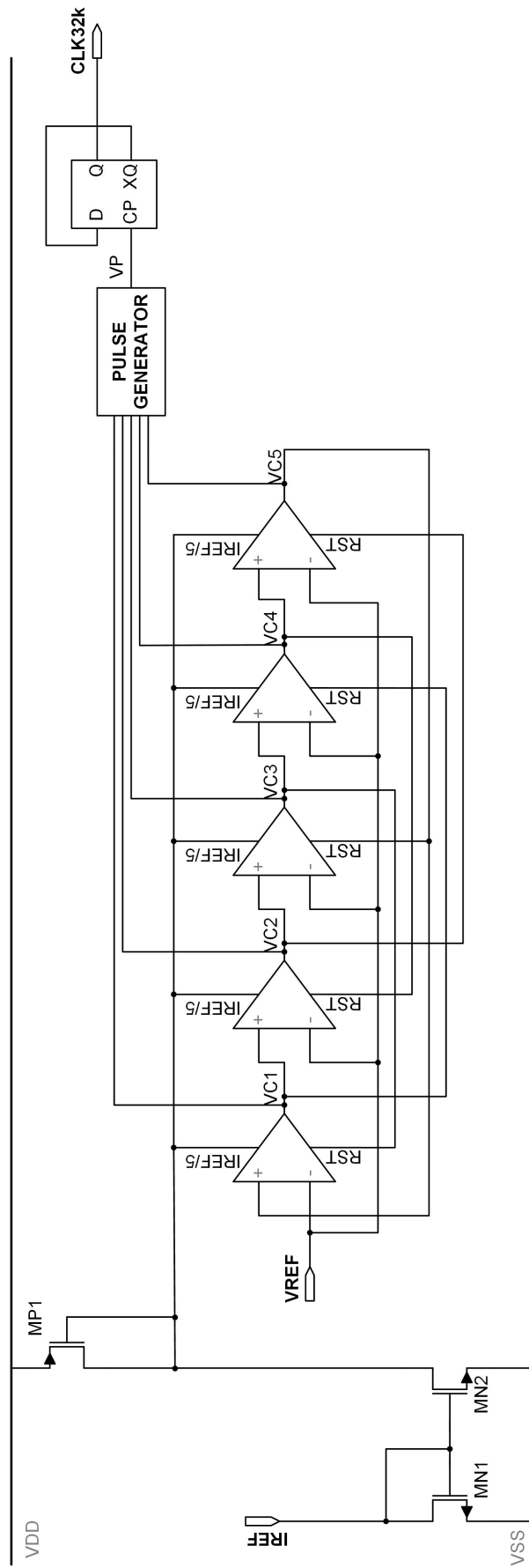
Oscilator se sastoji od 5 identičnih integratora (slika 7.2) povezanih u prstenastu strukturu. Jedna petina referentne struje  $I_{REF}$  prolazi kroz dio nominalnog kondenzatora nominalne vrijednosti  $C_{REF}/5$ , što na tim kondenzatorima daje 5 izlaznih napona:  $V_{C1}$  do  $V_{C5}$ .

Unutar svakog integratora ulazni napon  $V_C$  iz prethodnog stupnja aktivno se uspoređuje s referentnim naponom  $V_{REF}$ . Izlazni napon svakog stupnja kontrolira integracijski ciklus sljedećeg stupnja. Na taj način unaprijedno upravljanje uzrokuje i održava oscilacije. Dodatno, integrirani izlazni naponi  $V_{C1}$  do  $V_{C5}$  generiraju impulsni "češalj" na izlazu generatora impulsa (eng. "*pulse generator*"). U kombinaciji s  $D$  bistabilom, izlazna frekvencija ima nominalnu vrijednost  $f_{OSCC0} = 32$  kHz [1], [2], [16].

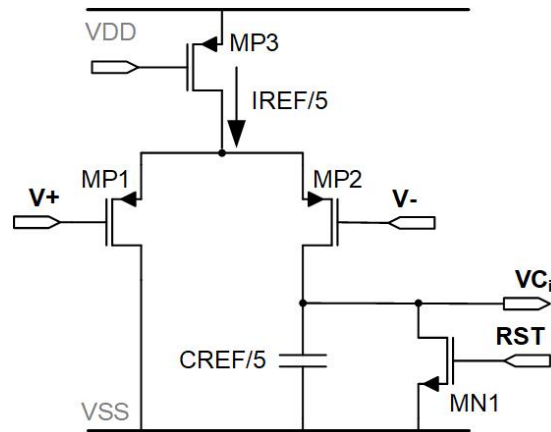
## 7.2. Sheme i opis rada svih blokova

Prvi korak je projektiranje osnovnog sklopa integratora. U sklopu se 5 takvih integratora spaja u prstenastu strukturu. Dizajn je promijenjen u odnosu na osnovni tako što je dodan pMOS tranzistor MP3 kao dio strujnog zrcala.

Zatim je potrebno napraviti generator impulsa (slika 7.3) koji će spojiti sve izlazne signale iz integratora u jedan pravokutni impuls. Svaki od izlaznih signala prolazi kroz sklop za oblikovanje signala (eng. "*definer*") koji od nepravilnih oblika izlaznog signala pravi pravokutne signale, nakon toga kroz detektor rastućeg

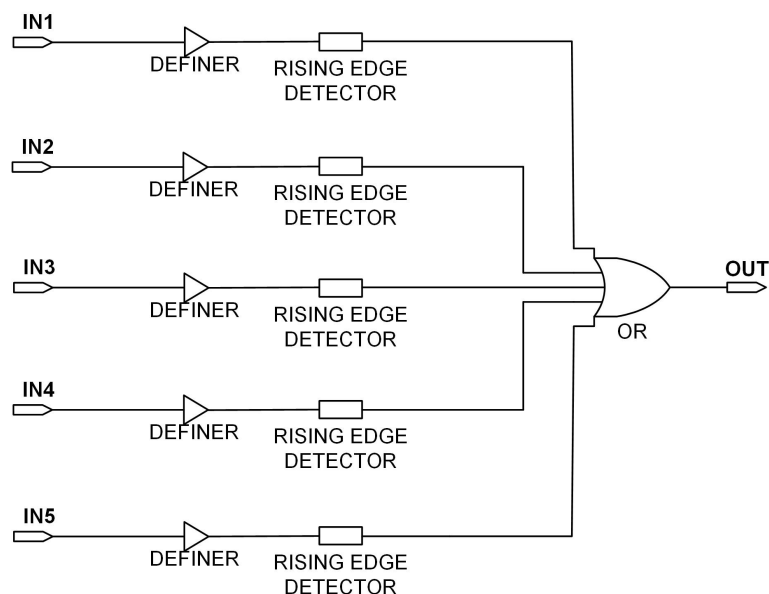


Slika 7.1: Relaksacijski oscilator (oscilatorska jezgra).



Slika 7.2: Integrator.

brida (eng. *rising edge detector*) koji na izlazu daje kratak impuls kada je na ulazu rastući brid signala. Na kraju, svih 5 signala, koji su prošli kroz dva navedena sklopa, ulaze u ILI logička vrata (eng. *OR*) koja čine jednostavnu funkciju zbrajanja tih signala te na izlazu daje kratkotrajne impulse u pravilnom razmaku.



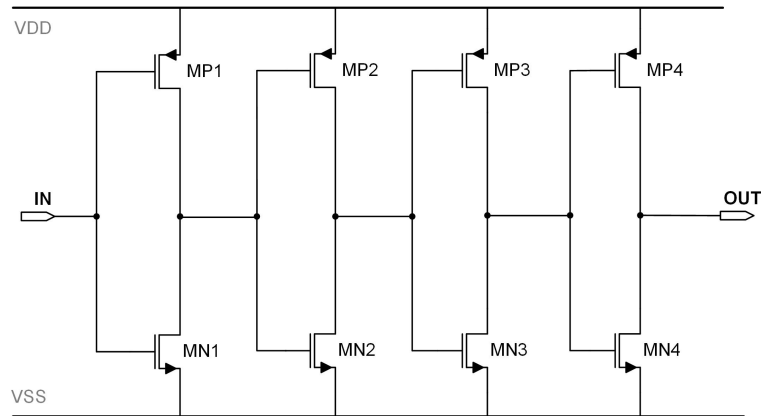
Slika 7.3: Generator impulsa.

Sklop za oblikovanje signala (slika 7.4) jednostavan je sklop sastavljen od 4 inverterska stupnja spojena u seriju kako bi se signal oblikovao u pravokutni.

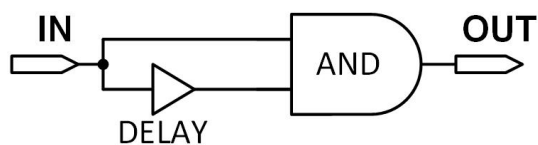
Detektor rastućeg brida (slika 7.5) sastavljen je od sklopa za unošenje kašnjenja (eng. *delay*) i I (eng. *AND*) logičkih vrata. Na jedan ulaz I logičkih vrata dolazi signal, dok na drugi ulaz dolazi isti taj signal koji je prošao kroz sklop za unošenje kašnjenja kako bi na izlazu nastao pravokutni impuls u trajanju prib-

ližno  $0,5 \mu s$ .

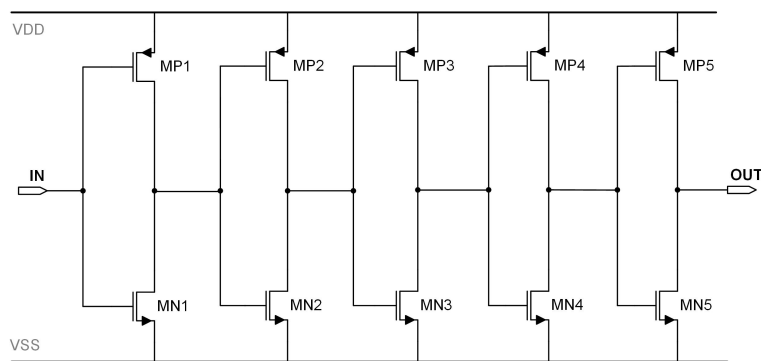
Sklop za unošenje kašnjenja (slika 7.6) je sastavljen od 5 inverterskih stupnjeva. Kod tih su invertera omjeri širine i dužine kanala kod tranzistora minimalni kako bi struja kroz njih bila što manja, a kašnjenje signala veće.



Slika 7.4: Sklop za oblikovanje signala.



Slika 7.5: Detektor rastućeg brida.



Slika 7.6: Sklop za unošenje kašnjenja.

Izlazni signal iz generatora impulsa ulazni je impuls takta (eng. "clock pulse", kratica  $CP$ ) u  $D$  bistabil, dok je na  $D$  ulaz povratno doveden izlazni signal  $XQ$ , a  $Q$  je konačni izlaz frekvencije 32 kHz. Na svaki impuls na  $CP$  ulazu promijeni se izlaz, tako je dobiven signal dvostruko manje frekvencije od ulaznog  $CP$ -a.

Nakon što se sve spoji i poveže međusobno, dobije se cijela jezgra oscilatora (slika 7.1).

Osim osnovnih sklopova, koji formiraju oscilator, dodani su pMOS i nMOS tranzistori kako bi pritegnuli izlaze integratora na visoku, odnosno nisku razinu dok je upravljački signal  $EN$  (eng. "enable") u niskoj razini i tako postavili početne uvjete potrebne za ispravan početak rada sklopa. Na slici 7.7 istaknuti su dijelovi koji su dodani u odnosu na osnovni sklop.

### 7.3. Opis procedure dizajna

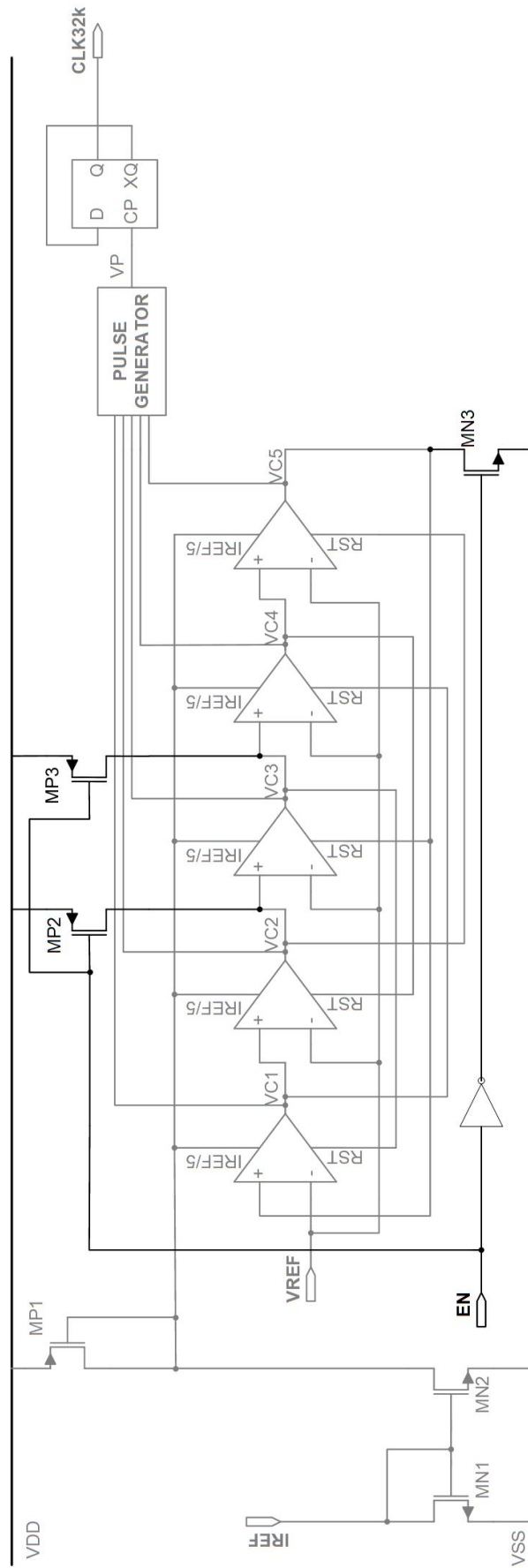
Prilikom dizajniranja integratora potrebno je prilagoditi širine i dužine tranzistora kako bi potrebna struja tekla kroz pMOS tranzistore i u pravilnom i željenom ciklusu punila kondenzator. U paralelu kondenzatoru postavljen je nMOS tranzistor kojega treba prilagoditi kako bi obavljao svoju ulogu, brzo pražnjenje kondenzatora kada na njegov ulaz dođe visoka razina resetirajućeg signala  $RST$ .

Nakon toga testiran je jedan integrator s umjetno generiranim signalima za postavljanje i resetiranje izlaznog signala. Potom je 5 integratora spojeno u prstenastu strukturu te su željeni početni uvjeti prvo postavljeni preko idealnih kondenzatora, a preko idealnog strujnog izvora izravno je dovedeno potrebnih 20 nA struje u svaki integrator.

Tako je ispitana osnovna struktura, odnosno, dobiva li se željeno osciliranje unutar te strukture, postavljaju li se i resetiraju međusobno integratori na ispravan način. Nakon toga bilo je potrebno dizajnirati generator impulsa koji će spojiti sve izlazne signale da bi se dobili izlazni impulsi. Kako bi to bilo moguće, trebalo je prvo od oblika dobivenog od postupnog punjenja i pražnjenja kondenzatora unutar svakog integratora napraviti pravokutne signale kako bi se prešlo na logiku digitalnih signala, tj. binarne operacije koje su potrebne da bi se dobio željeni, konačni izlaz. Potreban je impuls pri rastućem bridu svakog izlaznog signala integratora, a za to potreban je detektor rastućeg brida. U konačnici, impulse dobivene od svakog izlaznog signala integratora potrebno je spojiti jednostavnom ILLI operacijom nad tim impulsima.

Cijeli generator impulsa zasebno je testiran uz 5 umjetno generiranih signala s pravilnim vremenskim razmakom te je nakon uspješnog testiranja implementiran na dotadašnji, dizajnirani dio jezgre.

Tako generirani impulsi trebaju proći kroz  $D$  bistabil kako bi se na izlazu dobio željeni signal frekvencije 32 kHz. Nakon što je sve spojeno, potrebno je ukloniti idealne kondenzatore koji postavljaju početne uvjete na izlazima integratora te osmisliti kako postaviti početne uvjete na drugi način.



**Slika 7.7:** Relaksacijski oscilator s dijelovima za diobu struje i postavljanje početnih uvjeta.



Početni uvjeti trebaju se postaviti u trenucima dok jezgra nije aktivna, tj. za vrijeme niske razine upravljačkog signala  $EN$ . Kako bi se odredilo koji su to potrebni početni uvjeti, uzet je jedan nasumični trenutak za izlazne signale pojedinih integratora te je određeno da se izlazi koji su u tom trenutku različiti od logičke 0, spajaju na visoku razinu  $V_{DD}$ , a oni, koji su na logičkoj 0, kratko spajaju na masu. Tako su izlazi drugog i trećeg integratora spojeni na visoku razinu, a izlaz četvrtog spojen je na nisku razinu. Spojeni su preko tranzistora upravljanih signalom  $EN$ , odnosno njegovom komplementarnom razinom. Prvi i peti integrator nisu spojeni ni na jednu razinu jer su signali koji njih resetiraju u visokoj razini i automatski ih postavljaju na razinu 0.

Sljedeći korak bio je prilagoditi dizajn kako bi ulazna struja iznosa 100 nA bila podijeljena tako da u svaki integrator ide petina, odnosno 20 nA. To je ostvareno strujnim zrcalom u omjeru 5:1 te je dodan još jedan pMOS tranzistor unutar osnovnog sklopa integratora koji služi kao jedna strana strujnog zrcala, dok je druga strana iznad strujnog zrcala koje smanjuje struju na petinu iznosa.

Nije dovoljno da sklop samo radi, bitno je i da nema preveliku potrošnju struje, a pogotovo kada sklop ne radi, tj. dok je upravljački signal  $EN$  u niskoj razini. Kako bi se ograničila potrošnja struje kada je sklop isključen, za vrijeme niske razine upravljačkog signala  $EN$  (eng. "power-down" mod), dodane su sklopke upravljane signalom  $EN$  koje tijekom niske razine predstavljaju jako veliki otpor, a tijekom visoke su puno manji, praktički ih se tada može smatrati kratkim spojem.

## 7.4. Tablice s rezultatima

U tablici 7.1 prikazani su parametri komponenata korištenih unutar osnovnog sklopa integratora. Tablica 7.2 prikazuje rezultate simulacija za rubne slučajeve parametara  $I_{REF}$ ,  $V_{REF}$  i  $V_{DD}$ , dok tablica 7.3 prikazuje rezultate simulacija za rubne slučajeve temperature uz fiksne ostale parametre. Tablica 7.4 prikazuje sažetak performansi oscilatorske jezgre.

## 7.5. Grafički prikazi rezultata simulacija

Na slikama od 7.8 do 7.11 prikazani su rezultati parametarskih simulacija iz kojih se vidi ponašanje sklopa, odnosno, kako se mijenja izlazna frekvencija uz promjene osnovnih ulaznih parametara:  $I_{REF}$ ,  $V_{REF}$ ,  $V_{DD}$  i temperatura.

**Tablica 7.1:** Parametri komponenata.

	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]	rON [ $\text{M}\Omega$ ]	rOFF [ $\text{G}\Omega$ ]			
MN1	0,25	5	1,01	193,67			
	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]	$i_d$ [nA]	$v_{gt}$ [mV]	$g_m$ [ $\mu\text{S}$ ]	$r_d$ [ $\text{G}\Omega$ ]	$v_{sm}$ [mV]
MP1	0,96	20	9,97	19,41	0,156	7,45	87,39
MP2	0,96	20	9,96	19,41	0,156	7,38	87,39
Kondenzator	W [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]	Kapacitet [fF]	Komponenta	n		
CREF/5	8,24	9,3	159,3	cmim	3		

**Tablica 7.2:** Rubni slućajevi za promjene  $V_{REF}$ ,  $I_{REF}$  i  $V_{DD}$  pri  $t=35^\circ\text{C}$ .

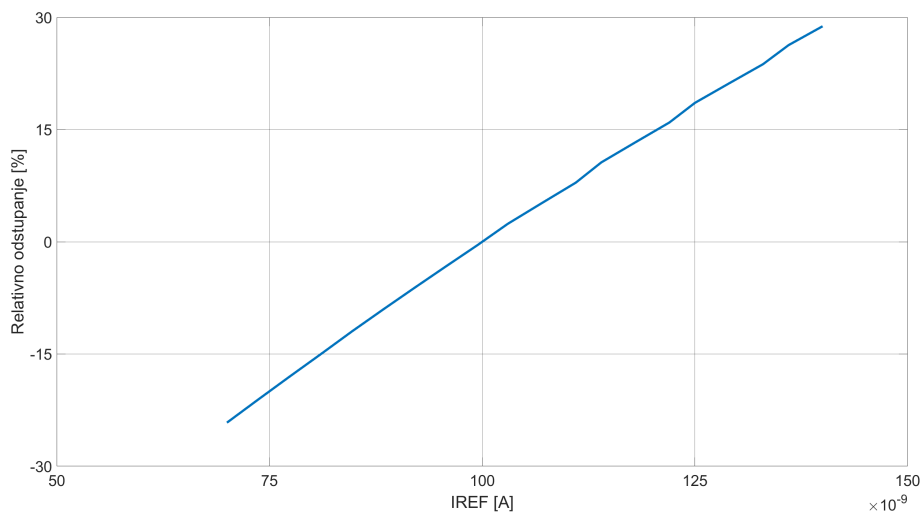
$V_{DD}$ [V]	$V_{REF}$ [V]	$I_{REF}$ [nA]	$I_{DD}$ [nA] (aktivno)	$I_{DD}$ [nA] (neaktivno)	$f_{oscc}$ [kHz]	$\Delta f_{oscc}$ [%]
1,2	0,35	100	147,7	2,026	32	0
1,1	0,35	100	132,4	1,816	32,14	0,438
1,3	0,35	100	171,3	2,232	32,19	0,594
1,1	0,28	70	92,81	1,816	24,91	-22,156
1,3	0,45	140	225,6	2,231	39,84	24,50

**Tablica 7.3:** Utjecaj promjene temperature uz ostale nominalne parametre:  $V_{REF}=0,35$  V,  $I_{REF}=100$  nA,  $V_{DD}=1,2$  V.

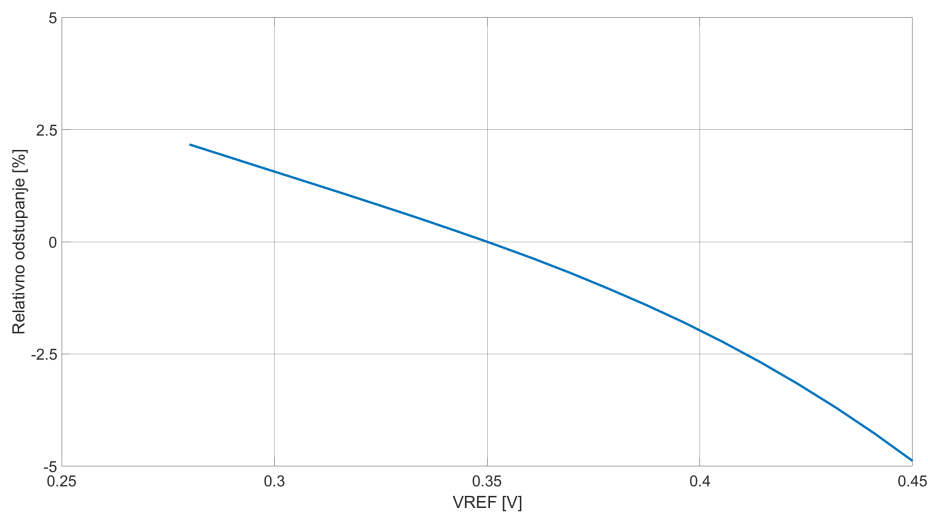
Temp. [ $^\circ\text{C}$ ]	$I_{DD}$ [nA] (aktivno)	$I_{DD}$ [nA] (neaktivno)	$f_{oscc}$ [kHz]	$\Delta f_{oscc}$ [%]
-40	110,8	0,27	29,03	-9,253
35	147,7	2,026	32	0
125	209	10,82	35,27	10,253

**Tablica 7.4:** Rasponi parametara oscilatorske jezgre.

Parametar	Specifikacija	Min	Nominalno	Max	Mjerna jedinica
$V_{DD}$	1,1 – 1,3	1,1	1,2	1,3	V
$I_{REF}$	70 – 140	70	100	140	nA
$V_{REF}$	0,28 – 0,45	0,28	0,35	0,45	V
$I_{DD}$	0 – 500	92,81	147,7	225,6	nA
$f_{oscc0}$	22 – 48	24,91	32	39,84	kHz
$\Delta f_{osccT}$		-9,253	0	10,253	$\pm\%$
$\delta f_{osccV}$		4,38	0	5,94	$\pm\%/V$



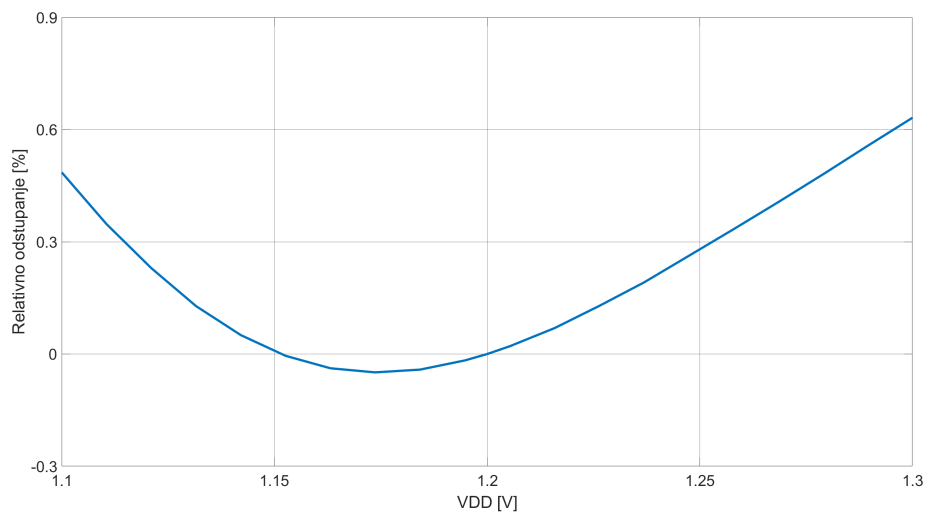
**Slika 7.8:** Relativno odstupanje frekvencije uz promjenu  $I_{REF}$ .



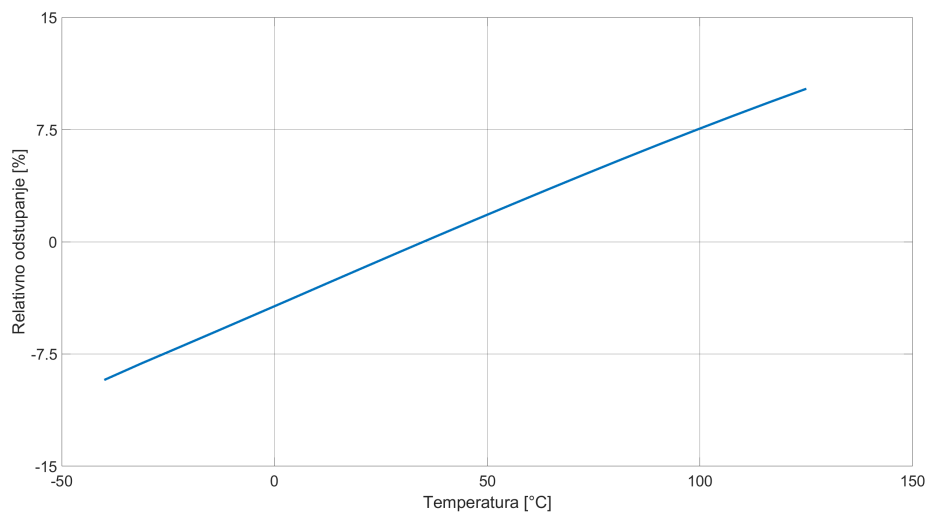
**Slika 7.9:** Relativno odstupanje frekvencije uz promjenu  $V_{REF}$ .

Graf na slici 7.12 prikazuje izlazne signale svih integratora i impuls takta  $CP$  generiran na rastuće bridove svakog od izlaznih signala, dok slika 7.13 prikazuje izlazni signal frekvencije 32 kHz na vremenskom odsječku od  $500 \mu s$ , pri čemu upravljački signal postaje aktivan (prelazi u visoku razinu) nakon  $10 \mu s$ .

U sklopu je korišten  $D$  bistabil s postavljanjem, što znači da tijekom niske razine upravljačkog signala  $EN$  bistabil na izlazu daje logičku jedinicu. Zbog toga izlazni signal zadržava visoku razinu nakon što je upravljački signal promijenio logičku razinu jer je potrebno neko vrijeme da bi integratori počeli oscilirati, što je vidljivo na slici 7.12.



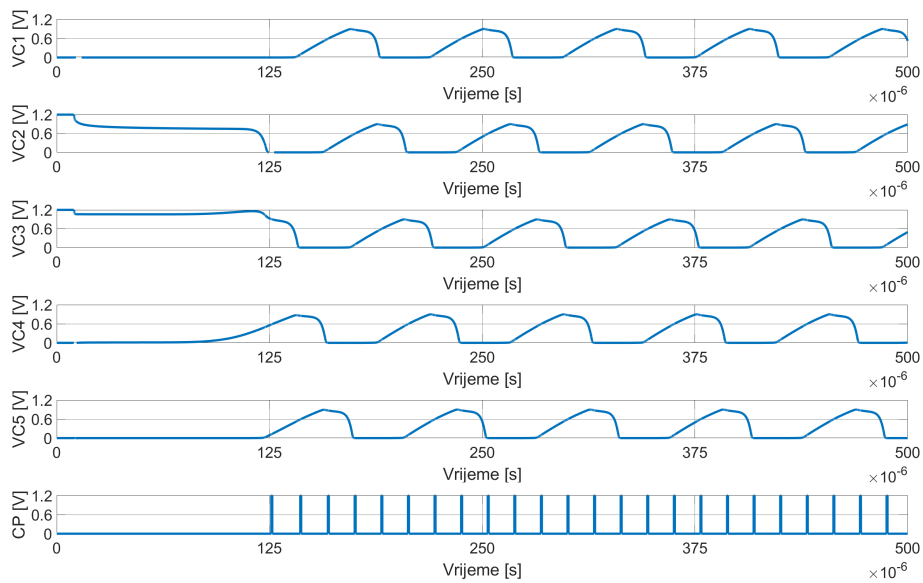
**Slika 7.10:** Relativno odstupanje frekvencije uz promjenu  $V_{DD}$ .



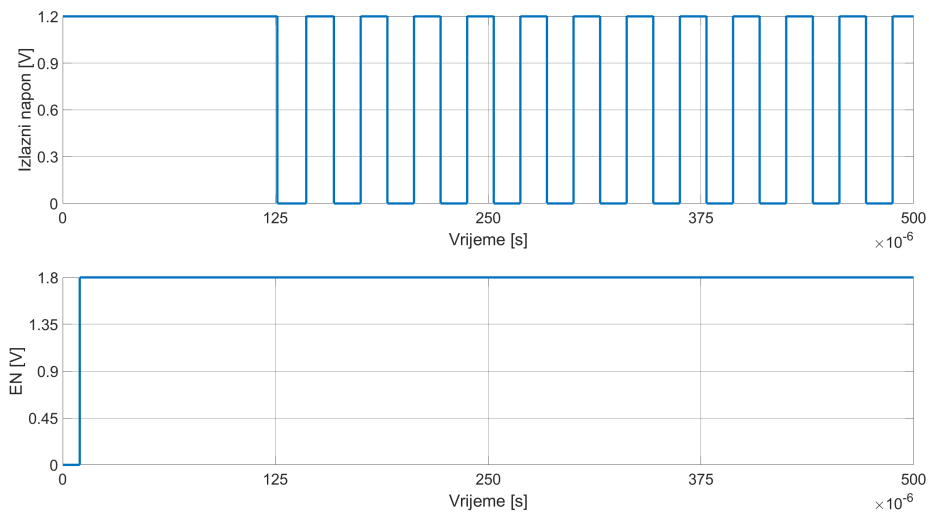
**Slika 7.11:** Relativno odstupanje frekvencije uz promjenu temperature.

## 7.6. Analize za rubne tehnološke parametre

Nakon što se provedu osnovne analize, uz poneko mijenjanje ulaznih parametara sklopa, potrebno je odmaknuti se od idealne situacije i primaknuti se realnom svijetu i neidealnim slučajevima. Pri proizvodnji tranzistora koji čine okosnicu čipa, teško je, pa i nemoguće, proizvesti tranzistore s potpuno jednakim parametrima. Tranzistori su vrlo slični, međutim, male razlike u brzini njihovog rada i reagiranja na promjene napona na njihovim stezaljkama, mogu značajno poremetiti ispravan rad sklopa. Ista stvar vrijedi i za bilo koju drugu elektroničku komponentu koja se koristi u proizvodnji čipova.



**Slika 7.12:** Izlazni naponi svih integratora.



**Slika 7.13:** Izlazni signal u vremenskoj domeni.

Zbog toga je potrebno provesti analize rubnih slučajeva kako bi se provjerilo hoće li sklop raditi i na tehnološkim granicama proizvedenih komponentata. Tako se za tranzistore definiraju 4 različita rubna slučaja, kao sve moguće kombinacije između brzog i sporog nMOS-a te brzog i sporog pMOS-a, dok se za kondenzator definiraju 2 rubna slučaja, brzi i spori. Svaki od tako definiranih rubnih slučajeva potrebno je simulirati uz rubne uvjete ulaznih parametara ( $I_{REF}$ ,  $V_{REF}$ ,  $V_{DD}$ , temperatura). Prije simuliranja rubnih uvjeta, potrebno je odrediti što je najbitnije, koji izlazni parametri se promatraju i u kojim granicama se moraju

**Tablica 7.5:** Specifikacije izlaznih parametara.

Parametar	Traženi raspon	Mjerna jedinica
$I_{DD}$ (aktivno)	0 – 500	nA
$I_{DD}$ (neaktivno)	0 – 50	nA
$f_{OSCC0}$	22 – 48	kHz

nalaziti za sve slučajeve. Izlazni parametri i njihove tražene specifikacije navedene su u tablici 7.5.

Potrošnja struje u aktivnom načinu rada i izlazna frekvencija bile su zadani projektnom dokumentacijom, a potrošnja struje u neaktivnom načinu rada specificirana je na takav način kako bi se ostvarilo da ta potrošnja bude barem red veličine manja (10 puta manja) od potrošnje u aktivnom načinu rada.

Simuliranje rubnih slučajeva odvijalo se u 2 koraka: prvo se simuliraju samo rubni uvjeti za tranzistore uz standardni, željeni kondenzator, a kada se sve prilagodi kako bi u tim slučajevima traženi parametri bili unutar specifikacija, uključuju se i rubni uvjeti za kondenzator kako bi u sljedećem koraku prilagođavanja, za apsolutno sve rubne slučajeve sklop radio unutar specifikacija.

Nakon prve iteracije analize rubnih slučajeva, utvrđeno je da u nekoliko slučajeva parametri izlaze izvan specifikacija, točnije, frekvencija je u 4 slučaja bila veća od 48 kHz i također u 4 ispod 22 kHz te je potrošnja struje u oba načina rada (aktivnom i neaktivnom) za 2 slučaja bila izvan specifikacija. Analizom dobivenih rezultata i ulaznih parametara pri kojima je frekvencija bila izvan granica specifikacija, utvrđeno je da se svi ti slučajevi nalaze na maksimalnoj, odnosno minimalnoj temperaturi propisanoj za rad sklopa, dok o ostalim parametrima frekvencija nije puno ovisila.

Kako bi se smanjilo "rasipanje" struje, a ujedno i usporio rad sklopa na visokim temperaturama, bilo je potrebno produljiti tranzistore. Naravno, tako je "pomaknuta" i frekvencija za nominalni slučaj pa se zbog toga mora prilagoditi vremenska konstanta unutar integratora da bi ta frekvencija bila što bliža 32 kHz. Nadalje, uz ponavljanje istog postupka i prilagođavanja ostalih sklopova, postupno je došlo do toga da svi rubni slučajevi zadovoljavaju specifikacije. Konačno dobiveni rasponi izlaznih parametara prikazani su u tablici 7.6.

**Tablica 7.6:** Dobiveni raspon izlaznih parametara.

Parametar	Dobiveni raspon	Mjerna jedinica
$I_{DD}$ (aktivno)	53,49 – 481,7	nA
$I_{DD}$ (neaktivno)	0,217 – 44,19	nA
$f_{OSCC0}$	22,27 – 46,58	kHz

## 7.7. Topologija sklopa

Nakon što su provedene sve potrebne analize i s obzirom da je provjereno da će sklop raditi u svim mogućim uvjetima, potrebno je izraditi topološke nacрте (eng. *"layout"*) sklopa. Topologija predstavlja stvaran izgled komponenata i njihov raspored na poluvodičkoj podlozi, tj. kako komponente zaista izgledaju u proizvodnom procesu čipa.

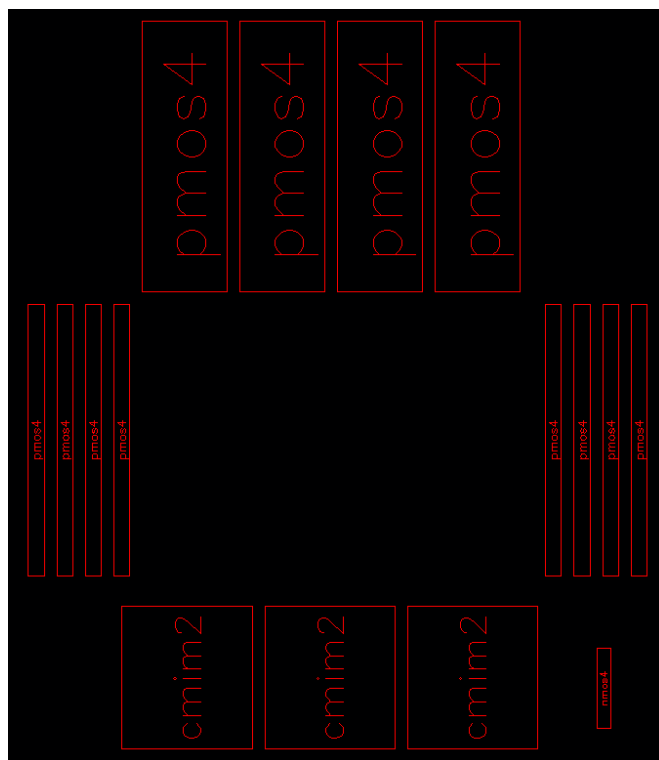
Na slici 7.14 prikazana je topologija jednog integratora, a na slici 7.15 prikazan je konačan raspored komponenata relaksacijskog oscilatora.

Na topološkom prikazu sklopova vidljivi su tranzistori koji se zapravo sastoje od 4 međusobno paralelno povezana tranzistora. Razlog tomu je uparivanje (eng. *"matching"*) tranzistora kao što su  $M_{N1}$  i  $M_{N2}$  na slici 7.1. Komponente se uparuju kako bi se ostvarila bolja raspodjela temperature unutar jednog tranzistora sastavljenog od 4 manja dijela, u odnosu na slučaj kada bi se koristio 1 tranzistor sa 4 puta većom širinom. Ukoliko se svaka komponenta prvog tranzistora označi s  $A_n$ , a drugog s  $B_n$ , u ovom konkretnom slučaju se ti tranzistori miješaju sljedećim rasporedom njihovih komponenata:  $A_1B_1A_2B_2B_3A_3B_4A_4$ .

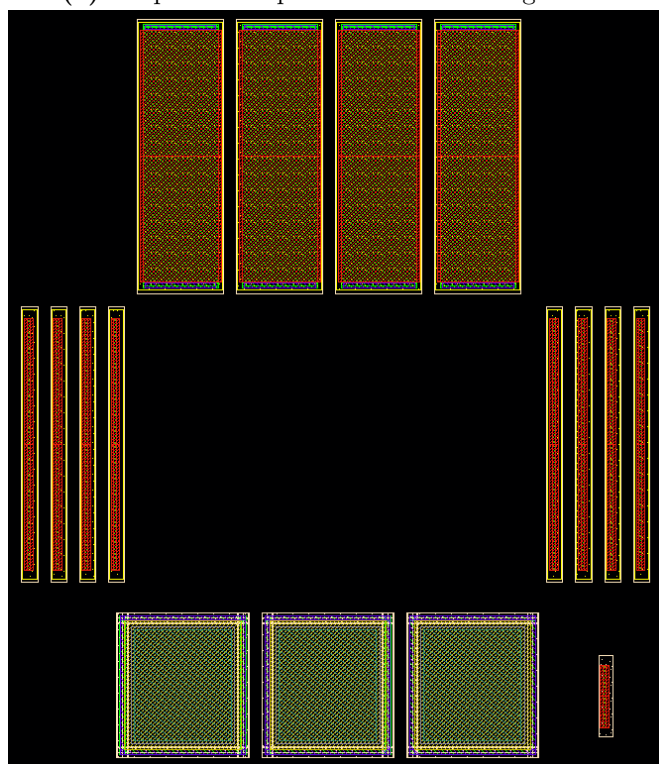
Nakon povezivanja svih komponenata metalnim vodovima, provodi se ekstrakcija parazitnih elemenata i nakon toga konačna simulacija s njihovim utjecajem na rad sklopa.

## 7.8. Zaključak

Osnovna komponenta svakog mikroelektroničkog sklopa je tranzistor čije je otkriće dovelo do nevjerojatnog razvoja poluvodičkih tehnologija, od samog otkrića pa sve do danas. Oscilatori koji generiraju signal takta svrstavaju se među najvažnije gradivne blokove integriranih sklopova [1], [2], [8], [9]. Zbog male potrošnje uo-



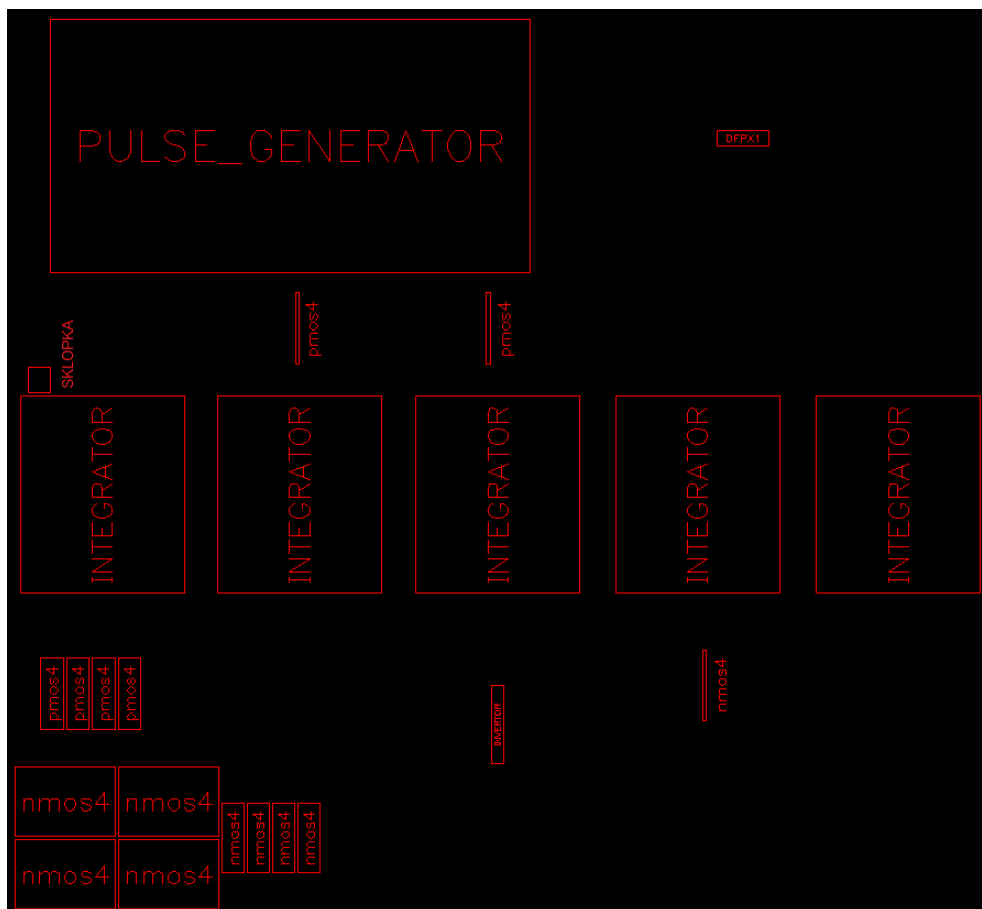
(a) Raspored komponenta unutar integratora.



(b) Stvarni izgled tranzistora unutar integratora.

Slika 7.14: Topološki nacrt integratora.





**Slika 7.15:** Topološki nacrt relaksacijskog oscilatora.

bičajeno se koriste relaksacijski oscilatori kao generatori takta na niskim frekvencijama.

Opisani postupak projektiranja zahtijeva duboko poznavanje teorije na razini tranzistora, od osnovnog poznavanja rada pojedinog tranzistora pa sve do toga kako grupe tranzistora zajedno tvore analogne i digitalne sklopove. Kombiniranjem analognih i digitalnih sklopova mogu se postići značajna ostvarenja u mikroelektroničkoj industriji.

Kako bi se postigli željeni rezultati i dobio ispravan rad sklopa, bitno je shvatiti da ništa u elektronici nije idealno te se trebaju ispitati svi mogući slučajevi kako bi se na kraju dobio kvalitetan i stabilan proizvod koji će raditi u svim mogućim uvjetima.

U ovom poglavlju opisan je postupak projektiranja petstupanjskog relaksacijskog oscilatora, kao i podsklopovi koji tvore oscilator. Pomoću sklopovskih simulacija u programskom sustavu Cadence pokazano je kako oscilator ispravno radi u širokom opsegu ulaznih signala i za rubne tehnološke parametre.

# 8. Djelilo frekvencije

## 8.1. Uvod

Djelitelj frekvencije je sklop koji jednu ulaznu frekvenciju pretvara u neku nižu frekvenciju [6]. Sklop radi tako da broji impulse pravokutnog ulaznog takta. Nakon nekog vremena će izbrojati unaprijed definirani  $n$  broj impulsa, gdje je  $n \in \mathbb{N}$ , i tada dolazi do promjene stanja na izlazu iz niske razine u visoku ili obratno. Na taj način od ulaznog takta frekvencije  $f$  dobijemo na izlazu signal takta čija frekvencija iznosi  $f/n$ .

Temeljni element svakog djelitelja frekvencije je brojilo. U digitalnoj logici brojilo je sklop koji na izlazima daje binarne brojeve, a ti brojevi se mijenjaju dolaskom rastućeg odnosno padajućeg brida ulaznog pulsa. Koji brid pulsa će izazvati promjenu stanja na izlaznoj sabirnici brojila ovisi o fizičkoj izvedbi brojila.

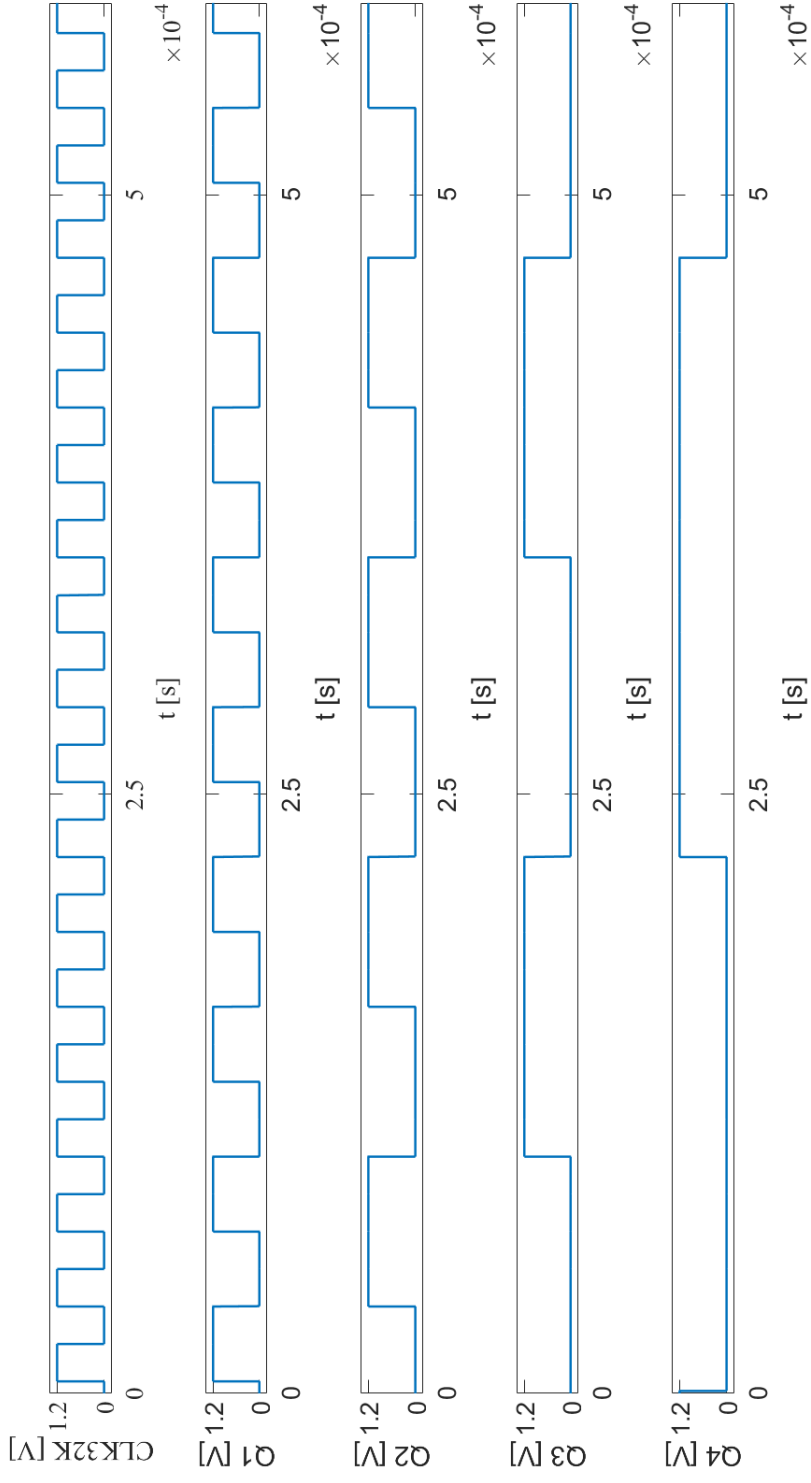
Nakon određenog, unaprijed definiranog, broja impulsa mijenja se stanje na izlazu. Za prepoznavanje tog trenutka koristimo binarni komparator. To je digitalni sklop koji uspoređuje dva broja i u slučaju da su jednaki na izlazu daje visoku razinu te na taj način generira jako kratki pravokutni impuls koji ponovno postavlja brojilo na nulu. Taj isti pravokutni impuls iskoristit ćemo i za okidanje D bistabila koji nam u konačnici daje izlazni signal željene frekvencije.

Kao što se vidi na slici 8.1, djelitelj frekvencije sastoji se od nekoliko glavnih komponenata: brojilo, komparator, generator konstante za usporedbu i još nekolicina manjih digitalnih sklopova koji nam služe za oblikovanje signala.

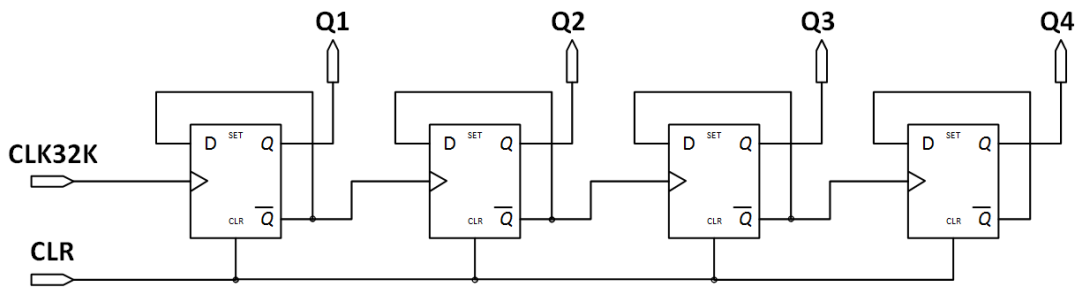
## 8.2. Brojilo

Najjednostavnije i najprimitivnije brojilo je asinkrono brojilo koje je realizirano D bistabilima. Nakon njega po kompleksnosti dolazi sinkrono brojilo, koje može vrlo jednostavno biti realizirano pomoći T bistabila ili JK bistabila. Naravno postoje i kompleksnija brojila, kao što su dekadaska brojila, razna brojila s mogućnošću





Slika 8.2: Rad 4 bitnog brojila.



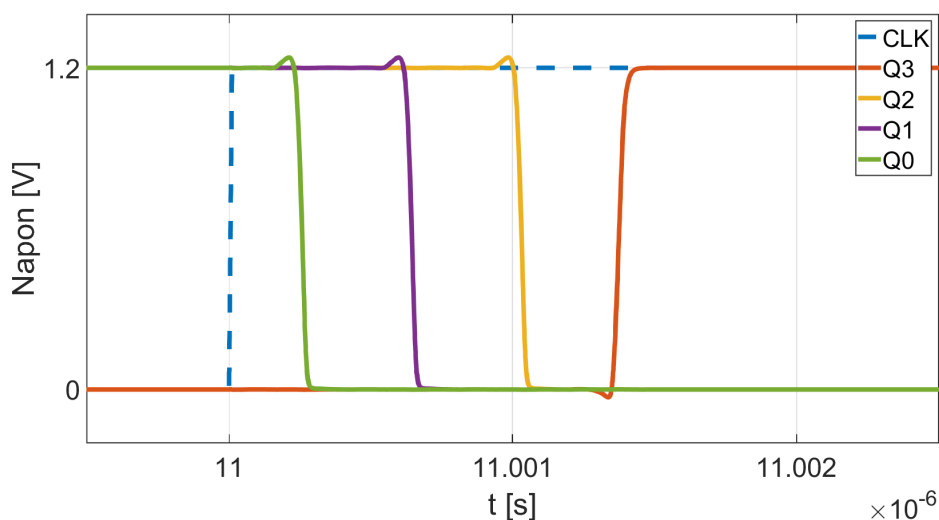
Slika 8.3: Asinkrono brojilo.

Tablica 8.1: Prijelazi D bistabila

$CLK$	$D$	$Q$	$\bar{Q}$
↓	0	$Q$	$Q$
↓	1	$Q$	$Q$
↑	0	0	1
↑	1	1	1

U slučaju kao na slici 8.3 ulazni signal takta je signal  $CLK32K$  koji okida prvi bistabil, na njemu uzrokuje promjenu stanja, ta promjena se ponaša kao novi signal takta za sljedeći bistabil i ona izaziva promjenu na njemu. Signal dalje propagira kroz sklop i na taj se način ponaša kao binarno brojilo. Svaki bistabil ima mogućnost promjene stanja samo na rastući brid takta i zbog toga se ne može dogoditi da se stanja mijenjaju nepravilno, nego je promjena određena ulaznim taktom.

Kod ovog brojila javlja se problem s kašnjenjem. U stvarnosti ni jedna promjena ne može biti momentalna, pa tako nam i ovdje za promjenu stanja iz niske u visoku razinu, i obratno, treba neko određeno vrijeme. Iako je to vrijeme jako malo, ono je ipak konačno. To ne predstavlja naročit problem ako radimo s malim brojem bistabila, ali svaki dodatni bistabil povećava kašnjenje.



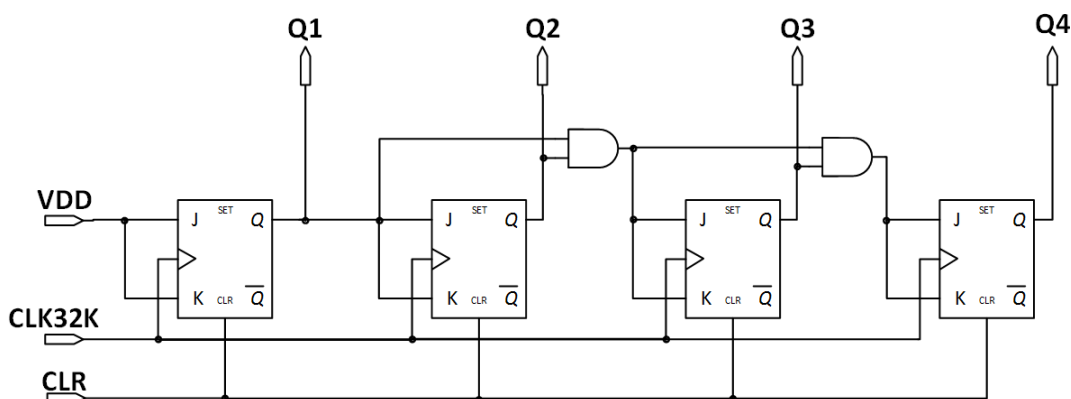
**Slika 8.4:** Kašnjenje signala 4 bitnog asinkronog brojila.

Na slici 8.4 vidimo prikaz propagacije impulsa kroz brojilo. Impuls ulaznog takta *CLK* okida brojilo te se na izlazu pojavi sljedeći binarni broj. Jasno je vidljivo da brojilu treba između jedne do dvije nanosekunde da se izlaz postavi u sljedeću vrijednost.  $Q_0, Q_1, Q_2$  padaju iz 1 u 0, dok  $Q_3$  raste iz 0 u 1 tj. stanje se mijenja iz 0111 u 1000.

Na osnovu ovog grafa zaključujemo da će porastom broja izlaza brojila odnosno porastom broja bistabila ovo kašnjenje biti tim veće. To će produžavati trajanje niske i visoke razine izlaznog pulsa te na taj način dovesti do smanjenja frekvencije.

### 8.2.2. Sinkrono brojilo s asinkronim brisanjem

Sljedeća mogućnost koju imamo je da iskoristimo JK bistabil za izgradnju brojila kao na slici 8.5. Za postavljanje svih izlaza na nisku razinu koristimo signal *CLR* kao i na slici 8.3. Asinkronost brisanja dobijamo zbog uporabe pina *CLR* JK bistabila. Svaki bistabil okida na rastući brid signala takta, ali signali na pinu *CLR* djeluju istog trenutka, tj. oni su neovisni o signalu takta.



Slika 8.5: Sinkrono brojilo s asinkronim brisanjem.

Ovaj način realizacije JK bistabila eliminirao nam je problem sa kašnjenjem signala kroz brojilo. Sada svi bistabili mijenjaju stanje s dolaskom ulaznog takta jer ga dovodimo paralelno na sve bistabile. Izlazi JK bistabila mijenjaju se na ispravan način jer su određeni izlazima svih prethodnih bistabila. Iz tablice 8.2 vidimo da se izlaz bistabila ne mijenja kada su J i K u niskoj razini, a mijenja se kada su J i K u visokoj razini. To svojstvo koristimo da bismo ostvarili da izlaz  $Q_n$  prelazi iz niske u visoku razinu samo kada su svi  $Q_i$ , gdje je  $i = 1, 2, 3, \dots, n-1$ , u visokoj razini. Samo tada će svi prehodni sklopovi I rezultirati u visokoj razini i na taj način postaviti J i K ulaze sljedećeg bistabila u visoku razinu.

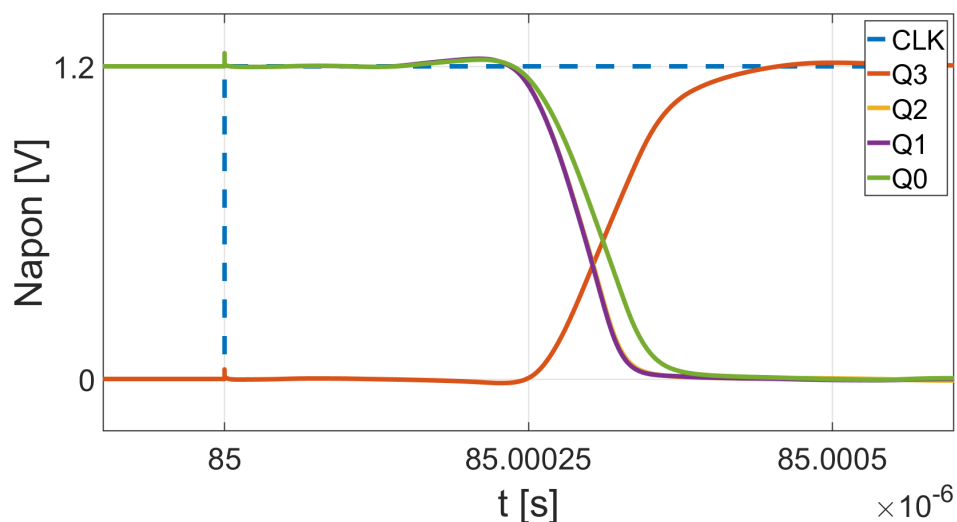
Tablica 8.2: Prijelazi JK bistabila

$CLK$	$J$	$K$	$Q_t$	$Q_{t+\Delta t}$
↑	0	0	$Q$	$Q$
↑	0	1	$Q$	0
↑	1	0	$Q$	1
↑	1	1	$Q$	$\bar{Q}$

Vidimo na slici 8.6 da smo uspješno ostvarili promjenu svih bistabila u istom trenutku. Naravno i dalje postoji neko vrijeme kašnjenja da se izlazi postave u odgovarajuću razinu, ali ovo popravlja svojstva brojila kada imamo veći broj bitova, tj. bistabila. Kod asinkronog brojila greška se akumulira s brojem bistabila, dok se kod ovog brojila promjena odvija istovremeno na svim bistabilima.

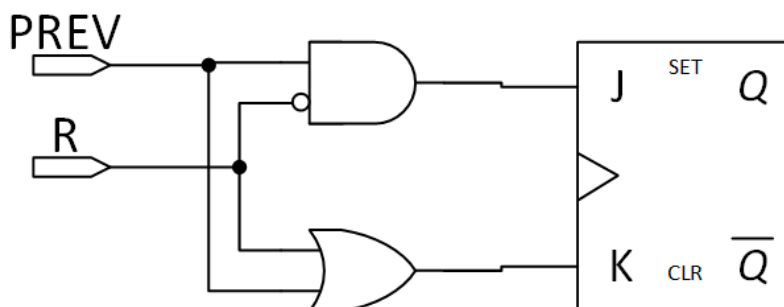
### 8.2.3. Sinkrono brojilo sa sinkronim brisanjem

Još jedno od mogućih rješenja problema asinkronog brojila je implementacija sinkronog brojila sa sinkronim brisanjem. Ono je u svojoj osnovi jako slično



**Slika 8.6:** Istovremeno postavljanje izlaza bistabila.

brojilu iz prethodnog poglavlja, ali je blago prošireno. Sinkrono brisanje znači da je i ono okidano signalom takta, a jedini način da to ostvarimo jeste da nekako kontroliramo što dolazi na ulaze JK bistabila. JK bistabil se briše tj. izlaz  $Q$  mu se postavlja na nisku razinu kada je na ulazu  $J$  niska razina a na ulazu  $K$  visoka razina, što je vidljivo u tablici 8.2. Sinkronog brojila iz prethodne cjeline jednostavno prepravimo da ima navedena svojstva. Na  $J$  ulaz prvog bistabila moramo dovesti invertirani signal brisanja sa komparatora, a ulaz  $K$  je spojen na visoku razinu. A sve ostale bistabile moramo prepraviti na način prikazan slikom 8.7. Na slici ulazni signal PREV predstavlja izlaz signala sa logičko-I sklopa iz prethodne razine.

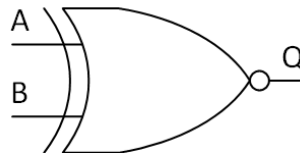


**Slika 8.7:** Prepravka sinkronog brojila s asinkronim brisanjem za ostvarivanje sinkronosti brisanja.



### 8.3. Binarni komparator

Binarni komparator je digitalni sklop, prikazan na slici 8.9, koji uspoređuje dva binarna broja i u slučaju da su oni međusobno jednaki generira na izlazu visoku razinu, a u slučaju nejednakosti na izlazu je niska razina. Postoje i naprednije verzije komparatora koje su u stanju prepoznati koji binarni broj je veći ili manji, ali za potrebe djelatitelja frekvencije potreban nam je sklop koji će samo prepoznati trenutak u kojem su dva broja na ulaznim sabirnicama jednaka. Dva binarna broja su jednaka ako i samo ako su im sve znamenke iste težine jednake. Iz ove rečenice možemo realizirati izgled komparatora, neovisno o broju bitova. Sklop koji koristimo za prepoznavanje jednakosti dva binarnih brojeva je isključivo-NILI, čije promjene stanja imamo prikazane u tablici 8.3.



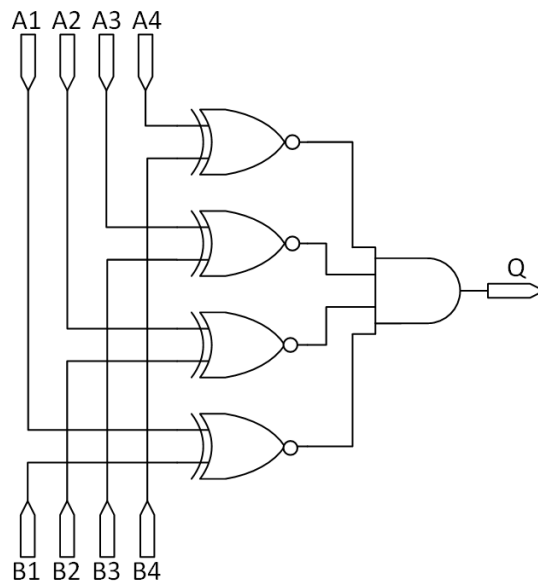
Slika 8.8: Simbol sklopa isključivo-NILI.

Tablica 8.3: Tablica istinitosti sklopa isključivo-NILI.

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	1

Za svaki bit ulaznih sabirnica moramo postaviti jedan sklop isključivo-NILI i na njegove ulaze dovesti bitove iste težine. Da bismo generirali ispravan rezultat na izlazu komparatora moramo moći detektirati jednakost svih bitova, odnosno izlazi svih isključivo-NILI sklopova moraju biti u visokoj razini, i samo tada je izlaz binarnog komparatora u visokoj razini. Ovo znači da nam sada treba sklop koji daje na izlazu visoku razinu onda i samo onda kada su svi ulazi u visokoj razini, a to je logičko I.

Za realiziranje binarnog komparatora koji ima  $n$  ulaza, potrebno nam je  $n$  isključivo-NILI sklopova i jedan sklop logičko I s  $n$  ulaza na koji ćemo dovesti izlaze svih isključivo-NILI sklopova. Moguće je umjesto  $n$  bitnog logičkog I koristiti i više njih s manje bitova, ali onda moramo imati više razina. Svaka sljedeća razina vrši operaciju logičkog I nad izlazima prethodne razine.



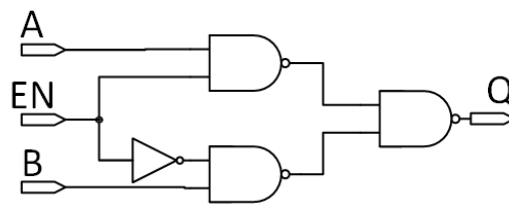
**Slika 8.9:** 4 bitni binarni komparator.

Na ulaze binarnog komparatora dovodimo izlazne sabirnice brojila i generatora poredbene konstante. Do trenutka jednakosti signala na ulaznim sabirnicama binarnog komparatora njegov izlaz je u niskoj razini, a kada su ulazi jednaki izlaz prelazi iz niske u visoku razinu. Na ovaj način generiramo kratke impulse čija je frekvencija jednaka  $f_{ul}/n$ , gdje je  $f_{ul}$  frekvencija ulaznog signala, a  $n$  je poredbena konstanta. Oblik tog signala prikazan je na slici 8.1 gdje je označen s CO. Na slici vidimo da ovaj signal koristimo u dvije svrhe. Prva svrha je postavljanje svih bistabila brojila u nisku razinu, a to radimo dovođenjem ovih impulsa na *CLR* ulaze svih bistabila. Druga svrha ovih kratkih impulsa je da ih iskoristimo za okidanje izlaznog D bistabila koji je spojen na identičan način kao u asinkronom brojilu. Svaki impuls koji dolazi na taj D bistabil mijenja njegov izlaz te na taj način na izlazu dobijamo signal čija je frekvencija  $2n$  puta manja od ulazne frekvencije  $f_{ul}$ .

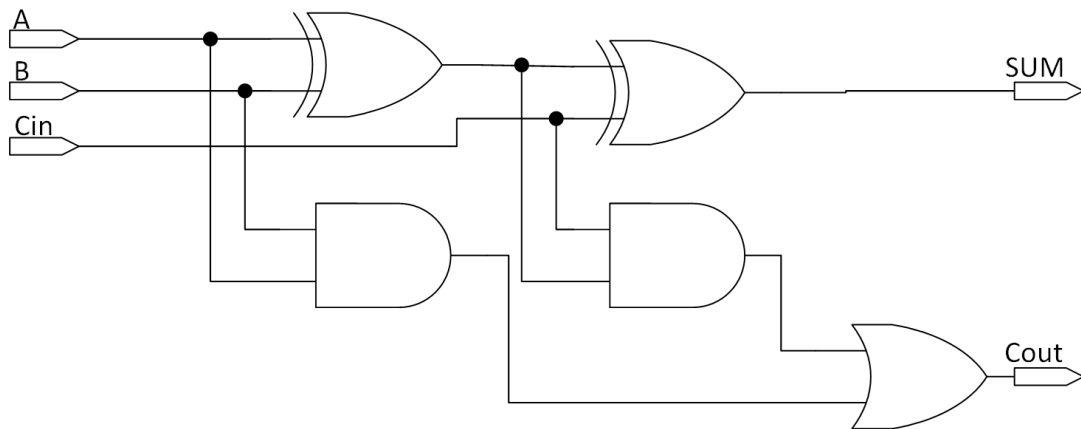
## 8.4. Generator poredbene konstante

Generator poredbene konstante ima dva ulaza, ali jedan ulaz je iskorišten interno unutar sklopa, a na drugi ulaz dovodimo osam bitni binarni vektor koji koristimo za fino ugađanje poredbene konstante, tj. fino ugađanje frekvencije. Osnova ovog digitalnog sklopa je zbrajalo. U digitalnoj logici postoje dvije vrste zbrajala, a to su poluzbrajalo i potpuno zbrajalo. Oni se razlikuju po broju ulaza, poluzbra-

jalo ima dva ulaza i dva izlaza, a potpuno zbrajalo ima 3 ulaza i dva izlaza. U praktičnoj primjeni obično se zbrajaju višebitni brojevi, a to znači da nam treba veći broj zbrajala. Prvo zbrajalo je poluzbrajalo, koje daje na izlazima rezultat zbrajanja dva binarna broja i ostatak zbrajanja, a sva ostala zbrajala su potpuna zbrajala na koja dovodimo osim dva odgovarajuća bita i ostatak iz prethodne razine. Potpuna zbrajala imaju identične izlaze kao i poluzbrajala. Izlaz generatora poredbene konstante spajamo na jedan od ulaza binarnog komparatora i na taj način, promjenom vrijednosti poredbene konstante, utječemo na izlaznu frekvenciju.



Slika 8.10: Poluzbrajalo.

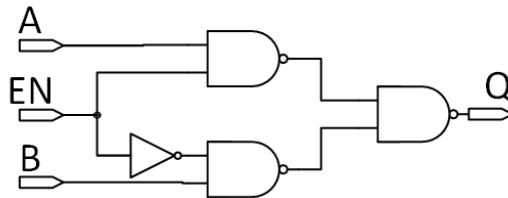


Slika 8.11: Potpuno zbrajalo.

## 8.5. Multipleksor

Zbog postojanja ulaznog signala za omogućavanje rada sklopa frekvencijskog djelitelja potreban nam je i sklop koji će u ovisnosti od razine tog signala na izlaz sklop propustiti odgovarajući signal, tj. kada je signal za omogućavanje u visokoj razini na izlaz trebamo propustiti signal takta od 1 Hz, a u suprotnom na izlaz prosljeđujemo signal takta od 32 kHz. U digitalnoj elektronici selekcija

među višestrukim ulazima može se lako ostvariti kombinacijskom logikom i takav sklop se naziva multipleksor. Na slici 8.1 uspravni trapez predstavlja multipleksor, a na slici 8.12 imamo prikaz izvedbe sklopa pomoću 3 logička NI sklopa i jednim invertorom.



**Slika 8.12:** Izvedba multipleksora.

Multipleksor radi tako da signal EN dovedemo na jedan logički NI sklop, a na drugi NI sklop dovodimo invertirani signal EN, tj.  $\overline{EN}$ . Na taj način ostvarujemo da jedan od ova dva NI sklopa na svom izlazu daje konstantno signal visoke razine dok drugi propušta invertirani signal s njegovog drugog ulaza. Nakon toga u drugom stupnju taj invertirani signal ispravljamo natrag u početni oblik pomoću trećeg NI sklopa. U tablici 8.4 jasno je vidljivo da za slučaj kada je signal EN u niskoj razini na izlazu se pojavljuje identičan signal kao na ulazu  $B$ , a u suprotnom na izlazu je replika signala na ulazu  $A$ . To smo iskoristili tako da na ulaz  $A$  multipleksora spojimo signal koji dobijemo oblikovanjem kratkih impulsa komparatora, a na ulaz  $B$  spajamo ulazni signal. Ti signali označeni su na slici 8.1 kao CLK1, odnosno CLK32K.

Multipleksor se koristi i na samom ulazu sklopa jer kada je signal za omogućavanje rada sklopa u niskoj potrebno je dovesti konstantnu nisku razinu na ulaz brojila. Svi digitalni sklopovi u mirnom stanju troše jako malo struje, ali pri promjeni stanja troše znatno veće struje. Da smanjimo potrošnju dobro je onemogućiti

**Tablica 8.4:** Tablica istinitosti multipleksora

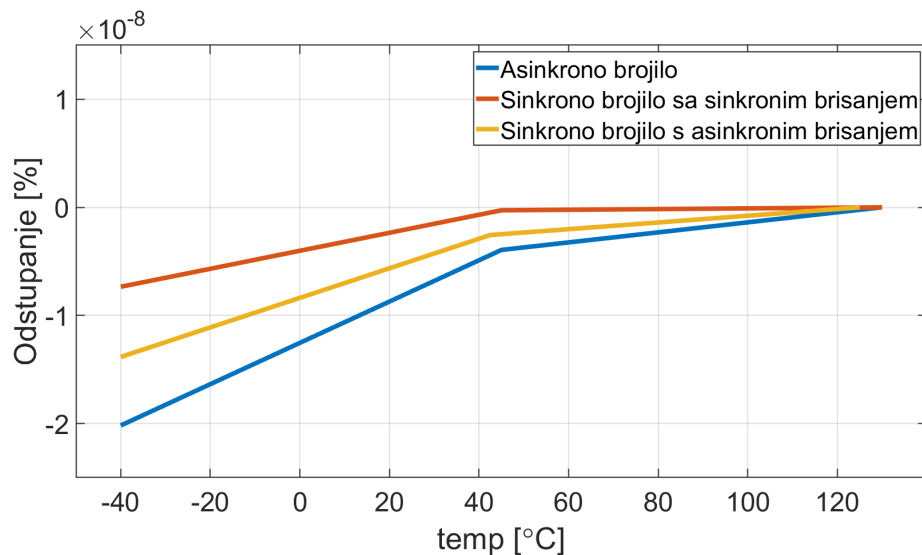
$EN$	$A$	$B$	$Q$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

propagaciju ulaznog takta kroz sam sklop, te stoga na ulaz postavljamo multi-pleksor na čije ulaze dovodimo ulazni signal takta i nisku razinu, a on je upravljan signalom za omogućavanje rada sklopa.

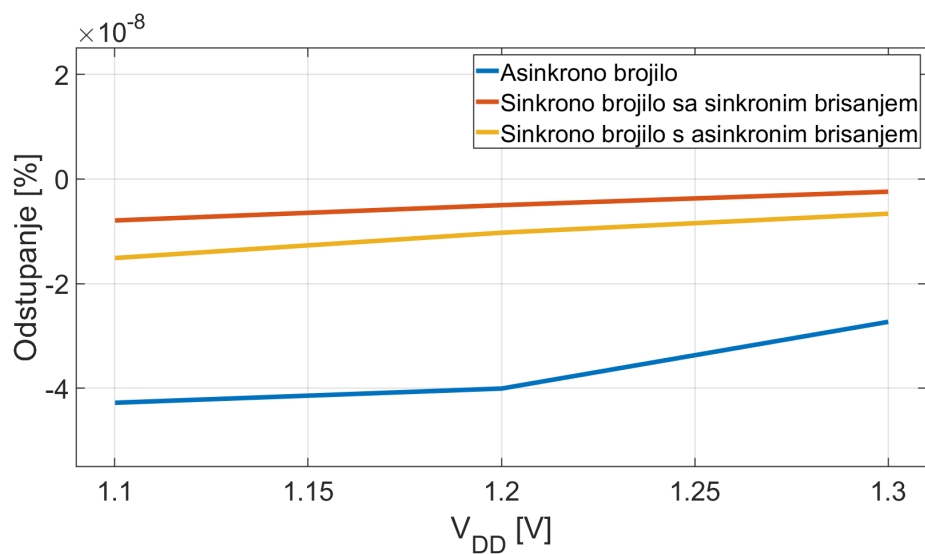
## 8.6. Rezultati simulacija

### 8.6.1. Parametarske analize i izbor brojila

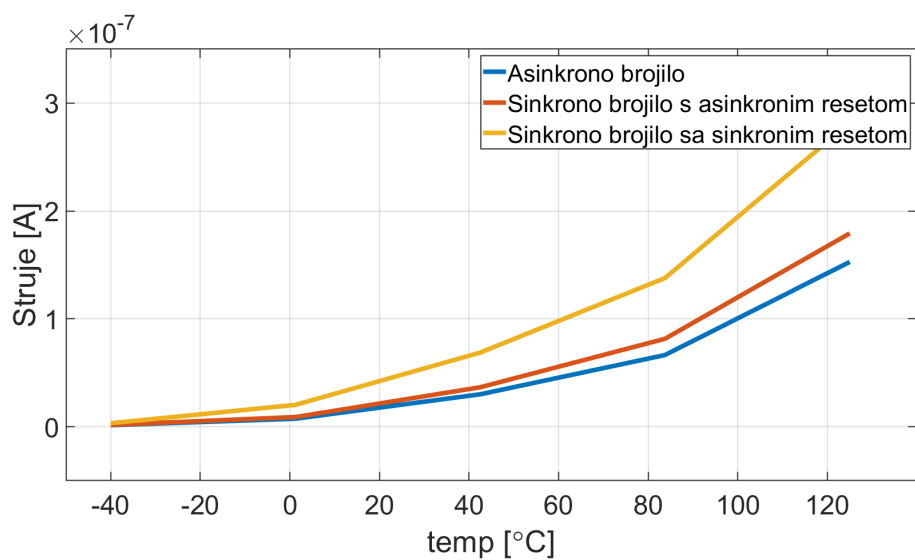
Od svih do sada navedenih sklopova mogućnost izbora postoji samo za način izvedbe brojila, zbog toga su provedene parametarske simulacije za tri inačice sklopa sa tri različita brojila. Nominalni uvjeti za ovaj sklop su napajanje od 1,2 V i temperatura od 27 °C, ali potrebno je provjeriti kako će se sklop ponašati s promjenom nominalnih parametara. Iz tog razloga provedene su dvije parametarske analize u kojima smo računali frekvenciju generiranog takta i prosječnu potrošnju struje svakog od navedenih sklopova. U jednoj analizi smo mijenjali napon napajanja u intervalu od 1,1 V do 1,3 V, a u drugoj analizi smo mijenjali temperaturu u intervalu od -40 °C do 130 °C. Promatrali smo kako će se promijeniti izlazna frekvencija sklopa i prosječna potrošnja struje pri takvim uvjetima. Dobiveni rezultati prikazani su na slikama 8.13, 8.14, 8.15 i 8.16.



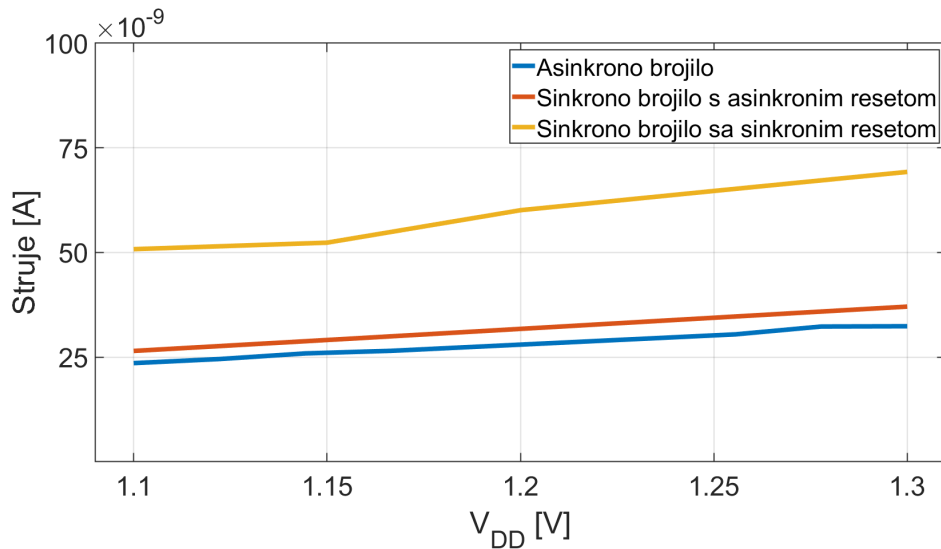
**Slika 8.13:** Ovisnost izlazne frekvencije sklopa o temperaturi, za tri različite izvedbe brojila, u odnosu na frekvenciju od 1 Hz.



**Slika 8.14:** Ovisnost izlazne frekvencije sklopa o naponu napajanja  $V_{DD}$ , za tri različite izvedbe brojila, u odnosu na frekvenciju od 1 Hz.



**Slika 8.15:** Ovisnost prosječne potrošnje struje sklopa o temperaturi, za tri različite izvedbe brojila.



**Slika 8.16:** Ovisnost prosječne potrošnje struje sklopa o naponu napajanja  $V_{DD}$ , za tri različite izvedbe brojila.

Kao što je vidljivo na slikama, odstupanja od nominalne frekvencije su postojana, ali su jako mala, štoviše na ovoj razini odstupanja moguća je i sama greška simulatora. Na slikama 8.13 i 8.14 vidimo da su grafovi sinkronih brojila jako blizu, ali na slici 8.16 vidimo da je potrošnja znatno veća kod sinkronog brojila sa sinkronim resetom, a to je rezultat brojnosti digitalnih sklopova. Iz ovih razloga smo se odlučili za korištenje sinkronog brojila s asinkronim brisanjem.

### 8.6.2. Analiza sklopa za rubne tehnološke parametre

Parametarske simulacije pretpostavljaju sve fiksne parametre i mijenjaju samo jedan parametar koji mi odredimo, ali u stvarnosti tranzistori i ostale komponente nikada nisu idealni. Tranzistore je gotovo nemoguće proizvesti da se ponašaju potpuno identično, čak i kada imaju jednake veličine, i ta različitost može znatno utjecati na ispravan rad sklopa, te zbog toga provodimo analizu sklopa s rubnim tehnološkim parametrima. Digitalni sklopovi se u potpunosti temelje na tranzistorima i zbog toga je najbitnije provesti analizu za rubne tehnološke parametre tranzistora. Rezultati analize prikazani su u tablici 8.6, a željene vrijednosti tih parametara prikazane su u tablici 8.5. Jasno je vidljivo da je odstupanje generirane frekvencije znatno ispod specificiranih zahtjeva.

**Tablica 8.5:** Nominalne vrijednosti definirane na samom početku projekta

Parametar	Raspon	Mjerna jedinica
$f_{out}$	0,995 - 1,005	Hz
$\Delta f_{out}$	0,5	$\pm\%$

**Tablica 8.6:** Rezultati analize sklopa za rubne tehnološke parametre i nominalne vrijednosti

Parametar	Raspon	Mjerna jedinica
$f_{out}$	0,99999272 - 1,00001337	Hz
$\Delta f_{out}$	$1,3368375e - 5$	$\pm\%$

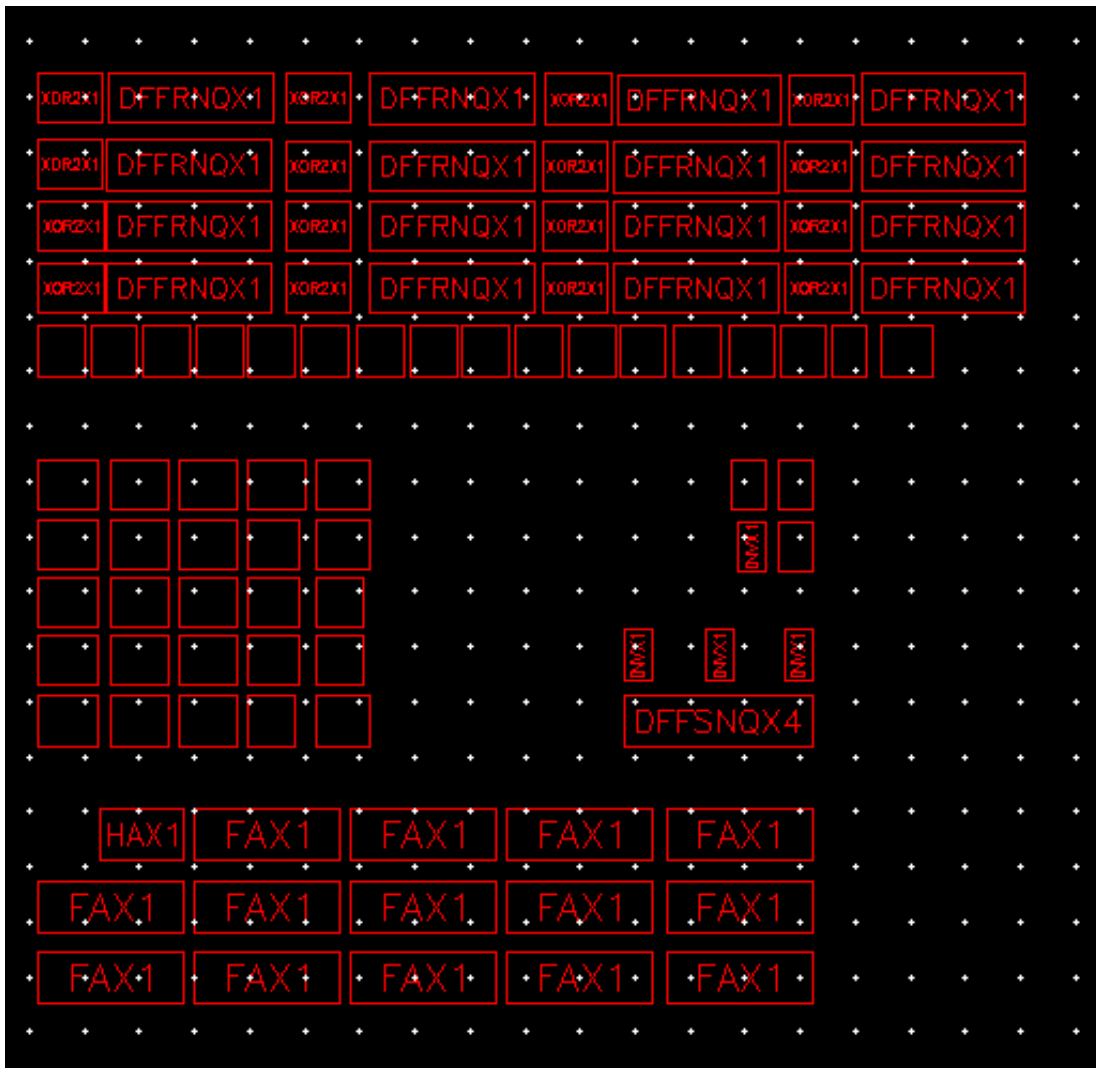
## 8.7. Topološki nacrt

Posljednji korak u projektiranju sklopa, nakon svih provedenih simulacija i testiranja sklopa, je projektiranje topološkog nacrt, tj. stvarnog izgleda sklopa na siliciju. Slika 8.17 prikazuje samo poziciju pojedinih digitalnih blokova koji su korišteni u projektiranju svih dijelova frekvencijskog djelitelja. Svaki digitalni blok se sastoji od tranzistora koji su povezani unutar njega i hijerarhijskim pristupom možemo koristiti blokove umjesto da radimo s pojedinačnim tranzistorima. Unutrašnjost svake digitalne ćelije vidimo na slici 8.18.

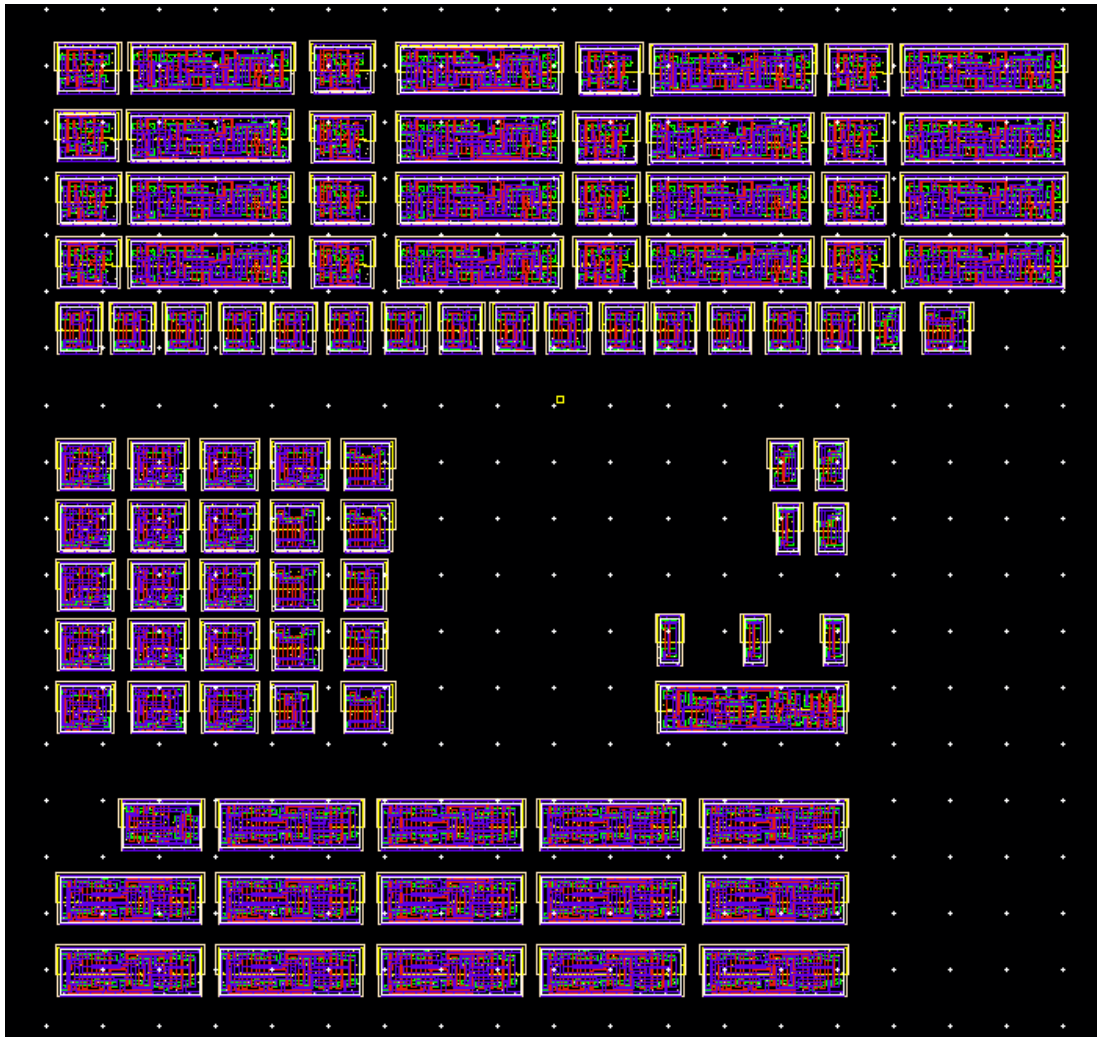
## 8.8. Zaključak

U ovom poglavlju opisan je rad i postupak projektiranja djelitelja frekvencije. Ovaj djelitelj frekvencije je složeni sklop kod kojeg možemo podešavati broj s kojim dijelimo ulaznu frekvenciju. Provedena je analiza potrošnje tri tipa brojlila i na osnovu rezultata simulacije izabrano je sinkrono brojilo s asinkronim brisanjem i to zbog malog odstupanja frekvencije s promjenom temperature i zbog malene potrošnje struje. Dodatno su provedene i simulacije za rubne tehnološke parametre i prikazana je prva verzija topološkog nacrt.





Slika 8.17: Raspored digitalnih sklopova korištenih u projektiranju frekvencijskog djelitelja



Slika 8.18: Stvarni izgled frekvencijskog djelitelja na siliciju.

## 9. Ispitni sklop

### 9.1. Pregled sklopa za testiranje internih modula integriranog sklopa

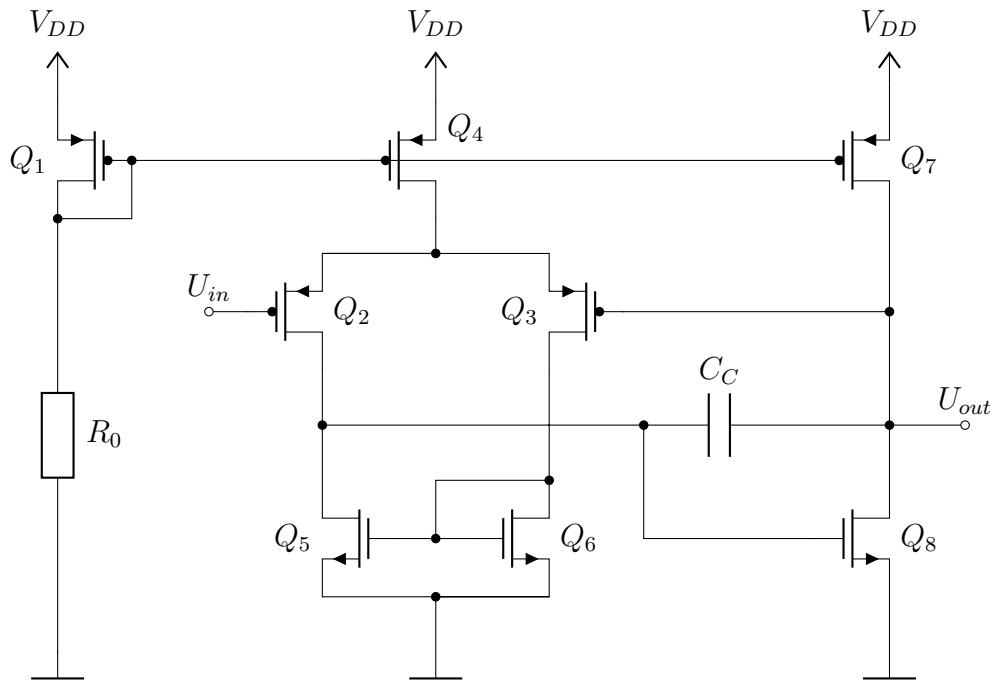
Sklop za testiranje internih modula integriranog sklopa omogućuje testiranje jedinog modula sklopa tako što neke module isključuje, dok druge uključuje [8], [9]. Ovo je ostvareno pomoću dekodera ulazne riječi koja se dovodi na vanjske priključke čipa, niza prekidača kojima upravlja dekodera, te odvojnim pojačalom koje služi za pojačanje izlazne snage internih signala za mjerenja tih signala.

Prekidači (eng. transmission gate) su izvedeni s parom paralelno spojenih pMOS i nMOS tranzistora, koji su upravljani zajedničkim upravljačkim (eng. enable) signalom. U sklopu jednog prekidača se nalazi i zaseban inverter, pošto je potrebno komplementirati upravljački signal za pMOS tranzistor. Ovim prekidačima se onda multipleksiraju interni signali poput referentnog napona, izlaznog napona unutarnjeg regulatora ili neki od izlaznih signala takta na zajedničke izlazne priključnice.

Dekoder testne riječi implementira se pomoću digitalnih logičkih vrata. On služi da se 4 bitna ulazna riječ prevede u 11 bitnu testnu riječ koja onda upravlja nizom prekidača koji prospajaju određene signale na izlaze, definirane pojedinim testnim slučajem.

### 9.2. Odvojno pojačalo

Odvojno pojačalo (prikazano na slici 9.1) je dvostupanjsko, frekvencijski kompenzirano pojačalo s jediničnim pojačanjem. Prva grana pojačala služi za postavljanje statičke radne točke. Ovo je ostvareno diodnim spojem pMOS tranzistora  $Q_1$  i otpornikom  $R_0$  koji postavlja stalnu struju u toj grani. Naravno, ta stalna struja je ovisna o temperaturi (jer su i otpori i tranzistori temperaturno osjetljivi)



**Slika 9.1:** Shema odvojnog pojačala

i o promjeni napona napajanja (jer veći pad napona preko otpora dovodi do veće struje u grani, što u konačnici znači veću potrošnju ukupne struje sklopa).

Ulazni stupanj pojačala sastoji se od diferencijskog pojačala ostvarenog s dva pMOS tranzistora ( $Q_2$ ,  $Q_3$ ) na čiji se uvod spaja izvor stalne struje  $Q_4$ . Na odvodima tranzistora se nalazi strujno zrcalo ( $Q_5$ ,  $Q_6$ ) koje predstavlja aktivno opterećenje za ulazni diferencijalni par. Izlaz ovog stupnja je odvod tranzistora  $Q_5$ . Izlazni stupanj se sastoji od tranzistora  $Q_8$  koji radi u spoju zajedničkog uvoda, aktivnog opterećenja  $Q_7$  i kompenzacijskog kondenzatora  $C_C$  koji postavlja dominantni pol u prijenosnoj karakteristici pojačala bez povratne veze, čime se osigurava stabilnost pojačala. Relativno velik izlazni stupanj ovog pojačala omogućuje postavljanje većeg tereta na izlaz pojačala, a očekivani tereti su mjerne sonde čija impedancija je generalno red veličine  $1\text{M}\Omega \parallel 10\text{pF}$ . Amplitudna i frekvencijska karakteristika pojačala može se vidjeti na slici 9.2.

Tablica 9.1 prikazuje veličine tranzistora, njihove statičke struje i ostale električne parametre. Tablica 9.2 prikazuje dimenzije i vrijednosti pasivnih komponenti sklopa.

**Tablica 9.1:** Parametri tranzistora odvojnog pojačala za  $T = 27^\circ\text{C}$ ,  $V_{in} = 350\text{ mV}$  i  $V_{DD} = 1,8\text{ V}$ .

	$W$ [ $\mu\text{m}$ ]	$L$ [ $\mu\text{m}$ ]	$I_{DS}$ [nA]	$g_m$ [ $\mu\text{S}$ ]	$r_d$ [ $\text{M}\Omega$ ]	$U_{sm}$ [mV]	$U_{gt}$ [mV]
$Q_5$	$4 \times 0,22$	10	271,7	2,838	148,1	269,1	114,2
$Q_6$	$4 \times 0,22$	10	272,4	2,843	168,3	372,9	114,2
$Q_8$	$8 \times 10$	5	4359	88,82	5,12	289,1	-37,22
$Q_1$	$5 \times 2$	10	-541,7	6,433	137,8	423,7	-80,29
$Q_2$	$5 \times 2$	1,5	-271,7	6,263	56,62	423,7	68,48
$Q_3$	$5 \times 2$	1,5	-272,4	6,274	54,43	405	68,01
$Q_4$	$5 \times 2$	10	-544,1	6,458	149,1	701,1	-80,29
$Q_7$	$8 \times 10$	10	-4356	51,55	13,44	1337	-81,72

**Tablica 9.2:** Parametri pasivnih elemenata odvojnog pojačala za  $T = 27^\circ\text{C}$  i  $V_{DD} = 1,8\text{ V}$ .

	$W$ [ $\mu\text{m}$ ]	$L$ [ $\mu\text{m}$ ]	Iznos
$R_0$	0,45	$5 \times 850$	$5 \times 0,652\text{ M}\Omega$
$C_C$	10	10	$14 \times 209,7\text{ fF}$

Jedan od projektnih zadataka je pokazati ovisnost faktora potiskivanja zajedničkog signala (eng. common mode rejection ratio, CMRR) i faktora potiskivanja varijacije napona napajanja (eng. power supply rejection ratio, PSRR) u ovisnosti o frekvenciji tih smetnji. CMRR se definira kao apsolutni omjer diferencijalnog i zajedničkog pojačanja, odnosno:

$$CMRR = \frac{|A_{vd}(j\omega)|}{|A_{vz}(j\omega)|}$$

dok se PSRR definira kao apsolutni omjer izmjenične komponente napona napajanja i izmjenične komponente izlaznog napona, to jest:

$$PSRR = \frac{|u_{DD}(j\omega)|}{|u_{izl}(j\omega)|}$$

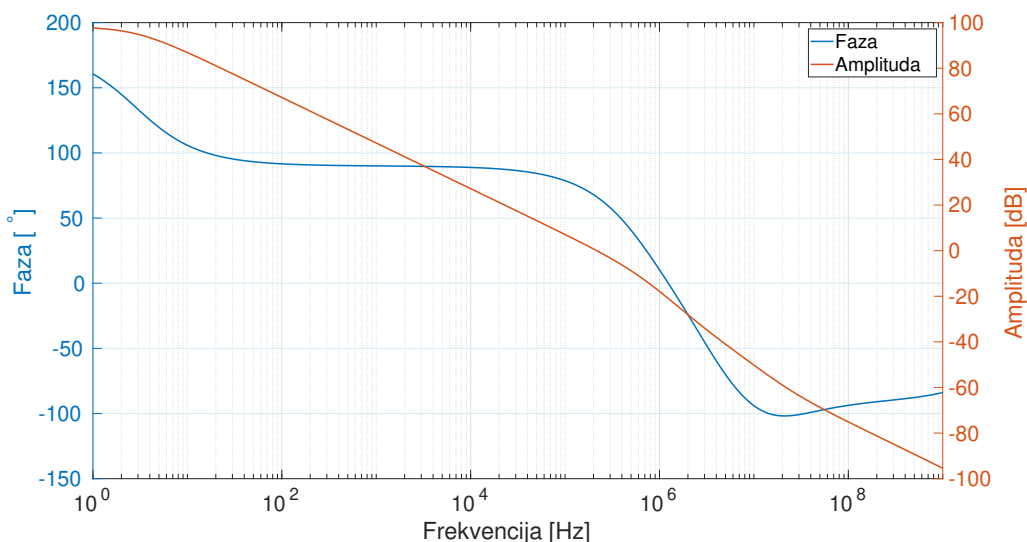
CMRR proizlazi iz asimetrije realnog sklopa, jer čak i da imamo jednako opterećenje na izlazu diferencijalnog stupnja (što ovdje nije slučaj), u postupku procesiranja čipa bi proizašle asimetrije, čisto zbog proizvodnog procesa. PSRR je u ovom slučaju definiran na ovaj način kako bi se olakšao grafički prikaz oba parametra, pošto se često prikazuju u logaritamskoj skali, CMRR je uvijek pozitivan (za niže frekvencije) jer je  $A_{vd} > A_{vz}$ , dok bi PSRR bio negativan u slučaju da su brojnik i nazivnik izraza obratni. Zato se definira tako da je u nazivniku  $u_{izl}(j\omega)$ , pošto je taj član uvijek manji od izmjeničnog člana napona napajanja. Rezultati

simulacija za CMRR i PSRR mogu se vidjeti na slici 9.3.

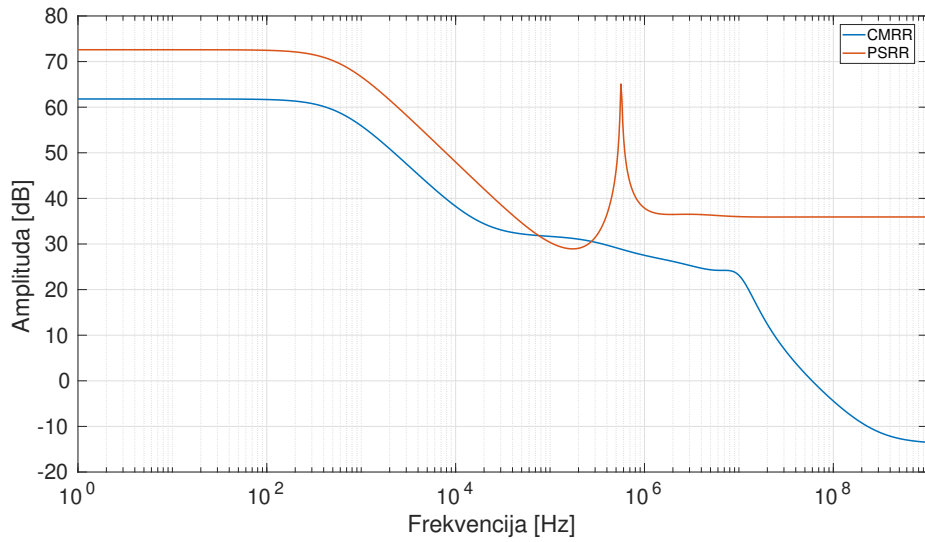
Kvalitativni prikaz tranzijentne analize može se vidjeti na slikama 9.4 i 9.5. Na tim slikama prikazan je odziv na jediničnu pobudu u ovisnosti o rasponu temperatura od  $-40\text{ }^{\circ}\text{C}$  do  $125\text{ }^{\circ}\text{C}$ , te rasponu kapacitivnog opterećenja od  $2\text{ pF}$  do  $10\text{ pF}$ . Na slici 9.4 na ulaz se dovodi jedinična pobuda amplitude  $350\text{ mV}$ , dok je na slici 9.5 konačna amplituda  $650\text{ mV}$ . U oba slučaja su najgora nadvišenja u slučaju najvećeg kapacitivnog opterećenja, što je i za očekivati.

U tablicama 9.3, 9.4 i 9.5 nalaze se rezultati tranzijentne analize za razne amplitude jedinične pobude. Vrijeme  $t_d$  se definira kao vremenska razlika između  $50\%$  vrijednosti amplitude pobude i odziva, a vrijeme  $t_r$  se definira kao vrijeme potrebno odzivu da od  $10\%$  vrijednosti dođe do  $90\%$  vrijednosti amplitude pobude. Vrijeme  $t_{set1\%}$  se odnosi na vrijeme koje je potrebno da se odziv ustali na ispod  $\pm 1\%$  vrijednosti amplitude pobude, gledajući od trenutka kad prvotno dosegne  $90\%$  vrijednosti konačne amplitude pobude. Brzina odziva (eng. slew rate) se definira kao maksimalna brzina promjene odziva, odnosno:

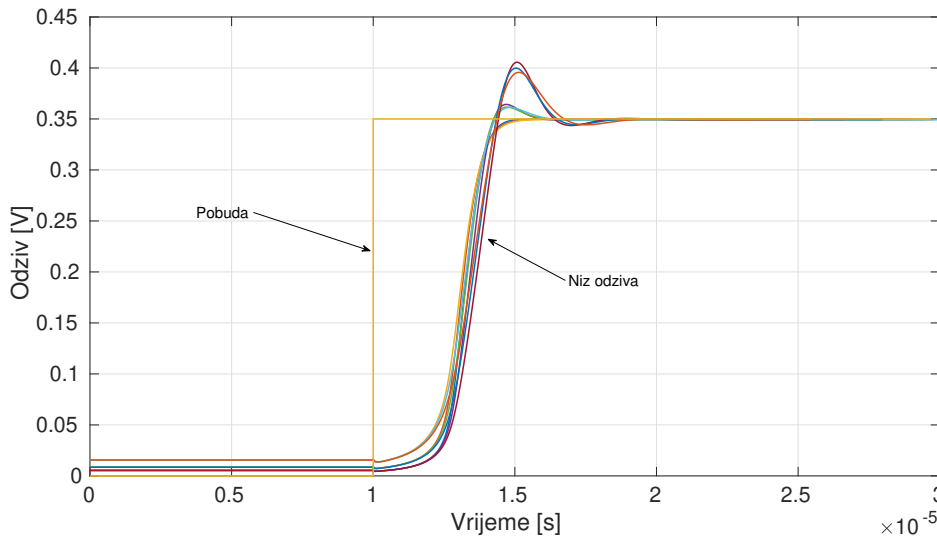
$$SR = \max \left| \frac{du_{izl}}{dt} \right|$$



**Slika 9.2:** Amplitudna i fazna frekvencijska karakteristika za  $V_{DD} = 1,8\text{ V}$ ,  $T = 27\text{ }^{\circ}\text{C}$ ,  $C_L = 5\text{ pF}$ .



**Slika 9.3:** CMRR i PSRR u nominalnim uvjetima:  $V_{DD} = 1,8\text{ V}$ ,  $C_L = 5\text{ pF}$ ,  $T = 27^\circ\text{C}$ .



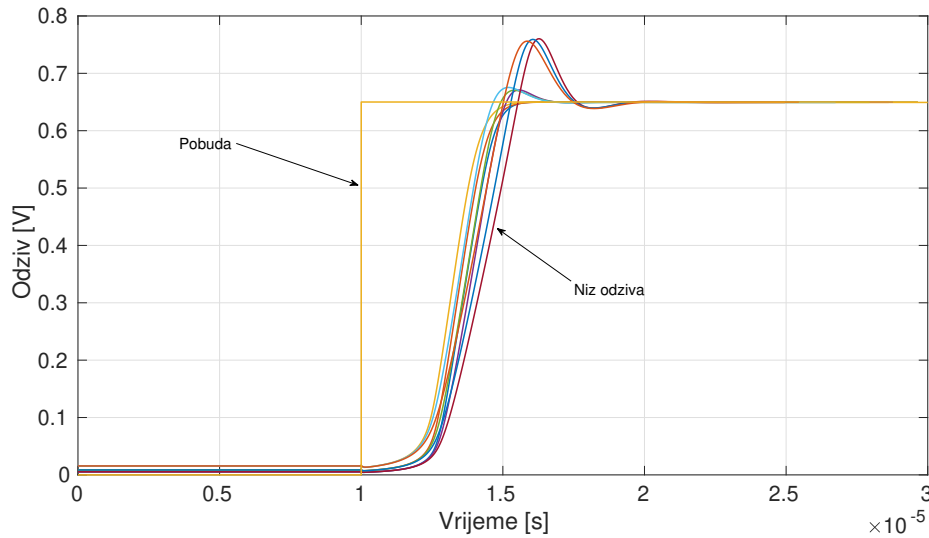
**Slika 9.4:** Tranzijentna analiza za  $V_{CCI} = V_{DD} = 1,8\mu(t)\text{ V}$  i  $V_{in} = 0,35\mu(t - 10\mu)\text{ V}$ , uz  $C_L$  od 2 pF, 5 pF, 10 pF, te pri temperaturama  $T$  od  $-40^\circ\text{C}$ ,  $22^\circ\text{C}$ ,  $125^\circ\text{C}$

**Tablica 9.3:** Rezultati tranzijentne analize za amplitudu pobude 350 mV

	Minimalno	Nominalno	Maksimalno	Jedinice
$t_d$	3,12	3,3	3,63	$\mu\text{s}$
$t_r$	1,45	1,62	2,22	$\mu\text{s}$
$t_{set1\%}$	1,58	2,49	5,38	$\mu\text{s}$
$SR$	126,1	172,6	193,6	V/ms

### 9.3. Sklopka internih signala

Sklopka prikazana na slici 9.6 svodi se na paralelno spojene pMOS i nMOS tranzistore ( $Q_3$  i  $Q_4$ ). Spojeni su paralelno kako bi se osigurao dobar rad sklopke kada



**Slika 9.5:** Tranzijentna analiza za  $V_{CCI} = V_{DD} = 1,8\mu(t) \text{ V}$  i  $V_{in} = 0,65\mu(t - 10\mu\text{s}) \text{ V}$ , uz  $C_L$  od 2 pF, 5 pF, 10 pF, te pri temperaturama  $T$  od  $-40^\circ\text{C}$ ,  $22^\circ\text{C}$ ,  $125^\circ\text{C}$

**Tablica 9.4:** Rezultati tranzijentne analize za amplitudu pobude 650 mV

	Minimalno	Nominalno	Maksimalno	Jedinice
$t_d$	3,31	3,75	4,78	$\mu\text{s}$
$t_r$	1,92	1,96	3,3	$\mu\text{s}$
$t_{set1\%}$	1,82	2,74	5,58	$\mu\text{s}$
$SR$	215,5	266	303	V/ms

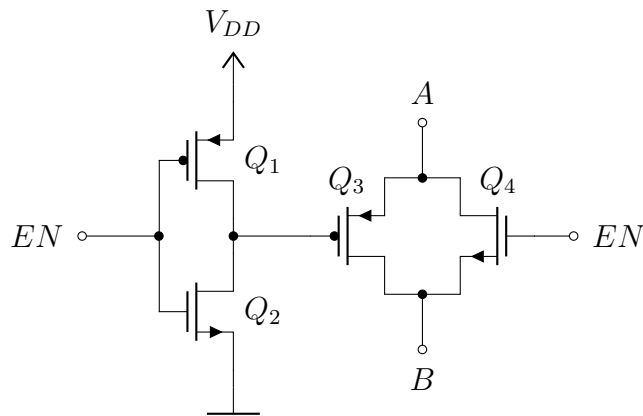
**Tablica 9.5:** Rezultati tranzijentne analize za amplitudu pobude 1,25 V

	Minimalno	Nominalno	Maksimalno	Jedinice
$t_d$	4,26	4,8	5,76	$\mu\text{s}$
$t_r$	3,08	3,31	4,35	$\mu\text{s}$
$t_{set1\%}$	2,52	4,24	11,97	$\mu\text{s}$
$SR$	230,1	302,2	324,7	V/ms

je ulazni napon blizak naponu mase, a isto tako kada je ulazni napon blizak naponu napajanja  $V_{DD}$ . U slučaju da je stezaljka B na masi, signal EN na  $V_{DD}$ , kad je  $U_A$  približno 0 V, ali malen, tada je  $Q_4$  uključen, dok je u suprotnom za razine napona  $U_A$  koje su bliske naponu  $V_{DD}$   $Q_3$  uključen.

Najgori slučaj otpora sklopke dobiva se kada je ulazni napon negdje između napona mase i napona napajanja, gdje ni jedan ni drugi tranzistor nisu u potpunosti uključeni. Unutar modula sklopke nalazi se i inverter kako bi se smanjio broj linija koje je potrebno dovesti pojedinoj sklopki u konačnici. Inverter je izveden tako da je omjer  $W/L$  duplo veći u pMOS tranzistoru nego u nMOS tranzistoru. To je napravljeno tako da bi se okidni napon invertera približio





**Slika 9.6:** Shema sklopke.

polovici napona napajanja. U stvarnosti taj bi  $W/L$  pMOS tranzistora trebao biti oko 4 puta veći, ali kako bi se uštedilo na prostoru i smanjio parazitni kapacitet upravljačke elektrode pMOS tranzistora, stavlja se samo 2 puta veći, što je u većini slučajeva dovoljno.

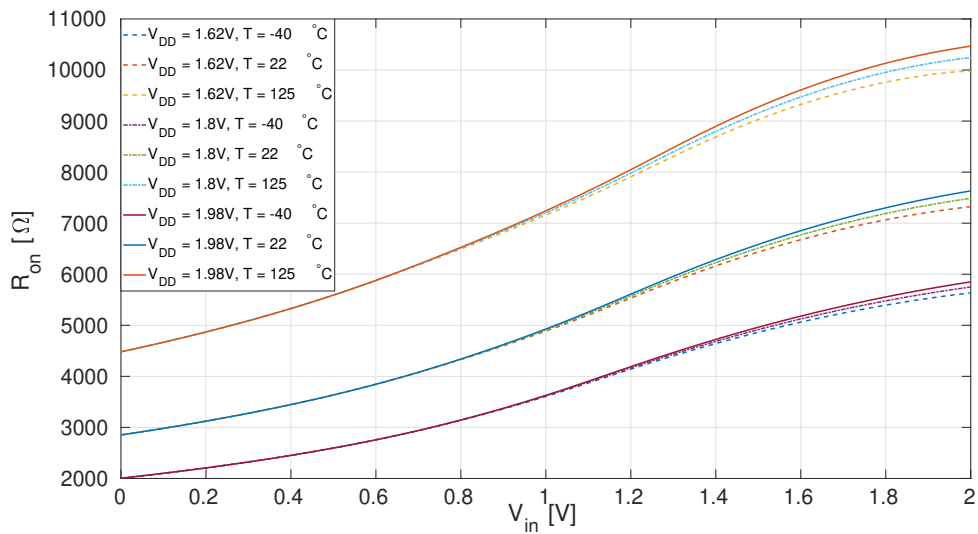
Kod sklopke su bitna dva krajnja slučaja, kad je sklopka upaljena želimo što manji otpor sklopke kako bi smanjili pad napona na njoj te time smanjili grešku u mjerenjima. Drugi ekstrem je u slučaju zatvorene sklopke, gdje je potrebno osigurati dovoljno velik otpor sklopke kako bi što manje struje teklo kroz nju, pošto su neke od sklopki spojene na točke visoke impedancije, sa značajnim kapacitetima, što znači ukoliko previše struje curi kroz sklopku, kondenzator će se nabijati i napon te točke će rasti, što generalno nije poželjno. Graf otpora sklopke dok je uključena nalazi se na slici 9.7, a graf struje curenja nalazi se na slici 9.8.

## 9.4. Dekoder stanja testne riječi

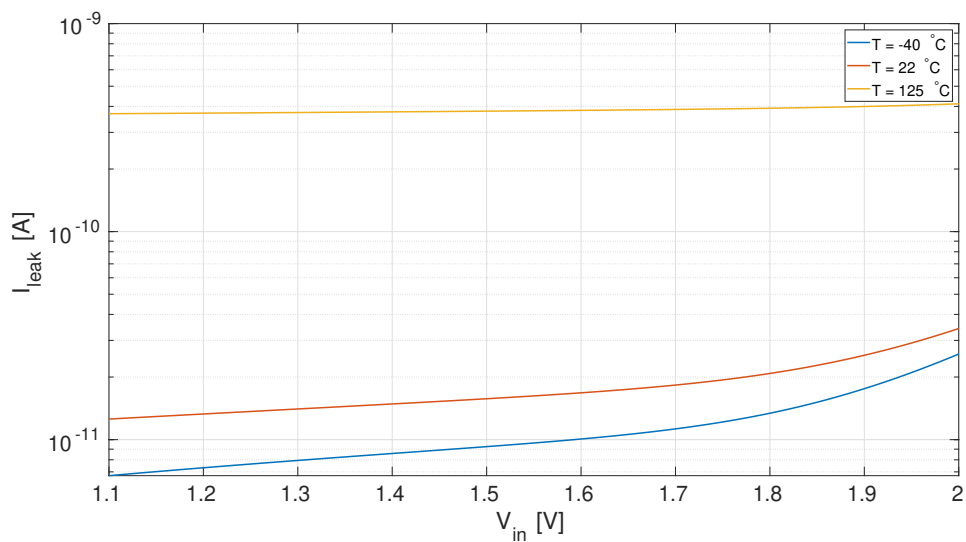
Dekoder stanja testne riječi omogućuje provjeru ispravnog rada pojedinih modula unutar sklopa. Ovo je ostvareno dekodiranjem ulaznog vektora koji je doveden izvan čipa. Ovisno o tom 4 bitnom vektoru se određene sklopke pale, a druge gase, kako bi se spriječio konflikt ulaznih ili izlaznih signala više sklopova. U tablici 9.6 su navedeni implementirani ispitni slučajevi.

## 9.5. Analiza rubnih tehnoloških parametara

Ideja analize rubnih tehnoloških parametara (eng. corner analysis) je razmatranje ponašanja sklopovlja u pojedinim ekstremima. Ekstremi se mogu odnositi na



**Slika 9.7:** Otpor uključene sklopke  $R_{on}$  u ovisnosti o ulaznom naponu  $V_{in}$  s parametrima napona napajanja  $V_{DD}$  i temperature  $T$ .



**Slika 9.8:** Struja kroz ugašenu sklopku u ovisnosti o naponu na stezaljkama sklopke i uz parametar temperature.

ulazni signal, napon napajanja, temperaturu ili varijacije u proizvodnom procesu. Simuliranjem sklopova u tim uvjetima želimo osigurati da je rad sklopa unutar specifikacije za određene pretpostavljene radne uvjete.

Uz to, proizvodni proces poluvodičkih komponenti nije idealan te varijacije debljine oksida na tranzistorima dovode do par rubnih slučajeva, jedan slučaj je najgore snage (eng. absolute worst power) gdje i nMOS i pMOS tranzistori imaju tanji oksid upravljačke elektrode od nominalnog te sklop troši više struje od

**Tablica 9.6:** Prikaz testnih slučajeva i signala dovedenih na vanjske pinove čipa  $A_0$  -  $A_3$ .

Test vektor	Opis	$A_0$	$A_1$	$A_2$	$A_3$
0x0	Normalan način rada	NC	NC	NC	NC
0x1	LDO , OSCC1, 1Hz	NC	NC	NC	NC
0x2	LDO , OSCC2, 1Hz	NC	NC	NC	NC
0x3	LDO , OSCC1, 32kHz	NC	NC	NC	NC
0x4	LDO , OSCC2, 32kHz	NC	NC	NC	NC
0x5	bez LDO , OSCC1, 1Hz	NC	NC	NC	NC
0x6	bez LDO , OSCC2, 1Hz	NC	NC	NC	NC
0x7	bez LDO , OSCC1, 32kHz	NC	NC	NC	NC
0x8	bez LDO , OSCC2, 32kHz	NC	NC	NC	NC
0x9	LDO test	VREFL	NC	VDD	IBL
0xA	REFG test	VREFL	VREFV	IBV	IBL
0xB	V2I test	VREFB	VREFV	IBV	IREF
0xC	OSCC1 test	NC	VREF	IBC	IREF
0xD	OSCC2 test	NC	VREF	IBC	IREF
0xE	FDIV test	CLKI	NC	NC	NC
0xF	VBUF test	VREFB	VREF	NC	NC

nominalne struje, dok je drugi slučaj najgore brzine (eng. absolute worst speed), gdje i nMOS i pMOS tranzistori imaju deblji sloj oksida na upravljačkoj elektrodi, te njima teče manja struja od nominalne, pa sklopovlje ima lošije performanse u smislu brzine.

### 9.5.1. Odvojno pojačalo

Analiza rubnih tehnoloških parametara odvojnog pojačala provodi se za niz napona napajanja ( $1,8 \pm 10\%$  V), niz ambijantnih temperatura ( $-40^\circ\text{C}$ ,  $22^\circ\text{C}$ ,  $125^\circ\text{C}$ ) te za niz kapacitivnih opterećenja  $C_L$  (2, 5, 10 pF) i uz varijaciju procesnih parametara, a rezultati se nalaze u tablici 9.7.

**Tablica 9.7:** Analiza rubnih tehnoloških parametara odvojnog pojačala.

	Minimalno	Nominalno	Maksimalno	Vrijednost
$GBW$	166,6	217,8	286,9	kHz
$PM$	55,28	66,28	73,89	°
$GM$	20,12	20,95	22	dB
$C_{ul}$	55,71	63,74	66,58	fF
$I_{DD}$	5,153	6,59	8,705	$\mu\text{A}$
$CMRR$	67,2	72,6	76	dB
$PSRR$	48,7	61,8	67,9	dB

### 9.5.2. Sklopka internih signala

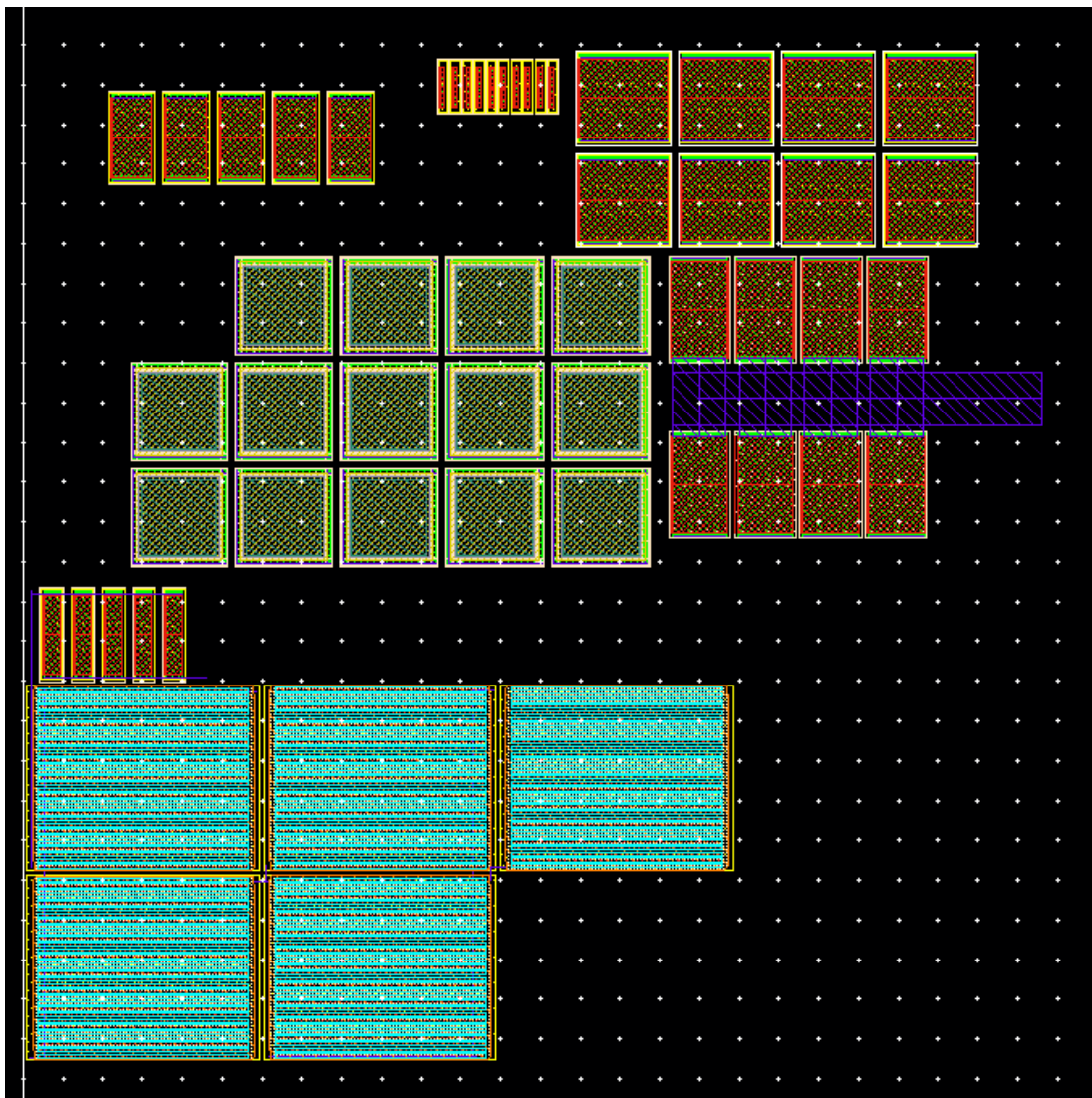
Analiza rubnih tehnoloških parametara sklopke provodi se za raspon napona napajanja (1,1 – 2 V), niz ambijantnih temperatura ( $-40^\circ\text{C}$ ,  $22^\circ\text{C}$ ,  $125^\circ\text{C}$ ) te za raspon ulaznih napona  $V_{in}$  ( $0 - V_{DD}$ ). Rezultati analize nalaze se u tablici 9.8.

**Tablica 9.8:** Analiza rubnih tehnoloških parametara sklopke.

	Minimalno	Nominalno	Maksimalno	Vrijednost
$R_{on}$	5,64	7,49	10,47	k $\Omega$
$I_{leak}$	25,8	34,22	411,6	pA

## 9.6. Topološki nacrti

Topološki nacrti prikazuju način rasporeda tranzistora, kondenzatora i otpornika u siliciju. Zbog velikih razlika u dimenzijama pojedinih komponenti i metalnih vodova, vrlo je teško prikazati detaljno način spajanja komponenti. Na slici 9.9 vidljiv je raspored komponenti u sklopu odvojnog pojačala, dok je na slici 9.10 prikazan raspored komponenti u modulu sklopke.

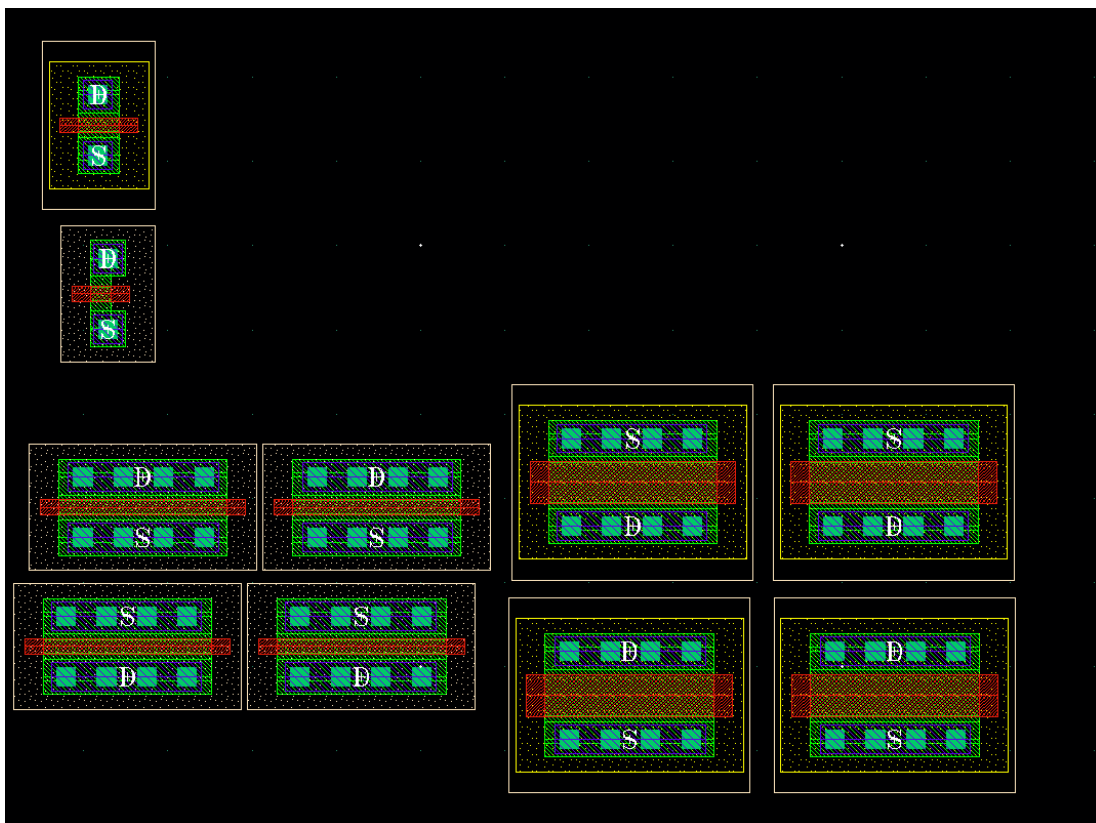


**Slika 9.9:** Topološki nacrt odvojnog pojačala. U donjem dijelu slike su vidljivi otpori koji postavljaju struju u prvoj grani pojačala. Na sredini se vidi niz kondenzatora koji čine kondenzator  $C_C$ . Sa desne strane kondenzatora se nalazi niz paralelno spojenih tranzistora koji čine izlazni tranzistor  $Q_8$ .

## 9.7. Zaključak

Sklop za testiranje internih modula integriranog sklopa izvršava važnu funkciju pri proizvodnji poluvodičkih čipova kako bi lako i brzo odredili stvarne performanse pojedinih modula integriranog sklopa. U ovom slučaju je sama konstrukcija ispitnog sklopovlja relativno jednostavna, no princip je isti i pri projektiranju složenijih sklopova.

Simuliranjem odvojnog pojačala i sklopke za interne signale osiguralo se da ti dijelovi sklopa rade unutar zadanih specifikacija, te svi rezultati zadovoljavaju specifikacije.



**Slika 9.10:** Topološki prikaz sklopke. U donjem dijelu slike vidljivi su pMOS i nMOS tranzistori koji čine aktivan dio sklopke. Iznad njih se nalazi invertor načinjen od pMOS i nMOS tranzistora. Aktivni tranzistori sastoje se od 4 paralelno spojena tranzistora za povećanje efektivne širine tranzistora.

## 10. Zaključak

U ovom radu opisan je postupak projektiranja generatora takta od 1 Hz realiziranog u 180 nanometarskoj CMOS tehnologiji. Rad na ovom projektu pokazuje kompleksnost projektiranja sklopa koji se sastoji od više manjih blokova. Za svaki blok definirane su specifikacije koje blokovi moraju zadovoljiti kako bi cijeli sustav obavljao funkciju generiranja takta od 1 Hz. Nakon što se svaki blok projektira tako da ispunjava željene specifikacije što je moguće bolje, potrebno je izraditi topološke nacрте svih blokova.

Svaki sklop ovisi o karakteristikama sklopova koji su povezani s njim. Jedan dio projekta sastoji se od analize rada sklopova u međusobnoj vezi. Tako je npr. pri spajanju bloka stabilizatora napona LDO i bloka generatora referenci REFG došlo do problema u radu obaju sklopova. Nakon potrebnih promjena u sklopu REFG problem je riješen. Nakon spajanja naponsko-strujnog pretvornika s referentnim otpornikom RREF došlo je do promjena u frekvencijskim karakteristikama naponsko-strujnog pretvornika. U projektiranju sklopova javljaju se problemi koji se najčešće rješavaju izmjenama pojedinih parametara komponenta ili izmjenama arhitekture sklopova.

Vrlo važan aspekt projektiranja svih blokova je analiza rubnih tehnoloških parametara. U toj analizi u obzir se uzimaju realni modeli komponenti te utjecaj temperature na rad sklopova. Provedenom analizom dobivaju se rezultati koji opisuju raspon specifikacija sklopova uz realne parametre i promjene temperature. Analiza rubnih tehnoloških parametara pokazuje dodatno udaljavanje od željenih specifikacija sklopova, ali daje realnije rezultate.

Kako bi se dobili rezultati simulacije što bliži stvarnosti potrebno je prvo provesti analizu rubnih tehnoloških parametara, potom i analizu rada sklopa uz parazitne kapacitete i otpore koji se dobivaju ekstrakcijom iz topoloških nacрте.

U konačnici rad završnog sklopa generatora takta od 1 Hz u potpunosti odgovara željenim specifikacijama pri nominalnim uvjetima rada uz manja odstupanja za rubne tehnološke uvjete. U radu na kompleksnim sklopovima potrebno je uzeti

u obzir mnoštvo faktora: međusobni utjecaj blokova, temperaturu i realne modele komponenata. Glavni zaključak cijelog projekta je da proces projektiranja zahtijeva poznavanje teorije rada sklopova, ali i poznavanje utjecaja napona napajanja i temperature te utjecaja procesa proizvodnje na karakteristike komponenata koje se koriste u čipu.



# SAŽETAK

**Autori:** Roman Bertolan, Ivan Kuljak, David Osmanović, Krešimir Špoljarić, Domagoj Tomić, Dubravko Tomić, Ivan Tomić, Ivan Skeledžija

**Naslov:** Generator takta od 1 Hz realiziran u 180 nanometarskoj CMOS tehnologiji

Mikroelektronika i integrirani sklopovi predstavljaju okosnicu moderne civilizacije. Osnovna komponenta svakog mikroelektroničkog sklopa je tranzistor čije je otkriće dovelo do nevjerojatnog razvoja poluvodičkih tehnologija, od svog otkrića pa sve do danas. Oscilatori koji generiraju signal takta svrstavaju se među najvažnije gradive blokove integriranih sklopova. Zbog male potrošnje uobičajeno se koriste relaksacijski oscilatori kao generatori takta na niskim frekvencijama. Opisani postupak projektiranja zahtijeva duboko poznavanje teorije na razini tranzistora, od osnovnog poznavanja rada pojedinog tranzistora pa sve do toga kako grupe tranzistora zajedno tvore analogne i digitalne sklopove. Kombiniranjem analognih i digitalnih sklopova mogu se postići značajna ostvarenja u mikroelektroničkoj industriji. Kako bi se postigli željeni rezultati i dobio ispravan rad sklopa, bitno je znati da ništa nije idelano te se trebaju ispitati svi mogući realni slučajevi kako bi se na kraju dobio kvalitetan i stabilan proizvod koji će raditi u svim specificiranim uvjetima. U ovom radu opisan je postupak projektiranja generatora takta od 1 Hz u 180 nanometarskoj CMOS tehnologiji. Opisani su podsklopovi koji tvore oscilator. Pomoću sklopovskih simulacija u programskom sustavu Cadence pokazano je kako oscilator ispravno radi u širokom opsegu ulaznih signala te za sve rubne tehnološke parametre.

**Ključne riječi rada:** elektronika, CMOS tehnologija, projektiranje čipova, projektiranje integriranih sklopova, generator takta

# SUMMARY

**Authors:** Roman Bertolan, Ivan Kuljak, David Osmanović, Krešimir Špoljarić, Domagoj Tomić, Dubravko Tomić, Ivan Tomić, Ivan Skeledžija

**Title:** A 1-Hz clock generator in 180-nanometer CMOS technology

Microelectronics and integrated circuits are the backbone of modern civilisation. The fundamental building block of any microelectronic circuit is the transistor, since its discovery to this very day. The oscillator is considered to be one of the most important circuit building blocks, since most modern devices require a clock signal. Because of their low power consumption, relaxation oscillators are widely used for low frequency clock signal generation. The design process of this project requires deep understanding of the transistor theory, as well as understanding how each circuit block interacts to form the whole integrated circuit. Combining analog and digital circuits can yield significant results in the microelectronics industry. To achieve the desired results and produce a functioning chip, it is of utmost importance that we disconnect from the ideal view of the schematic and accept the non-ideal real world model. This in turn will allow us to be sure that our circuit will function for a wide range of operating conditions. In this paper we describe the process of designing and implementing a 1 Hz clock generator in 180 nm CMOS technology. Every module of the chip is described independently. With the aid of the Cadence simulation tools, it is shown that the clock generator functions properly for a wide variety of operating conditions, input parameters and corner technologies.

**Keywords:** electornics, CMOS techology, chip design, integrated circuit design, clock generator

# 11. Literatura

- [1] Y. Tokunaga, S. Sakiyama, A. Matsumoto, and S. Dosho, “An on-chip CMOS relaxation oscillator with voltage averaging feedback,” *IEEE J. Solid-State Circuits*, vol. 45, no. 6, pp. 1150–1158, 2010.
- [2] Y. Cao, P. Leroux, W. D. Cock, and M. Steyaert, “A 63000 Q-factor relaxation oscillator with switched-capacitor integrated error feedback,” *Solid-State Circuits Conference Digest of Technical Papers (ISSCC) IEEE International*, pp. 186–187, 2013.
- [3] Y. Tsai and L. Lu, “A 51.3-MHz 21.8-ppm/°C CMOS relaxation oscillator with temperature compensation,” *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 64, no. 5, pp. 490–494, 2017.
- [4] J. Wang and W. L. Goh, “A 13.5-MHz relaxation oscillator with  $\pm 0.5\%$  temperature stability for RFID Application,” *Circuits and Systems (ISCAS) IEEE International Symposium on*, pp. 2431–2434, 2016.
- [5] F. Sebastiano, L. J. Breems, K. Makinwa, S. Drago, D. Leenaerts, and B. Nauta, “A low-voltage mobility-based frequency reference for crystal-less ULP radios,” *IEEE J. Solid-State Circuits*, vol. 44, no. 7, pp. 2002–2009, 2009.
- [6] K. Choe, O. D. Bernal, D. Nuttman, and M. Je, “A precision relaxation oscillator with a self-clocked offset-cancellation scheme for implantable biomedical SoCs,” *Solid-State Circuits Conference Digest of Technical Papers (ISSCC) IEEE International*, vol. 45, pp. 402–404, 2009.
- [7] K. Tsubaki, T. Hirose, N. Kuroki, and M. Numa, “A 32.55-kHz 472-nW 120ppm/°C fully on-chip variation tolerant CMOS relaxation oscillator for a real-time clock application,” *IEEE European Solid-State Circuits Conference (ESSCIRC)*, pp. 315–318, 2013.

- [8] J. Mikulic, G. Schatzberger, and A. Baric, "A 1-MHz On-Chip Relaxation Oscillator with Comparator Delay Cancellation," *IEEE European Solid-State Circuits Conference (ESSCIRC)*, pp. 95–98, 2017.
- [9] J. Mikulic, G. Schatzberger, and A. Baric, "A 1-MHz Relaxation Oscillator Core Employing a Self-Compensating Chopped Comparator Pair," *Circuits and Systems (ISCAS) IEEE International Symposium on*, pp. 1–4, 2018.
- [10] A. V. Boas and A. Olmos, "A temperature compensated digitally trimmable on-chip IC oscillator with low voltage inhibit capability," *Circuits and Systems (ISCAS) IEEE International Symposium on*, vol. 1, pp. 501–504, 2004.
- [11] Y. H. Chiang and S. I. Liu, "Nanopower CMOS relaxation oscillators with sub-100ppm/°C temperature coefficient," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 61, no. 9, pp. 661–665, 2014.
- [12] S. L. J. Gierkink and A. J. M. V. Tuijl, "A coupled sawtooth oscillator combining low jitter and high control linearity," *IEEE J. Solid-State Circuits*, vol. 37, no. 6, pp. 702–710, 2002.
- [13] C. Yilmaz, L. Heiss, C. Werner, and D. Schmitt-Landsiedel, "Modeling of NBTI-recovery effects in analog CMOS circuits," *Reliability Physics Symposium (IRPS) IEEE International*, pp. 1–4, 2013.
- [14] I. Fakharyan and M. Ehsanian, "A sub-1V nanowatt CMOS bandgap voltage reference with temperature coefficient of 13ppm/°C," *2015 23rd Iranian Conference on Electrical Engineering*, pp. 1129–1132, 2015.
- [15] U. Denier, "Analysis and Design of an Ultralow-Power CMOS Relaxation Oscillator," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 8, pp. 1973–1982, 2010.
- [16] T. Tokairin, K. Nose, K. Takeda, K. Noguchi, T. Maeda, K. Kawai, and M. Mizuno, "A 280nW, 100kHz, 1-cycle start-up time, on-chip CMOS relaxation oscillator employing a feedforward period control scheme," pp. 16–17, 2012.
- [17] A. Paidimarri, D. Griffith, A. Wang, G. Burra, and A. Chandrakasan, "An RC Oscillator With Comparator Offset Cancellation," *IEEE Journal of Solid-State Circuits*, vol. 51, pp. 1866–1877, 2016.