

SVEUČILIŠTE U ZAGREBU
FAKULTET ELEKTROTEHNIKE I RAČUNARSTVA

Klara Miličić

**PROJEKTIRANJE DIFERENCIJSKOG POJAČALA I
UNAKRSNIH INVERTORA U 180 NM CMOS
TEHNOLOGIJI ZA ANALOGNO-DIGITALNE
PRIMJENE**

Zagreb, 2025.

Ovaj rad izrađen je na Zavodu za elektroniku, mikroelektroniku, računalne i inteligentne sustave pod vodstvom doc. dr. sc. Tomislava Markovića i asistenta Ivana Budića te je predan na natječaj za dodjelu Rektorove nagrade u akademskoj godini 2024./2025.

Sadržaj

Popis slika	iv
Popis tablica	vi
1. Uvod	1
2. Opis rada sklopa	2
2.1. Općenit opis	2
2.2. Kapacitivno opterećenje na izlazu komparatora	6
2.3. Vrijeme kašnjenja	7
2.4. Napon pomaka	7
2.5. Termički i $1/f$ šum	8
2.6. Početni zahtjevi za rad komparatora	11
3. Simulacije	12
3.1. Kapacitivno opterećenje sklopa	12
3.2. Napon pomaka uz kapacitivno opterećenje od 250 fF na izlazu komparatora	14
3.3. Napon pomaka uz invertore na izlazu komparatora i kapacitivno optere- ćenje od 250 fF na izlazu invertora	16
3.4. Šum uz kapacitivno opterećenje od 250 fF na izlazu	17
3.5. Šum uz invertore na izlazu i kapacitivno opterećenje od 250 fF	19
3.6. Promjena dimenzija tranzistora	19
3.7. Vrijeme kašnjenja	23

3.8. Konačne vrijednosti	25
3.9. Utjecaj radne temperature i varijacije napona napajanja na karakteristike sklopa	26
3.10. Korner analiza za vrijeme kašnjenja	27
4. Topološki nacrt	30
5. Simulacije s ekstrahiranim parazitima	33
5.1. Vrijeme kašnjenja uz utjecaj parazita	33
5.2. Napon pomaka uz utjecaj parazita	34
5.3. Šum uz utjecaj parazita	35
6. Zaključak	37
Literatura	38
Sažetak	42
Abstract	43

Popis slika

2.1.	Shema sklopa <i>The StrongARM latch</i> u izvedbi s 11 tranzistora.	2
2.2.	Prva faza rada komparatora: faza prednabijanja.	3
2.3.	Druga faza rada komparatora: faza pojačanja.	4
2.4.	Treća faza rada komparatora: faza regeneracije nMOS tranzistora.	5
2.5.	Četvrta faza rada komparatora: faza regeneracije pMOS tranzistora.	6
2.6.	Shema sklopa prilikom analize napona pomaka uz kapacitivno opterećenje na izlazu komparatora.	8
2.7.	Shema sklopa prilikom analize napona pomaka uz invertore na izlazu komparatora i kapacitete na izlazu invertora.	8
2.8.	Shema sklopa pri analizi šuma s kapacitivnim opterećenjem na izlazu komparatora.	10
2.9.	Shema sklopa pri analizi šuma uz invertore na izlazu komparatora i kapacitetima smještenim na izlazu komparatora.	10
3.1.	Naponski valni oblici dobiveni tranzijentnom analizom komparatora s kapacitivnim opterećenjem od 1 pF.	12
3.2.	Naponski valni oblici dobiveni tranzijentnom analizom komparatora s kapacitivnim opterećenjem od 250 fF.	13
3.3.	Distribucija napona praga okidanja prilikom analize komparatora s kapacitetnim opterećenjem od 250 fF.	15
3.4.	Distribucija napona praga okidanja prilikom analize komparatora s invertorima na izlazu komparatora uz kapacitivna opterećenja od 250 fF na izlazu invertora.	16
3.5.	Spektralna gustoća snage šuma na izlazu.	18

3.6.	Distribucija napona praga okidanja prilikom analize komparatora s invertorom na izlazu komparatora, kapacitetima od 250 fF na izlazu invertora te uz promijenjene dimenzije tranzistora.	21
3.7.	Naponski valni oblici dobiveni tranzijentnom analizom komparatora s kapacitivnim opterećenjem od 1 pF uz nove dimenzije tranzistora.	22
3.8.	Naponski valni oblici dobiveni tranzijentnom analizom komparatora s kapacitivnim opterećenjem od 1 pF. Horizontalna linija označava 50 % od konačnih vrijednosti koje u_{OUT1} i u_{CLK} moraju postići. U tim trenucima se očitavaju vremena t_{start} i t_{stop} kako bi se dobilo vrijeme kašnjenja.	23
3.9.	Naponski valni oblici dobiveni tranzijentnom analizom komparatora s kapacitivnim opterećenjem od 1 pF uz povećanu širinu kanala za tranzistorske sklopke.	24
4.1.	Prikaz početnog raspoređivanja tranzistora na topološkom nacrtu.	31
4.2.	Prikaz konačnog topološkog nacrtu <i>StrongARM latch</i> komparatora.	32
5.1.	Naponski valni oblici dobiveni tranzijentnom analizom komparatora uz dodani utjecaj parazita.	34
5.2.	Distribucija napona praga okidanja komparatora uz uvedene RC parazitne utjecaje.	35
5.3.	Spektralna gutoća snage šuma na izlazu komparatora uz utjecaj RC parazita.	36

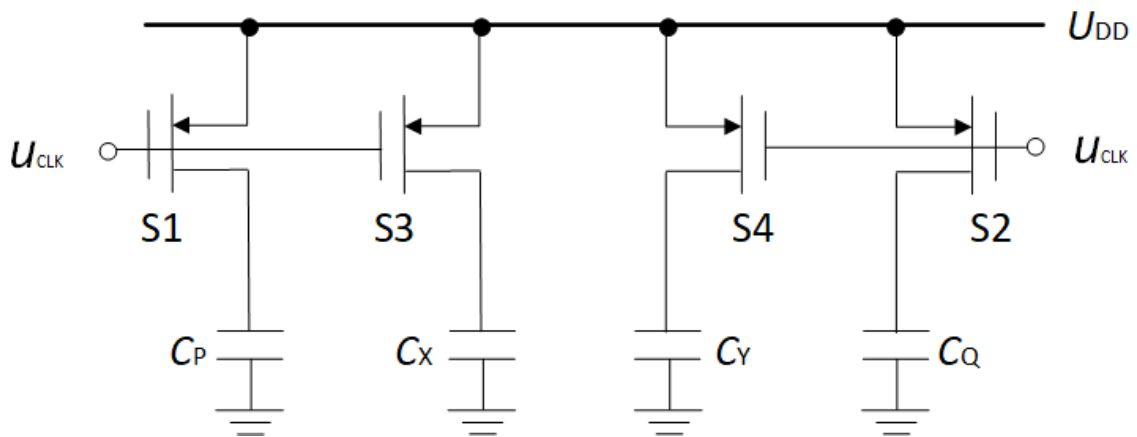
Popis tablica

2.1. Početni zahtjevi za rad komparatora.	11
2.2. Početne dimenzije tranzistora.	11
3.1. Utjecaj pojedinih tranzistora u sklopu na ukupnu vrijednost napona pomaka.	15
3.2. Vrijednosti ulaznog i izlaznog šuma uz kapacitivno opterećenje od 1 pF.	18
3.3. Utjecaj pojedinih tranzistora i tipovi šuma koji najviše utječu na šum sveden na ulaz.	19
3.4. Vrijednosti ulaznog i izlaznog šuma uz kapacitivno opterećenje sklopa.	19
3.5. Utjecaj promjene širine kanala tranzistora M1 i M2 na napon pomaka.	20
3.6. Nove dimenzije tranzistora.	20
3.7. Vrijednosti ulaznog i izlaznog šuma nakon promijenjenih širina tranzistora.	21
3.8. Vrijednosti vremena kašnjenja prije i poslije promijenjene širine kanala tranzistorskih sklopki.	24
3.9. Konačni rezultati svih izmjerenih parametara.	25
3.10. Konačne dimenzije tranzistora.	25
3.11. Konačni rezultati napona pomaka U_{offset} , vremena kašnjenja t_{delay} i šuma $U_{\text{n,eff}}$ pri različitim temperaturama i naponima napajanja U_{DD}	26
3.12. Iznosi vremena kašnjenja t_{delay} pri različitim tehnološkim kornerima, temperaturama i naponima napajanja U_{DD}	28
5.1. Vrijednosti vremena kašnjenja bez i s ekstrahiranim RC parazitima.	33
5.2. Vrijednosti napona pomaka bez i s ekstrahiranim RC parazitima.	34
5.3. Vrijednosti napona šuma bez i s ekstrahiranim parazitima.	36

1. Uvod

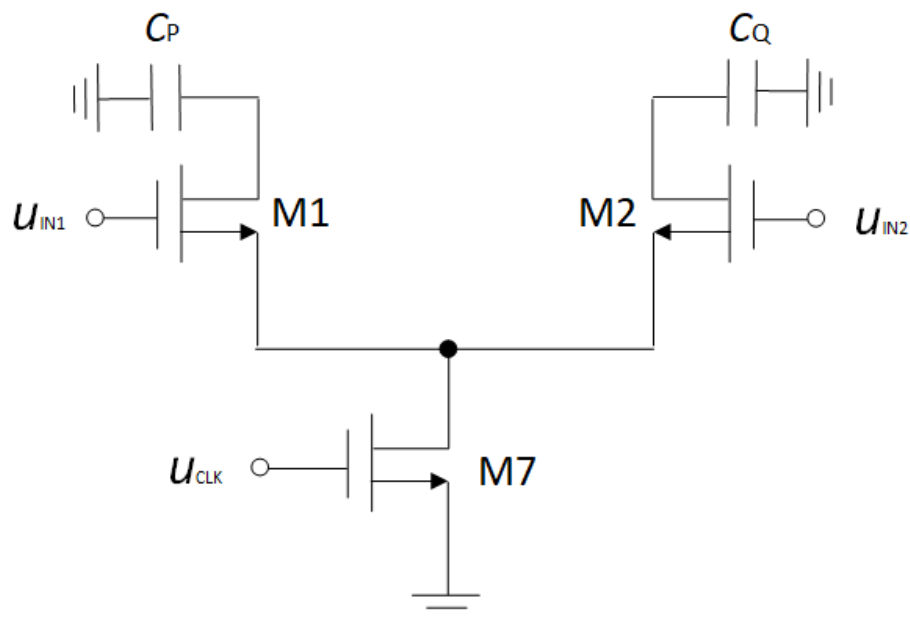
Komparatori su jedni od najkorištenijih integriranih sklopova u današnjici upravo zbog toga što spajaju analogni i digitalni svijet. Analogni signal na ulazu pretvaraju u digitalni signal na izlazu na način da dva ulazna signala uspoređuju i ovisno o tome koji je veći generiraju izlazni signal. Njihova je primjena široka, ali su najbitniji za rad analogno-digitalnih (AD) pretvornika. Dijele se u dvije velike skupine s obzirom na njihov način rada: komparatori s radom u otvorenoj petlji i regenerativni komparatori [1]. Prvo navedene karakterizira mala brzina rada, jednostavna izvedba histereze i jednostavna analiza. Dinamički komparatori ponajviše su korišteni zbog njihove velike brzine rada i male disipacije snage. Ovaj će se rad fokusirati na projektiranje sklopa koji sadrži diferencijsko pojačalo te unakrsne invertore. Način na koji je sklop projektiran sugerira na izvedbu komparatora poznatog i kao *StrongARM* latch. Ovaj regenerativni (dinamički) komparator izveden je u *Complementary Metal-Oxide Semiconductor* (CMOS) 180 nm tehnologiji [2, 3]. Sklop se koristi u razne svrhe, ali neke od najučestalijih su pojačalo, komparator ili bistabil s izrazito velikom osjetljivošću. *The StrongARM latch* bitan je dio većine čipova zbog toga što ga kao što i sam naziv sugerira, karakterizira primjena regenerativnog sklopa koji omogućuje veću brzinu rada.

U prvoj fazi rada sklopa (prednabijanje) signal takta je u niskoj razini i sklopke S1-S4 krenu voditi. Njihova je funkcija dovesti točke P, Q, X i Y na napone napajanja U_{DD} . U tom su trenutku parazitni kapaciteti čvorova C_P , C_Q , C_X i C_Y nabijeni. Za vrijeme trajanje ove faze zbog toga što je razina signala niska, tranzistor M7 ne vodi i ostatak je sklopa odspojen. Prikaz navedenog vidljiv je na slici 2.2.



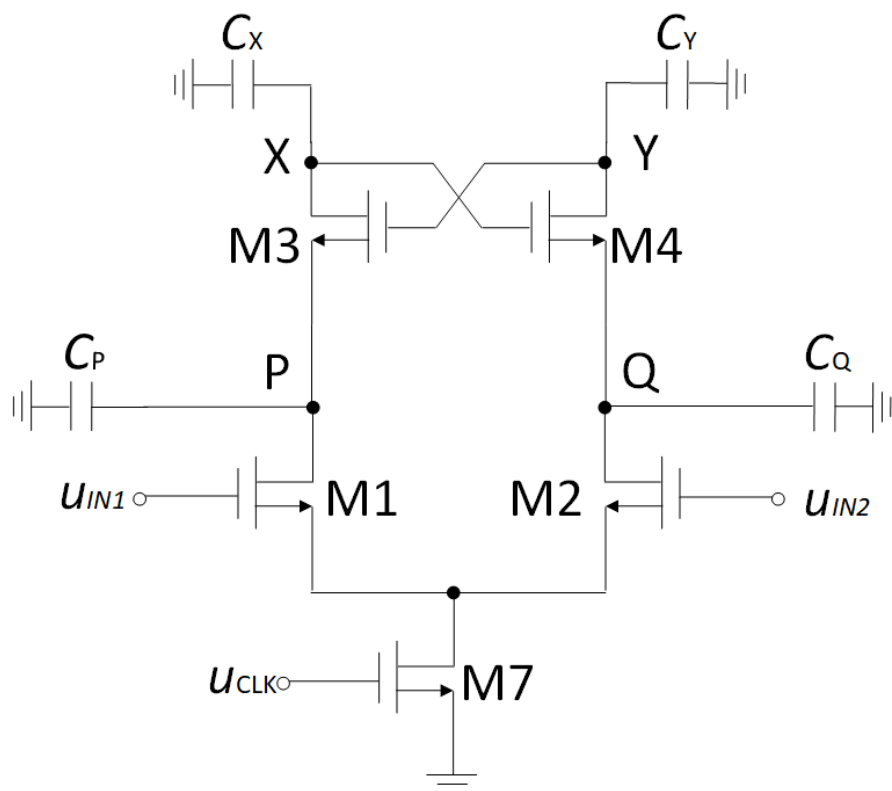
Slika 2.2. Prva faza rada komparatora: faza prednabijanja.

U drugoj se fazi signal takta podiže u visoku razinu, sklopke se isključuju, a tranzistor M7 krene voditi (slika 2.3.). Diferencijski par tranzistora M1 i M2 na upravljačkim elektrodama primaju ulazne signale u_{IN1} i u_{IN2} . Njihova se razlika kreće pojačavati (eng. *voltage gain*) te struje i_{D1} i i_{D2} krenu rasti. Kako struje rastu tako se naponi u točkama P i Q smanjuju. Ako pretpostavimo da je napon u_{IN1} veći od napona na u_{IN2} onda će struja dovoda prvog tranzistora biti veća pa će i napon u točki P brže padati nego napon u točki Q. Odnosno parazitni kapacitet C_P će se brže prazniti nego parazitni kapacitet C_Q . Važno je za napomenuti da u ovoj fazi tranzistori M3-M6 ne vode zbog toga što su im naponi na upravljačkim elektrodama jednaki naponima na uvodima.



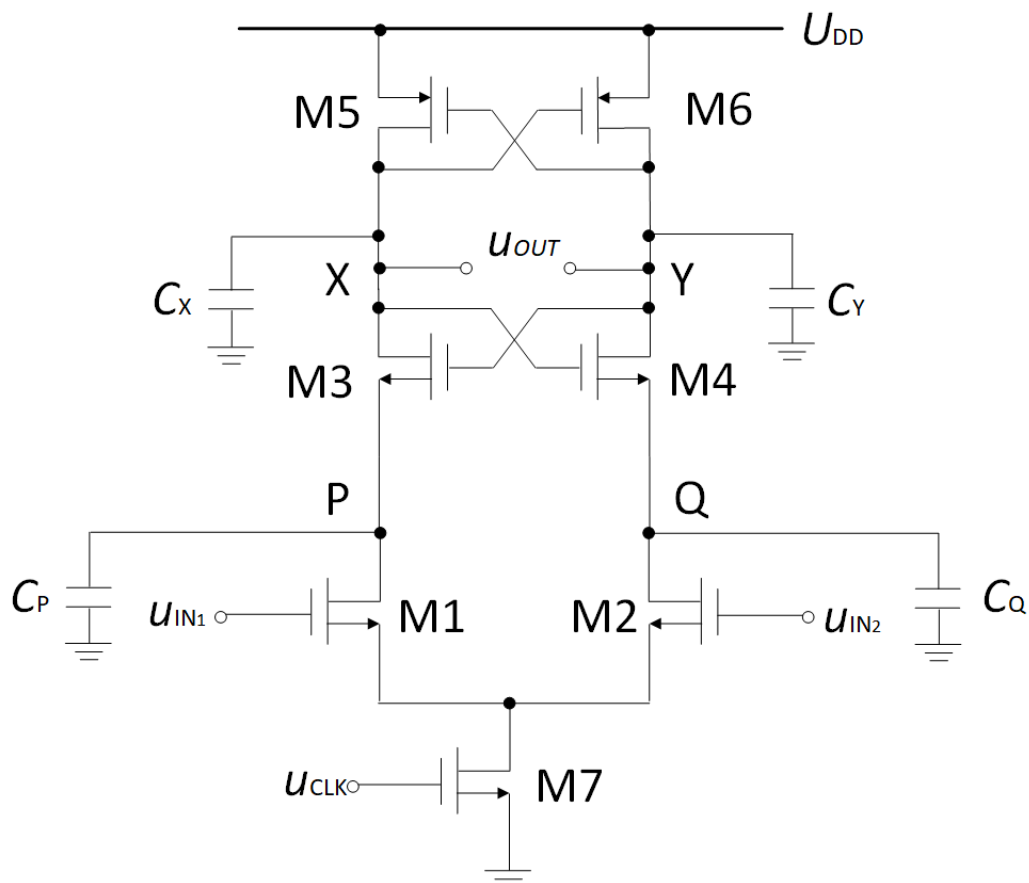
Slika 2.3. Druga faza rada komparatora: faza pojačanja.

U trenutku kada naponi u točkama P i Q padnu na iznos jednak $U_{DD} - U_{GS0n}$ tada se tranzistori M3 i M4 uključuju. U tom trenutku kreće treća faza rada sklopa, faza regeneracije nMOS tranzistora (slika 2.4.). Naponi u točkama X i Y su i dalje na naponu napajanja, ali kako sve veća struja krene teći kroz tranzistore M3 i M4 tako se ti naponi polako počinju smanjivati (u točki X brže nego u točki Y). S vremenom kada ti naponi padnu na $U_{DD} + |U_{GS0p}|$ uključuju se tranzistori M5 i M6.



Slika 2.4. Treća faza rada komparatora: faza regeneracije nMOS tranzistora.

Nakon što se posljednja dva tranzistora uključe, kreće i posljednja faza rada sklopa, a to je faza regeneracije pMOS tranzistora (slika 2.5.). Kako napon u točki X pada većom brzinom nego u točki Y tako $|U_{GS}|$ tranzistora M6 brže raste. Budući da je struja proporcionalna s kvadratom prenapona $(U_{GS} - U_{GS0})^2$, tako struja odvoda tranzistora M6 dodatno raste i dalje povećava napon u parazitnom kapacitetu C_Y . Tako napon točke Y počne ponovno rasti do vrijednosti napona napajanja. Na sličan način napon točke X pada prema uzemljenju. Time je zadnja faza rada sklopa završila i počinje nova perioda signala takta, odnosno naponi parazitnih kapaciteta se ponovno pune na napon napajanja i redosljed faza kreće ispočetka.



Slika 2.5. Četvrta faza rada komparatora: faza regeneracije pMOS tranzistora.

2.2. Kapacitivno opterećenje na izlazu komparatora

Kod projektiranja bitno je znati koje opterećenje sklop može podnijeti, a da bi i dalje radio po zadanim specifikacijama. Zato je za projektiranje ovog komparatora bitno ispitati pri kojim opterećenjima će sklop davati zadovoljavajuće rezultate. Opterećenje se ispitalo dodavanjem kapaciteta na dva izlaza u_{OUT1} i u_{OUT2} .

Ako za analizu rada sklopa pretpostavimo da je $u_{IN1} > u_{IN2}$ onda je za očekivati da će prilikom četvrte faze rada komparatora (faza regeneracije pMOS tranzistora) napon u točki X (u_{OUT1}), u konačnici pasti na vrijednost od 0 V, a napon u točki Y (u_{OUT2}), će porasti na vrijednost napona napajanja. Velik utjecaj na to koliko će brzo naponi poprimiti konačno stanje ima upravo iznos kapacitivnog opterećenja na izlazu komparatora. Ako je vrijednost kapaciteta prevelika, izlaz komparatora u_{OUT1} neće u vremenu trajanja polovice periode signala takta (visoke razine) pasti na vrijednost od 0 V te komparator neće ispravno raditi. Zbog toga je potrebno varirati kapacitete stavljene na izlaz dok iz-

laz u_{OUT1} ne padne na 0 V u zadanom vremenskom intervalu visoke razine signala takta. Također, poželjno je da se izlaz zadrži neko vrijeme u stanju niske razine prije nego što signal takta promijeni svoje stanje kako bi komparator i dalje ispravno radio ako slučajno dođe do pogreške. Pogreška u ovom kontekstu podrazumijeva sporiji pad, odnosno rast odziva izlaznih napona zbog primjerice povećanog kapaciteta u izlaznim čvorovima. U tom slučaju, iako bi vremena postizanja konačnih vrijednosti izlaznih napona bila veća nego u inicijalnom slučaju, kapaciteti u čvorovima bi se i dalje stigli izbiti i poprimile bi se konačne vrijednosti unutar visoke razine signala takta.

2.3. Vrijeme kašnjenja

Vrijeme kašnjenja (eng. *delay time*) govori o tome koliko komparator brzo radi, odnosno koliko izlazima treba da dođu u konačno naponsko stanje. Ono ovisi o dva parametra t_0 (vrijeme potrebno da se opteretni kapacitet isprazni prije nego što se upale pMOS sklope) i t_{latch} (kašnjenje bistabila). Oba ova parametra proporcionalno ovise o C_L , odnosno o iznosu kapaciteta koji se nalazi na izlazu sklopa [4]:

$$t_0 = \frac{C_L U_{thp}}{I_D}. \quad (2.1)$$

Parametar U_{thp} predstavlja napon praga pMOS tranzistora dok I_D predstavlja struju koja prolazi kroz svaku granu komparatora [4].

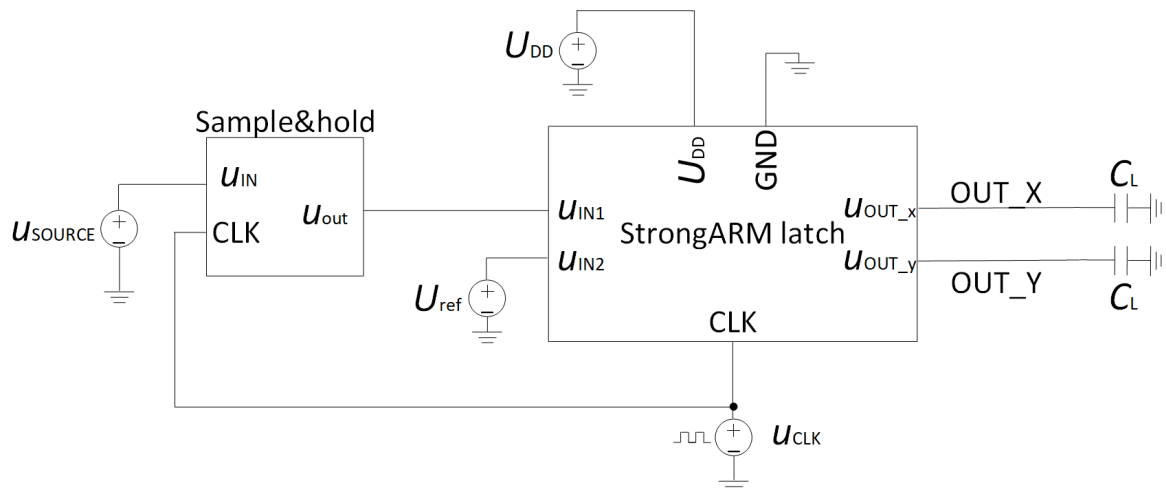
$$t_{latch} = \frac{C_L}{g_{meff}} \ln\left(\frac{U_{DD}/2}{\Delta U_0}\right) \quad (2.2)$$

Parametar g_{meff} označava efektivnu vrijednost strmine.

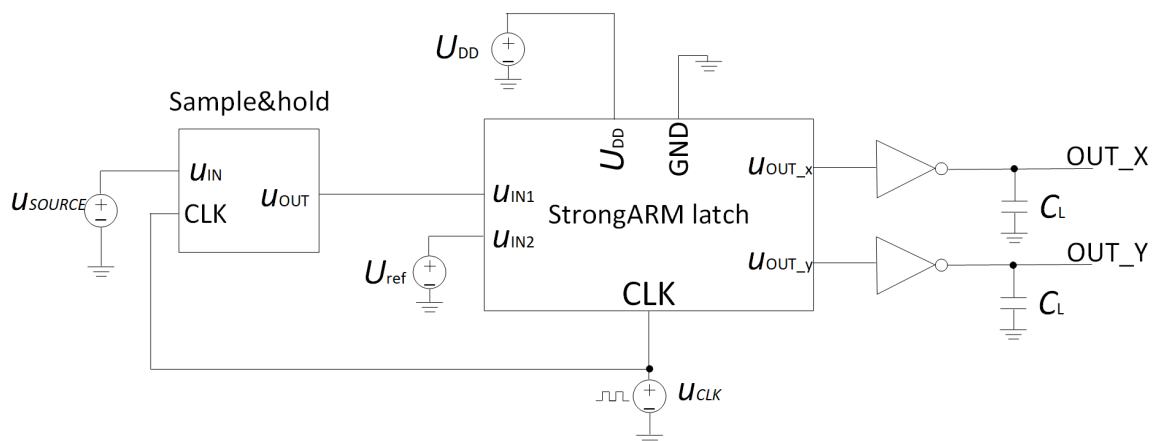
2.4. Napon pomaka

Napon pomaka komparatora (eng. *voltage offset*) jedan je od najčešćih problema kod izrade komparatora. Prilikom ove pojave dolazi do pomaka ishodišta prijenosne karakteristike zbog neusklađenosti karakteristika komponenata, odnosno zbog nesavršenosti proizvodnog procesa. Problem ove veličine je u tome što je ona stohastička te ju je teško predvidjeti i ukloniti u potpunosti. Neki od načina na koje se može smanjiti njezin utjecaj su kalibracija i pravilno projektiranje sklopovlja [5]. Na slikama 2.6. i 2.7. prikazane

su blok sheme koje su korištene pri analizi napona pomaka. Napon pomaka analizira se u slučaju kapacitivnog opterećenja na izlazu komparatora i u slučaju invertora na izlazu komparatora uz kapacitivno opterećenje na izlazu invertora. Analiza s invertorima provedena je zbog toga što se pri projektiranju *StrongARM latch* komparatora najčešće na izlaz stavlja *Set-Reset* (SR) bistabil. Kako bi bistabil ispravno radio, izlazi komparatora moraju doći na ulaz bistabila invertirani.



Slika 2.6. Shema sklopa prilikom analize napona pomaka uz kapacitivno opterećenje na izlazu komparatora.



Slika 2.7. Shema sklopa prilikom analize napona pomaka uz invertore na izlazu komparatora i kapacitete na izlazu invertora.

2.5. Termički i 1/f šum

Još jedan parametar kojeg treba uzeti u obzir kod projektiranja komparatora je šum. On nastaje kao posljedica fluktuacija struja i napona u sklopu. Također je kao i napon po-

maka stohastička veličina te je zahtijevna za analizu. Najveći utjecaj u projektiranom dinamičkom komparatoru imaju $1/f$ šum i termički šum [6, 7, 8].

Termički šum nastaje kod komponenata koje disipiraju snagu. To su u ovome slučaju nMOS i pMOS tranzistori. Njihov kanal predstavlja naponski upravljan otpornik te on najviše utječe na pojavu termičkog šuma. Uz kanal, na njegovu pojavu može imati i utjecaj serijski otpor upravljačke elektrode, ali u znatno manjoj mjeri [8]. Termički je šum opisan sljedećom relacijom [8]:

$$\frac{\overline{i_{dn}^2}}{\Delta f} = 4kT\gamma g_{d0} = 4kT\gamma g_m. \quad (2.3)$$

Druga jednakost isključivo vrijedi ako nema zasićenja brzine nosilaca. Budući da se ovaj efekt javlja kod kratkih kanala tranzistora, a u slučaju ovog tranzistora sve su duljine 180 nm, do ovog efekta neće doći te jednakost vrijedi uz visoku točnost. Termički šum ne ovisi o frekvenciji što znači da bi on trebao imati konstantan utjecaj tijekom analize.

Drugi je tip šuma $1/f$ šum koji nastaje kao posljedica neidealnosti proizvodnog procesa. On je kod MOSFET tranzistora iznimno izražen zbog toga što struja teče na površini ispod oksida gdje postoje površinska stanja [9]. Modelira se naponskim izvorom šuma na upravljačkoj elektrodi [10]:

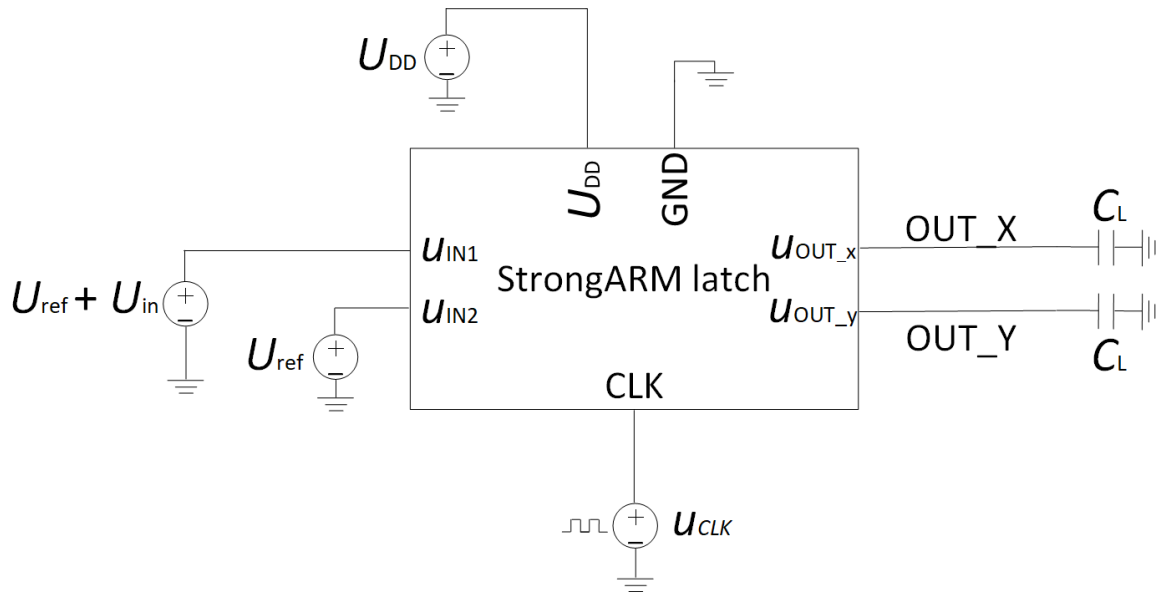
$$\frac{\overline{u_{fn}^2}}{\Delta f} = \frac{K}{C_{ox}WL} \frac{1}{f} \quad (2.4)$$

te strujnim izvorom šuma na odvodu tranzistora [10]:

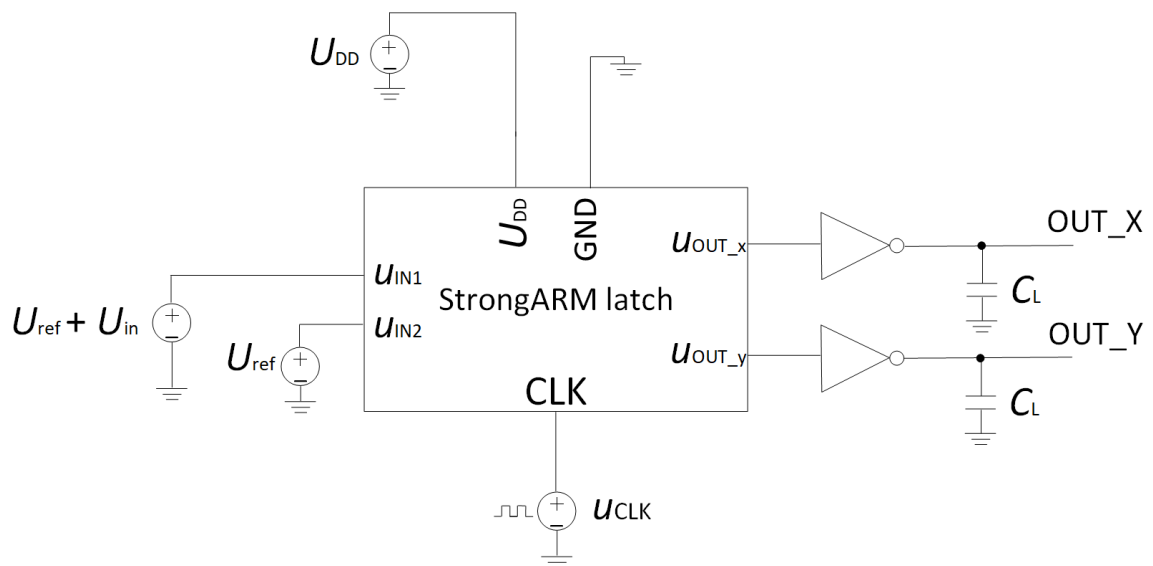
$$\frac{\overline{i_{fn,iz}^2}}{\Delta f} = \frac{K}{C_{ox}WL} \frac{1}{f} g_m^2. \quad (2.5)$$

$1/f$ šum ovisi o frekvenciji. Njegov je utjecaj najveći pri nižim frekvencijama, a granicu do koje je on značajan određuje *corner* frekvencija f_c .

Kao i kod analize napona pomaka, provode se analize šuma uz kapacitivno opterećenje i uz invertore na izlazu komparatora s kapacitivnim opterećenjem na izlazu invertora. Shema sklopa pri analizi s kapacitivnim opterećenjem na izlazu prikazana je na slici 2.8., a shema sklopa pri analizi s invertorima na izlazu komparatora uz kapacitivno opterećenje prikazana je na slici 2.9.



Slika 2.8. Shema sklopa pri analizi šuma s kapacitivnim opterećenjem na izlazu komparatora.



Slika 2.9. Shema sklopa pri analizi šuma uz invertore na izlazu komparatora i kapacitetima smještenim na izlazu komparatora.

2.6. Početni zahtjevi za rad komparatora

Parametri koji bi se trebali ostvariti projektiranjem ovog tranzistora u CMOS 180 nm tehnologiji prikazani su u tablici 2.1. Razlučivost je bitan parametar zato što postavlja granicu na vrijednosti koje napon pomaka i šum mogu poprimiti kako bi komparator ispravno radio. Ova definicija razlučivosti se može u ovome sklopu poistovijetiti s *least significant bitom* (LSB) zato što se radi o komparatoru koji bi se koristio kao dio analogno-digitalnog pretvornika. Navedena je vrijednost dobivena za slučaj kada se komparator koristi u 10-bitnom AD pretvorniku.

Tablica 2.1. Početni zahtjevi za rad komparatora.

Parametar	Vrijednost
LSB	1,75781 mV
C_L	1 pF
f_{clk}	25 MHz

Za početak analize rada dinamičkog komparatora postavljene su dimenzije tranzistora vidljive u tablici 2.2.

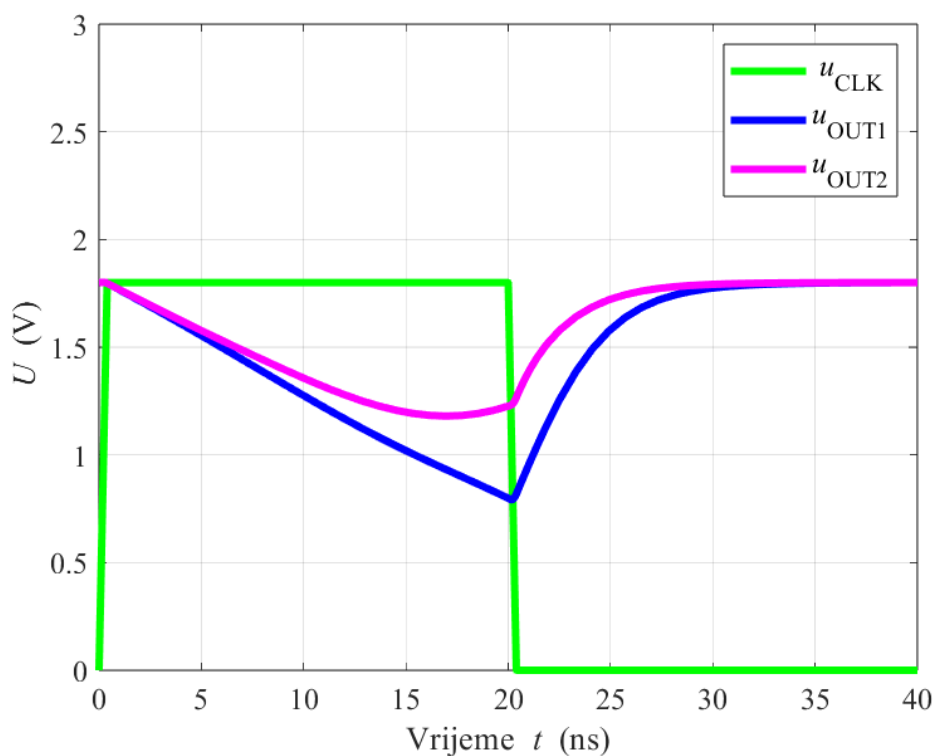
Tablica 2.2. Početne dimenzije tranzistora.

Tranzistor	W	L
M1-M4	720 nm	180 nm
S1-S4, M5-M7	1 μm	180 nm

3. Simulacije

3.1. Kapacitivno opterećenje sklopa

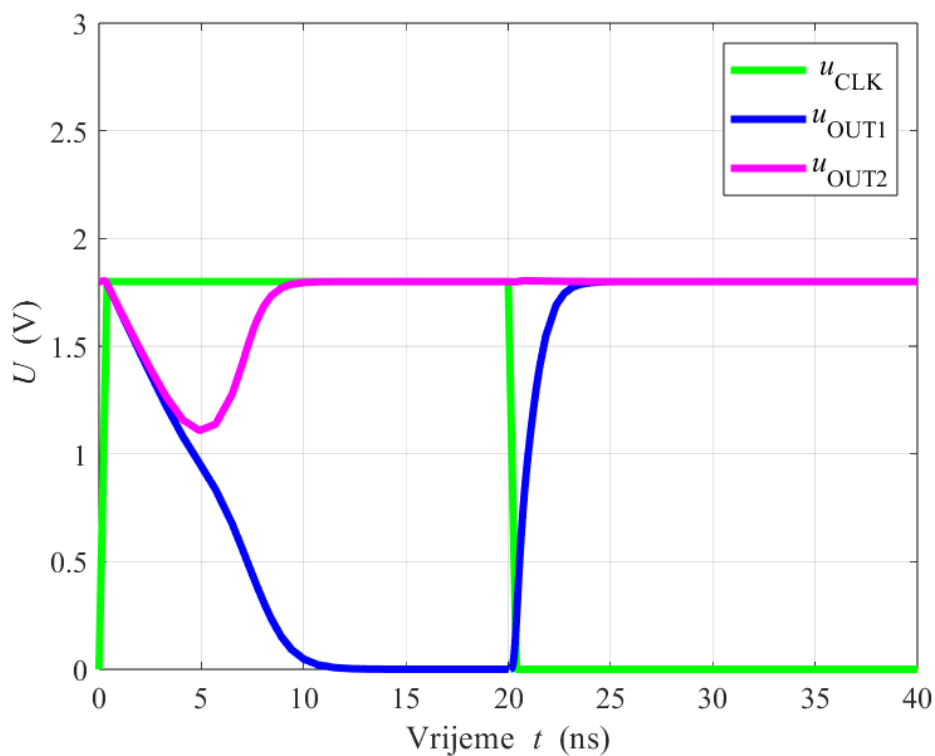
Za početne simulacije na svaki od dva izlaza, u_{OUT1} i u_{OUT2} , stavljen je po jedan kondenzator iznosa 1 pF. Na u_{IN1} stavljen je izvor izmjeničnog napona čija je DC vrijednost referentni napon od 900 mV, a na njega je superponiran sinusni napon amplitude 0,1 mV. Na u_{IN2} je stavljen izvor istosmjernog napona vrijednosti 900 mV. Na taj je način osigurano da oba ulaza imaju jednake istosmjerne vrijednosti te da je razlika među njima samo u malom izmjeničnom signalu čija se vrijednost onda pojačava. Konačno, provedena je tranzijentna analiza u trajanju jedne periode signala takta od 40 ns (slika 3.1.).



Slika 3.1. Naponski valni oblici dobiveni tranzijentnom analizom komparatora s kapacitivnim opterećenjem od 1 pF.

Na grafu je vidljivo kako se u_{OUT1} nije stigao spustiti na vrijednost od 0 V. To ukazuje da je kapacitet stavljen na izlaz prevelike vrijednosti te se ne stigne izbiti u vremenskom trajanju visoke razine signala takta. Budući da je period signala takta zadan pomoću frekvencije na kojoj bi komparator trebao raditi, mijenjanje tog parametra nije dopušteno. Ono što se treba napraviti je smanjiti iznos kapaciteta kako bi se on stigao izbiti i kako bi se u_{OUT1} stigao spustiti na 0 V. Kroz nekoliko iteracija mijenjanja iznosa izlaznog kapaciteta u koraku od 250 fF, zaključeno je da je na izlaz najbolje staviti iznos od 250 fF.

Na slici 3.2. vidljivo je kako se napon u_{OUT1} u vremenskom intervalu od 10 ns stigne spustiti na napon od 0 V te poprimiti to stanje do dolaska nove faze prednabijanja. Iduće simulacije koriste kapacitet iznosa od 250 fF na izlazima komparatora.

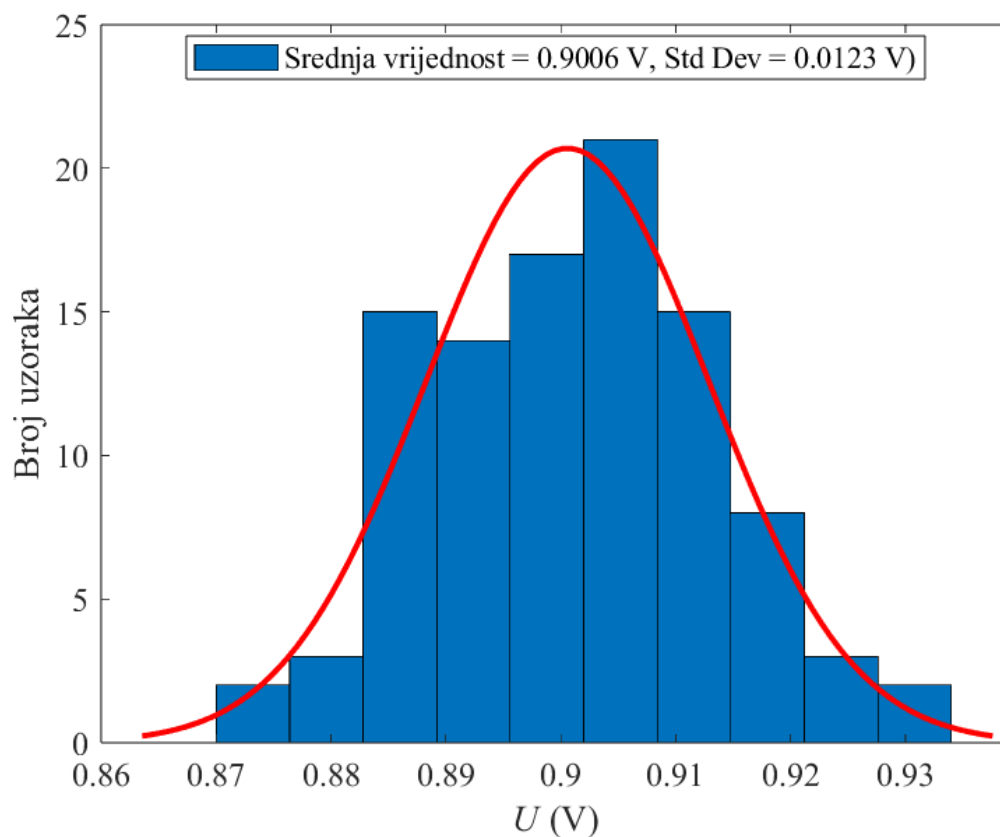


Slika 3.2. Naponski valni oblici dobiveni tranzijentnom analizom komparatora s kapacitivnim opterećenjem od 250 fF.

3.2. Napon pomaka uz kapacitivno opterećenje od 250 fF na izlazu komparatora

Analiza ovog parametra provodi se tranzijentnom analizom. Na ulaz u_{IN1} postavljen je *sample&hold* sklop koji služi kako bi na svaki rastući brid signala takta on uzeo i zadržao uzorak ulazne linearne rampe (U_{source}) i na taj način generirao stepeničasti napon. Koristi se kako bi simulacija bila precizna. U trenutku postizanja praga okidanja, komparator mijenja stanje na izlazu te se u tom trenutku bilježi koji je napon postignut (U_{PO}).

Kako je već navedeno, napon pomaka je stohastička veličina što znači da je potrebno napraviti statističku analizu sklopa. To je napravljeno pomoću tranzijente analize i Monte Carlo simulacije koja provođenjem velikog broja uzoraka i nasumičnom promjenom vrijednosti parametara unutar samoga sklopa mjeri prag okidanja komparatora [11, 12]. Distribucija napona okidanja težit će normalnoj razdiobi čija će standardna devijacija odgovarati vrijednosti napona pomaka komparatora [13]. Na slici 3.3. vidljivi su rezultati prve Monte Carlo analize.



Slika 3.3. Distribucija napona praga okidanja prilikom analize komparatora s kapacitetnim opterećenjem od 250 fF.

Vidljivo je kako napon pomaka iznosi 12,3 mV. To je prevelika vrijednost s obzirom na razlučivost od 1,75781 mV koju sklop treba postići. U tablici 3.1. prikazano je koliko pojedini tranzistori u sklopu utječu na konačan napon pomaka. Može se primijetiti kako on gotovo u potpunosti ovisi o ulaznom stupnju tranzistora M1 i M2.

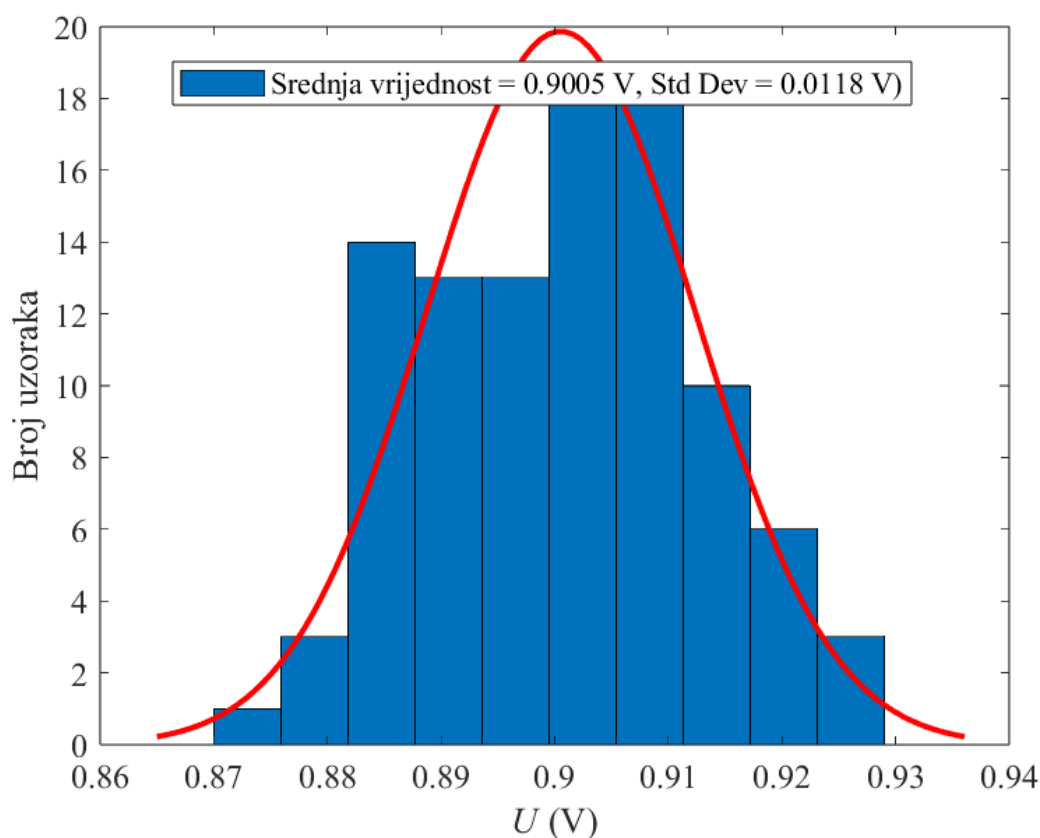
Tablica 3.1. Utjecaj pojedinih tranzistora u sklopu na ukupnu vrijednost napona pomaka.

Tranzistor	Udio od ukupnog napona pomaka
M1	50 %
M2	48 %

3.3. Napon pomaka uz invertore na izlazu komparatora i kapacitivno opterećenje od 250 fF na izlazu invertora

Nakon što je provedena analiza uz kondenzatore na izlazu, potrebno je vidjeti kakav je utjecaj invertora koji bi bili stavljeni na svaki od izlaza u_{OUT1} i u_{OUT2} .

Pomoću Monte Carlo simulacije ponovno je provedena analiza napona pomaka (slika 3.4.). Vidljivo je kako se napon pomaka smanjio na vrijednost od 11,8 mV. Ova vrijednost i dalje je prevelika s obzirom na zadanu razlučivost koja se pokušava ostvariti projektiranjem komparatora. Na ukupan utjecaj napona pomaka ponovno imaju gotovo pa u potpunosti tranzistori M1 i M2 koji se nalaze na ulazu komparatora.



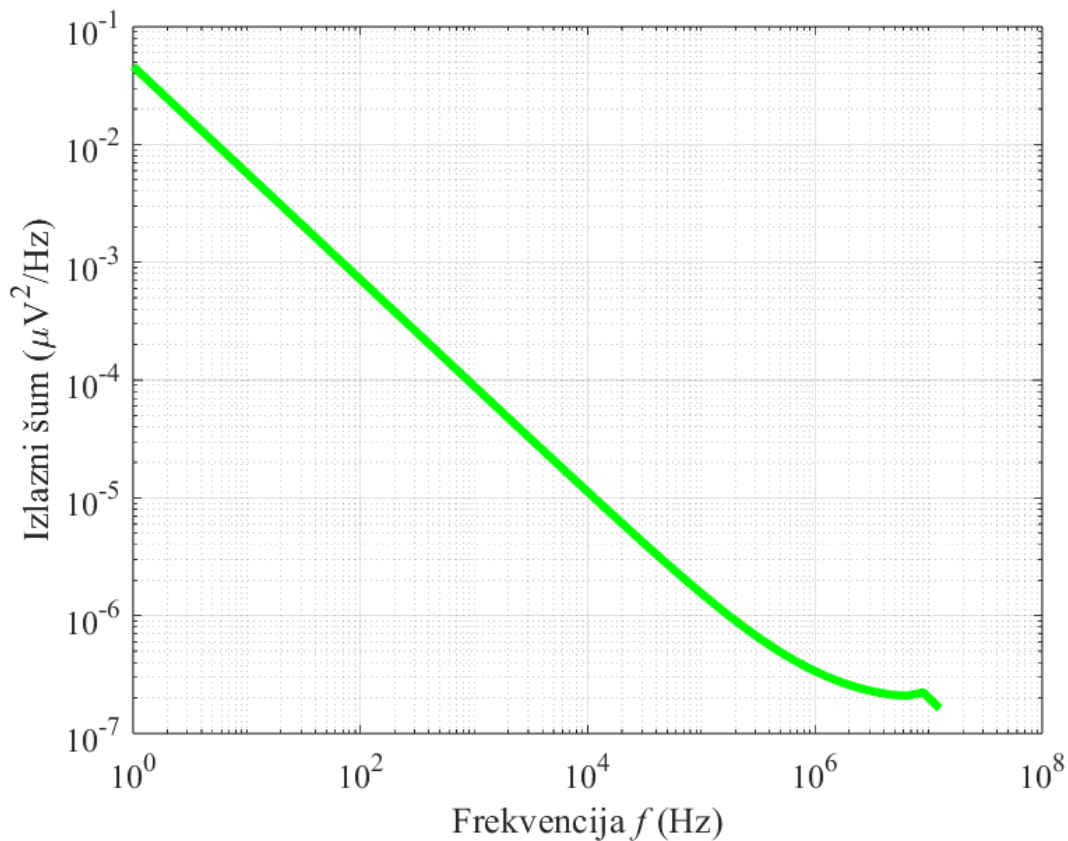
Slika 3.4. Distribucija napona praga okidanja prilikom analize komparatora s invertorima na izlazu komparatora uz kapacitivna opterećenja od 250 fF na izlazu invertora.

3.4. Šum uz kapacitivno opterećenje od 250 fF na izlazu

Analiza šuma za mali signal provodi se u dva koraka. Prvo se provodi *Periodic Steady-State* (PSS) analiza koja određuje periodičku radnu točku te daje prosječne vrijednosti dinamičkih parametara komparatora. Nakon nje se provodi *Phase Noise* (PNOISE) analiza koja pomoću poznatih dinamičkih parametara stvara linearizirani model te računa prosječnu vrijednost šuma kroz jedan period PSS analize [14, 15]. Za analizu dinamičkog komparatora šum je bitan samo u trenutku kada sklop donosi odluku tako da će se unutar PNOISE analize odabrati trenutak u kojemu će se uzimati uzorak. Iako ovaj način nije najprecizniji, puno je brži od same tranzijentne analize te omogućava uvid u to koliko koja komponenta pridonosi šumu što je jako korisno kod analize ovoga sklopa.

Isto kao i za napon pomaka, provodi se analiza u dva slučaja: s kapacitivnim opterećenjem od 250 fF na izlazu i s invertorima na izlazu.

Nakon što su napravljene PSS i PNOISE analize dobiven je graf na slici 3.5. Graf predstavlja spektralnu gustoću snage šuma na izlazu komparatora. Frekvencijski opseg na kojem je provedena analiza je 1 Hz do 12,5 MHz, odnosno do vrijednosti $f_{\text{clk}}/2$ što označava Nyquistovu frekvenciju. Kako bi se dobile efektivne vrijednosti izlaznog napona šuma, graf je integriran u svom frekvencijskom opsegu te je ta vrijednost onda korijenovana. Kako bi se saznala koja je vrijednost šuma na ulazu, što nas u konačnici najviše i zanima, efektivna vrijednost šuma na izlazu treba se podijeliti s pojačanjem sklopa. Pojačanje sklopa određeno je omjerom izlaznog i ulaznog napona. Za izlazni napon potrebno je odrediti vrijednost koja se postiže u trenutku kada se komparator nalazi u fazi pojačanja ili regeneracije nMOS-a, odnosno u trenutku kada cijeli bistabil još uvijek nije aktiviran. Za izlazni napon, prema PSS analizi, uzeta je vrijednost od 50 mV (razlika između napona u_{OUT1} i u_{OUT2}). Na ulazu se nalazi razlika dvaju ulaznih napona u_{IN1} i u_{IN2} , gdje je u_{IN1} odabran tako da je za 1 mV veći od u_{IN2} tako da je vrijednost na ulazu 1 mV. Ovo u konačnici daje pojačanje od 50 te se može izračunati šum sveden na ulaz komparatora.



Slika 3.5. Spektralna gustoća snage šuma na izlazu.

Vrijednosti ulaznog i izlaznog šuma su navedene u tablici 3.2. Vidljivo je kako je šum na izlazu manji od vrijednosti LSB što ukazuje na to da je šum u sklopu zadovoljavajuć. Nakon toga je potrebno vidjeti kako koji tranzistor utječe na šum i koji tip šuma je najviše prisutan za pojedini tranzistor. Vrijednosti su vidljive u tablici 3.3. Zanimljivo je primijetiti kako najveći utjecaj na šum imaju ulazni tranzistori M1 i M2. Parametar zbog kojega oni ponajviše pridonose ukupnom udjelu šuma na ulazu je $1/f$ šum. Također, na ukupnu vrijednost utječe i termički šum.

Tablica 3.2. Vrijednosti ulaznog i izlaznog šuma uz kapacitivno opterećenje od 1 pF.

Parametar	Vrijednost
$U_{n,out}$	29,82 mV
$U_{n,in}$	597,9 μ V

Tablica 3.3. Utjecaj pojedinih tranzistora i tipovi šuma koji najviše utječu na šum sveden na ulaz.

Tranzistor	Parametar	Udio od ukupnog šuma na ulazu
M2	fn	44,63 %
M1	fn	43,33 %
M2	id	3,91 %
M1	id	3,84 %

3.5. Šum uz invertore na izlazu i kapacitivno opterećenje od 250 fF

Na isti način kao i kod kapacitivnih izlaza provele su se PSS pa PNOISE analize te su dobivene vrijednosti šuma na izlazu i na ulazu navedene u tablici 3.4.

Tablica 3.4. Vrijednosti ulaznog i izlaznog šuma uz kapacitivno opterećenje sklopa.

Parametar	Vrijednost
$U_{n,out}$	37,15 mV
$U_{n,in}$	743 μ V

Može se primijetiti kako je šum u odnosu na vrijednosti dobivene bez invertora porastao. Razlog tome je taj što inverter koji je korišten u simulaciji nije idealan. On u sebi sadrži $1/f$ šum koji se svodi na ulaz te tako povećava ukupnu vrijednost šuma. Ponovno je potvrđeno da najveći utjecaj na šum imaju ulazni tranzistori M1 i M2.

3.6. Promjena dimenzija tranzistora

Nakon što su simulacije šuma i napona pomaka provedene, slijedi pogledati na koji će način promjene dimenzije tranzistora utjecati na napon pomaka, šum i općeniti rad sklopa. Budući da su na njihove rezultate napona pomaka i šuma u konačnici jedino djelovali ulazni tranzistori M1 i M2, za početak se mijenjalo njihove dimenzije. Nakon nekoliko iteracija promjene duljine kanala dolazi se do zaključka da je najbolje duljinu kanala držati na minimalnoj mogućoj vrijednosti, što je u 180 nm tehnologiji upravo 180 nm. Nakon toga su provedene iteracije u kojima se mijenjala širina kanala. U tablici 3.5. vidljivo je kako se postepenim povećavanjem širine kanala tranzistora smanjuje napon pomaka komparatora.

Tablica 3.5. Utjecaj promjene širine kanala tranzistora M1 i M2 na napon pomaka.

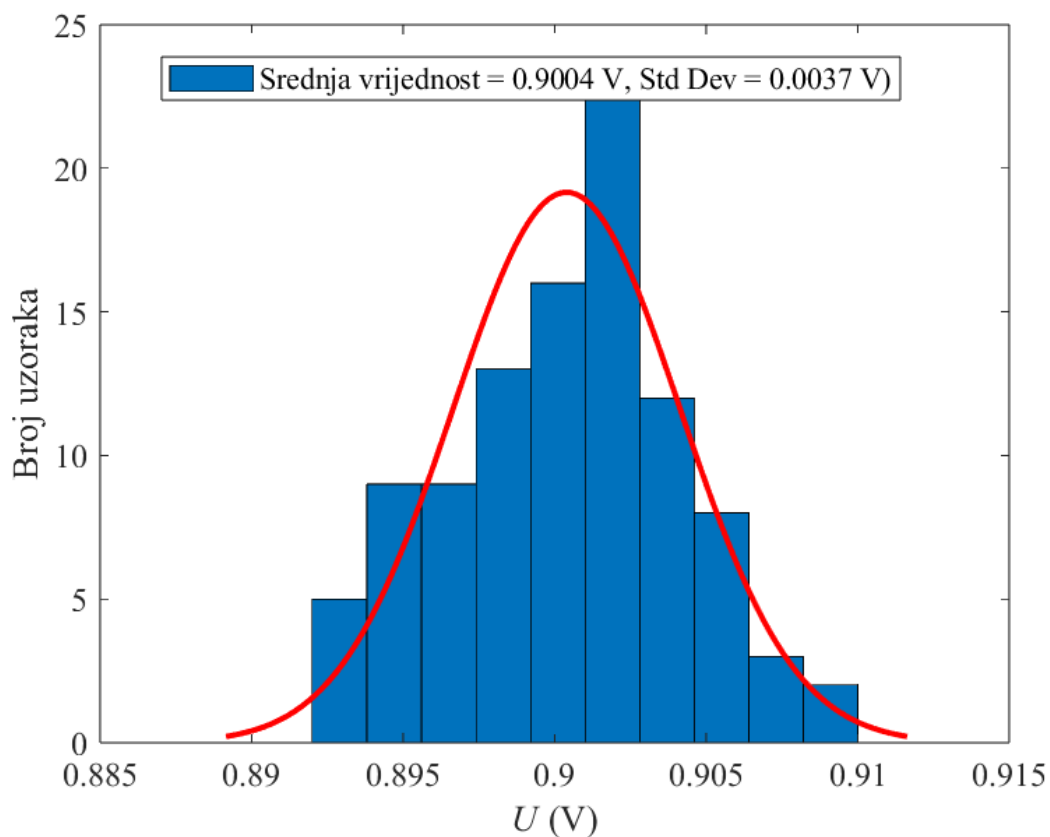
	W = 700 nm	W = 1 μm	W = 15 μm
U_{offset}	11,41 mV	9,22 mV	4,4 mV

Iako na naponu pomaka ponajviše utječu tranzistori M1 i M2, poslije njih s malim postotkom utječu i tranzistori M3 i M4 koji čine nMOS dio bistabila. Promjenom njihovih širina kanala također se uočava da se napon pomaka u maloj mjeri smanjuje. Konačne vrijednosti širina kanala pojedinih tranzistora dane su u tablici 3.6.

Tablica 3.6. Nove dimenzije tranzistora.

Tranzistor	W	L
M1/M2	20 μm	180 nm
M3/M4	15 μm	180 nm
S1-S4, M5-M7	1 μm	180 nm

Konačna vrijednost napona pomaka očitana iz standardne devijacije vidljiva je na slici 3.6. Iako ova vrijednost i dalje nije manja od 1 LSB kako bi se htjelo ostvariti ovim projektiranjem komparatora, vrijednost se izrazito smanjila i poprilično je zadovoljavajuća.



Slika 3.6. Distribucija napona praga okidanja prilikom analize komparatora s invertorom na izlazu komparatora, kapacitetima od 250 fF na izlazu invertora te uz promijenjene dimenzije tranzistora.

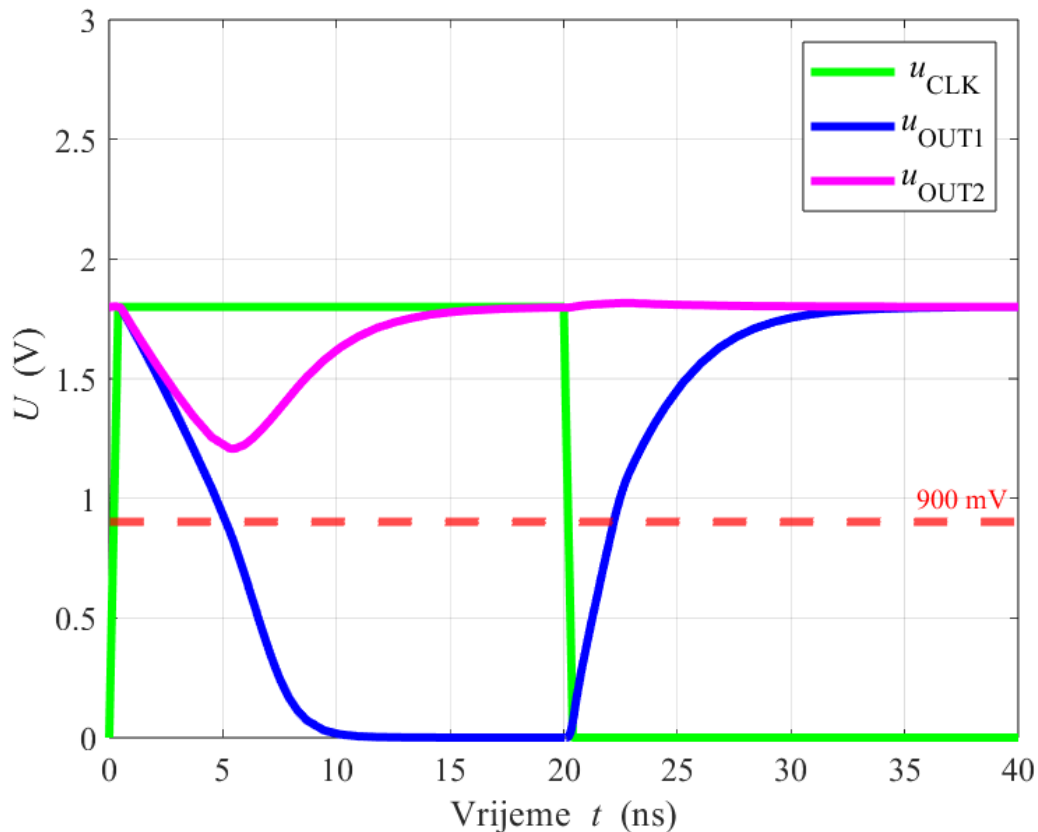
Nakon toga se te vrijednosti unose u datoteku za simulaciju šuma te se ponovno provode PSS i PNOISE analize kako bi se vidjelo koliko i na koji način su se vrijednosti promijenile. Tablica 3.7. prikazuje dobivene rezultate.

Tablica 3.7. Vrijednosti ulaznog i izlaznog šuma nakon promijenjenih širina tranzistora.

Parametar	Vrijednost
$U_{n,out}$	13,56 mV
$U_{n,in}$	271,27 μ V

Može se zaključiti da su promjene širine tranzistora utjecale na promjenu rezultata napona pomaka i šuma komparatora. Kanal tranzistora, kao što je već prije spomenuto, je naponsko upravljani otpornik. Povećanjem širine tranzistora, otpor kanala smanjivat će se te će šum na ulazu biti manji zbog toga. To povlači da će se i napon pomaka onda smanjiti što je potvrđeno dobivenim rezultatima.

Još jedna stvar koju je zanimljivo analizirati je općeniti utjecaj na izlazne napone i njihove oblike grafova. Na početku je rada spomenuto kako je zbog nemogućnosti smanjivanja napona u_{OUT1} do 0 V bilo potrebno staviti manji iznos kapaciteta na izlaz. Nakon promjene širine tranzistora bilo je moguće ponovno na izlaz staviti 1 pF kako je i zadano u specifikacijama kod projektiranja ovog komparatora. Odzivi dvaju izlaza komparatora vidljivi su na slici 3.7.

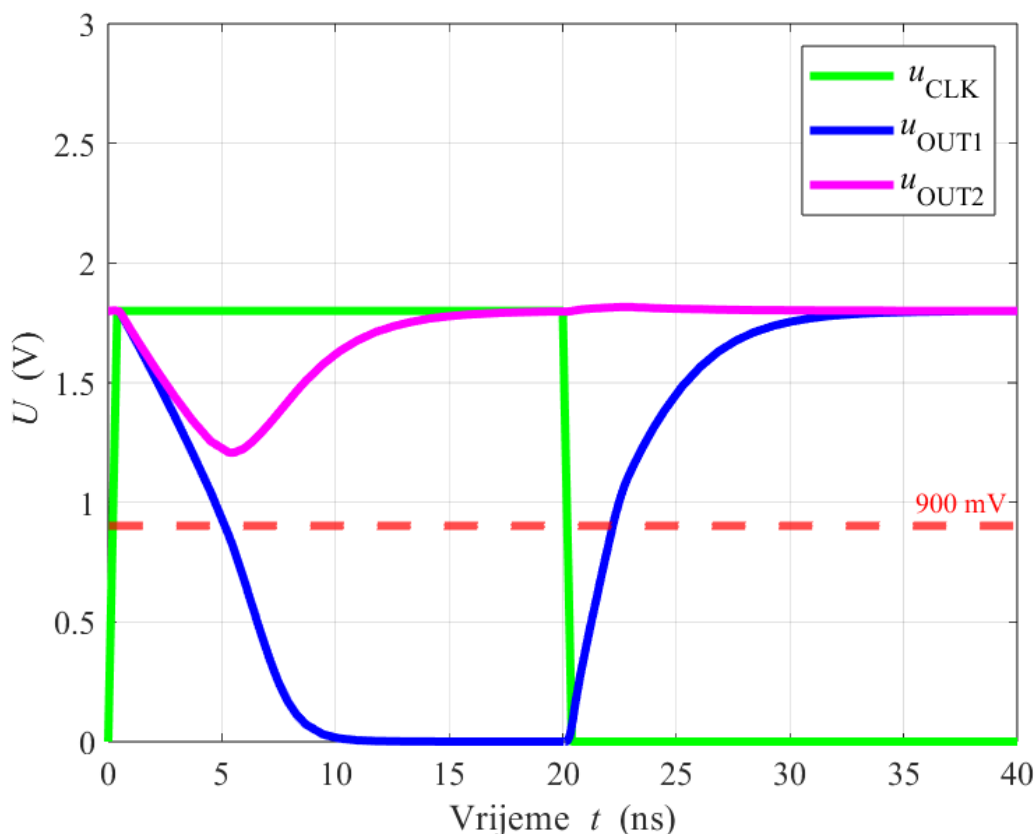


Slika 3.7. Naponski valni oblici dobiveni tranzijentnom analizom komparatora s kapacitivnim opterećenjem od 1 pF uz nove dimenzije tranzistora.

Ovaj ishod ima smisla zato što na izgled ovoga grafa utječe vrijeme kašnjenja. Vrijeme izbijanja kondenzatora obrnuto je proporcionalno struji, a struja je proporcionalna širini kanala tranzistora što znači da će se vrijeme kašnjenja komparatora smanjiti ako se poveća vrijednost širine kanala. To se u konačnici i postignulo prilikom analize sklopa.

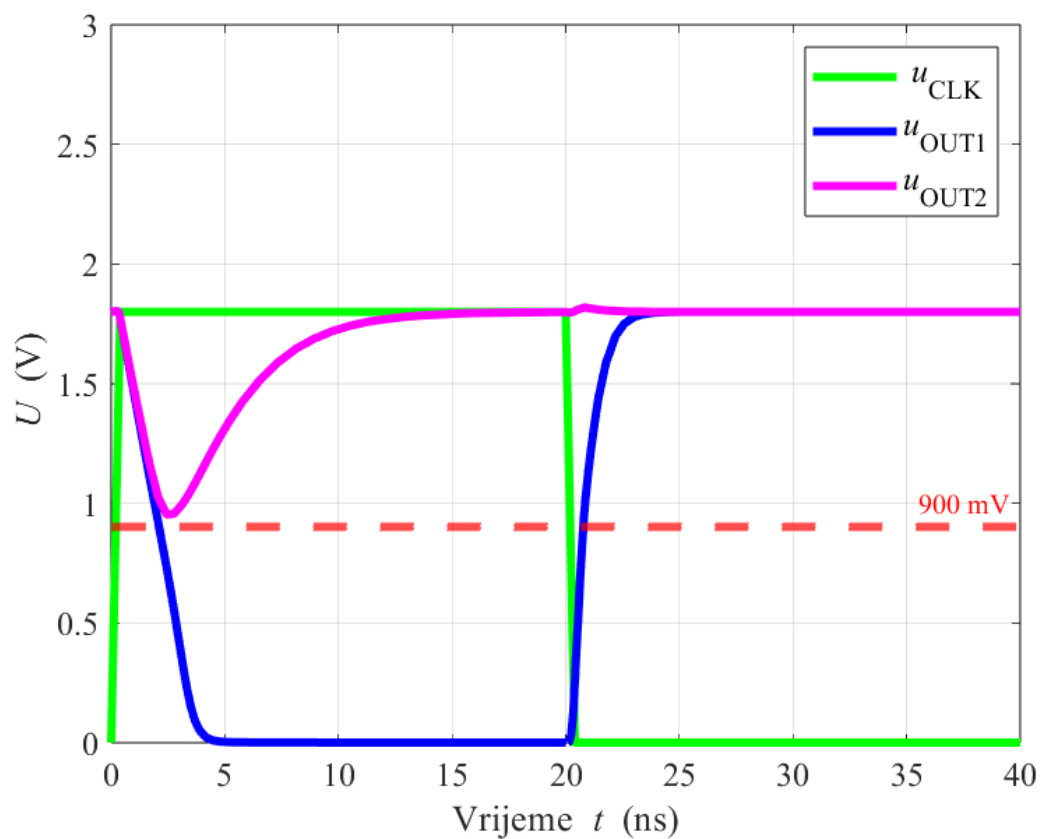
3.7. Vrijeme kašnjenja

Vrijeme kašnjenja analiziralo se iz grafova dobivenih u tranzijentnim simulacijama. Pogledalo se vrijeme t_{start} , vrijeme u trenutku kada u_{CLK} poraste na 50% od konačne vrijednosti, te vrijeme t_{stop} , vrijeme u trenutku kada u_{OUT1} padne na 50% konačne vrijednosti (slika 3.8.). Razlika ta dva vremena predstavlja vrijeme kašnjenja komparatora.



Slika 3.8. Naponski valni oblici dobiveni tranzijentnom analizom komparatora s kapacitivnim opterećenjem od 1 pF. Horizontalna linija označava 50 % od konačnih vrijednosti koje u_{OUT1} i u_{CLK} moraju postići. U tim trenucima se očitavaju vremena t_{start} i t_{stop} kako bi se dobilo vrijeme kašnjenja.

Vrijeme kašnjenja za ovaj slučaj iznosi 4,34 ns. Budući da su jedine dimenzije koje nisu varirane tijekom ovoga rada upravo dimenzije sklopki koje bi mogle utjecati na brzinu rada sklopa, promijenjene su dimenzije na način da je širina povećana s 1 μm na 4 μm . Na slici 3.9. i u tablici 3.8. vidljivo je kako se povećanjem širine kanala tranzistorskih sklopki smanjilo gotovo proporcionalno vrijeme kašnjenja.



Slika 3.9. Naponski valni oblici dobiveni tranzijentnom analizom komparatora s kapacitivnim opterećenjem od 1 pF uz povećanu širinu kanala za tranzistorske sklopke.

Tablica 3.8. Vrijednosti vremena kašnjenja prije i poslije promijenjene širine kanala tranzistor-skih sklopki.

$W_{\text{sklopki}} (\mu\text{m})$	$t_{\text{delay}} (\text{ns})$
1	4,34
4	1,91

3.8. Konačne vrijednosti

Nakon promijenjenih dimenzija tranzistorskih sklopki bilo je potrebno ponoviti sve simulacije kako bi se provjerilo jesu li promjene utjecale na prijašnje rezultate. Konačne su vrijednosti svih izmjerenih parametara dane u tablici 3.9.

Tablica 3.9. Konačni rezultati svih izmjerenih parametara.

Napon pomaka (mV)	Šum na ulazu (μV)	Vrijeme kašnjenja (ns)
2,23	126,7	1,91

Tablica 3.10. prikazuje konačne dimenzije tranzistora korištene pri projektiranju dinamičkog komparatora.

Tablica 3.10. Konačne dimenzije tranzistora.

Tranzistor	W	L
M1/M2	20 μm	180 nm
M3/M4	15 μm	180 nm
M5-M7	1 μm	180 nm
S1-S4	4 μm	180 nm

3.9. Utjecaj radne temperature i varijacije napona napajanja na karakteristike sklopa

Ispitane su varijacije mjerenih parametara u slučaju promjene temperature u tri kritične vrijednosti (-40°C , 27°C , 125°C). Također, ispitano je kako se komparator i njegovi parametri odazivaju na varijacije napona napajanja od $\pm 10\%$ (1,62 V, 1,8 V, 1,98 V). Vrijednosti parametara dane su u tablici 3.11.

Tablica 3.11. Konačni rezultati napona pomaka U_{offset} , vremena kašnjenja t_{delay} i šuma $U_{\text{n,eff}}$ pri različitim temperaturama i naponima napajanja U_{DD} .

$U_{\text{DD}} = 1,62 \text{ V}$			
T	-40°C	27°C	125°C
U_{offset}	2,23 mV	2,26 mV	2,32 mV
t_{delay}	1,74 ns	1,9 ns	2,14 ns
$U_{\text{n,eff}}$	117,6 μV	130,7 μV	144,9 μV

$U_{\text{DD}} = 1,8 \text{ V}$			
T	-40°C	27°C	125°C
U_{offset}	2,22 mV	2,28 mV	2,3 mV
t_{delay}	1,77 ns	1,91 ns	2,15 ns
$U_{\text{n,eff}}$	114,5 μV	126,7 μV	137,3 μV

$U_{\text{DD}} = 1,98 \text{ V}$			
T	-40°C	27°C	125°C
U_{offset}	2,22 mV	2,27 mV	2,3 mV
t_{delay}	1,89 ns	2,02 ns	2,24 ns
$U_{\text{n,eff}}$	112,6 μV	122,8 μV	133 μV

Iz tablice 3.11. mogu se izvesti sljedeći zaključci:

- Napon pomaka raste s porastom temperature, ali se ne mijenja značajno s varijacijama napona napajanja
- Vrijeme kašnjenja raste s porastom temperature i raste s povećanjem napona na-

pajanja

- Šum raste s porastom temperature i smanjuje se s povećanjem napona napajanja

Iako postoje odstupanja s promjenom temperature i napona napajanja, svi parametri imaju gotovo zanemarivo odstupanje od nominalnih vrijednosti.

3.10. Korner analiza za vrijeme kašnjenja

Za opisivanje komparatora dodatno je provedena i korner analiza sklopa koja služi kako bi se ispitali granični slučajevi rada svakom pMOS i nMOS tranzistora [16]. Ova analiza, slično kao i Monte Carlo analiza, provjerava utjecaj nesavršenosti i varijacija proizvodnog procesa te je puno jednostavnija i brža.

Korneri uz to da su pri analizi uzeti:

- "tt" - tipični nMOS, tipični pMOS
- "ff" - brzi nMOS, brzi pMOS
- "fs" - brzi nMOS, spori pMOS
- "sf" - spori nMOS, brzi pMOS
- "ss" - spori nMOS, spori pMOS

Kao parametri po kojima se radi analiza odabrane su ponovne tri različite temperature (-40°C , 27°C , 125°C) te tri različita napona (1,62 V, 1,8 V, 1,98 V). Rezultati analize prikazani su u tablici 3.12.

Tablica 3.12. Iznosi vremena kašnjenja t_{delay} pri različitim tehnološkim kornerima, temperaturama i naponima napajanja U_{DD} .

tt			
	1,62 V	1,8 V	1,98 V
−40 °C	1,55 ns	1,77 ns	2,01 ns
27 °C	1,68 ns	1,91 ns	2,13 ns
125 °C	1,89 ns	2,15 ns	2,39 ns

ff			
	1,62 V	1,8 V	1,98 V
−40 °C	1,22 ns	1,41 ns	1,59 ns
27 °C	1,33 ns	1,53 ns	1,73 ns
125 °C	1,52 ns	1,74 ns	1,95 ns

fs			
	1,62 V	1,8 V	1,98 V
−40 °C	1,37 ns	1,57 ns	1,77 ns
27 °C	1,51 ns	1,72 ns	1,93 ns
125 °C	1,73 ns	1,96 ns	2,18 ns

sf			
	1,62 V	1,8 V	1,98 V
−40 °C	1,77 ns	2,03 ns	2,29 ns
27 °C	1,89 ns	2,15 ns	2,41 ns
125 °C	2,09 ns	2,38 ns	2,64 ns

ss			
	1,62 V	1,8 V	1,98 V
−40 °C	1,99 ns	2,27 ns	2,56 ns
27 °C	2,14 ns	2,42 ns	2,71 ns
125 °C	2,38 ns	2,67 ns	2,97 ns

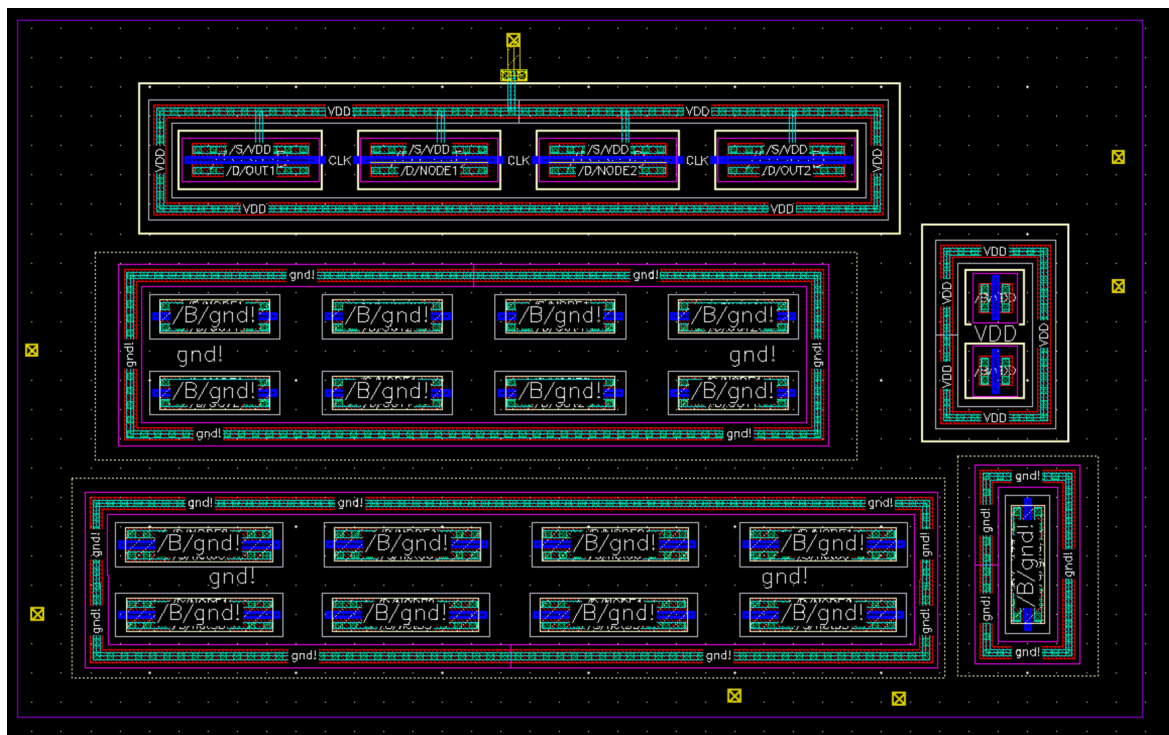
Nominalna vrijednost vremena kašnjenja iznosi 1,907 ns. Maksimalna vrijednost iz-

nosi 2,97 ns te se pojavljuje u "ss" korneru za slučaj 1,98 V napona napajanja i temperature od 125 °C. Minimalna vrijednost iznosi 1,22 ns te se pojavljuje u slučaju "ff" kornera za napon napajanja od 1,62 V i temperaturu od –40 °C. Vidljivo je kako su donje i gornje granice određene najnižom temperaturom i naponom napajanja te najvišom temperaturom i naponom napajanja.

4. Topološki nacrt

Nakon što su napravljene simulacije u idealnom okruženju, potrebno je nacrtati topološki nacrt [17, 18, 19]. Na taj se način sklop stavlja u realno okruženje puno parazitnih utjecaja koji mogu, ali i ne moraju imati utjecaj na konačne rezultate promatranih parametara. Topološki je nacrt napravljen u *Cadence Virtuoso Layout* okruženju u 180 nm tehnologiji. Pomoću sheme koja je nacrtana za potrebe simulacija, generirano je 11 tranzistora. Zbog značajnog utjecaja tranzistora M1-M4 na promatrane parametre (napon pomaka i šum) potrebno je da pojačalo bude potpuno simetrično. Iako je u praktičnom smislu gotovo nemoguće ostvariti u potpunosti simetričan sklop, moguće je pažljivim odabirom smještaja komponenata smanjiti moguće nepravilnosti tijekom procesiranja.

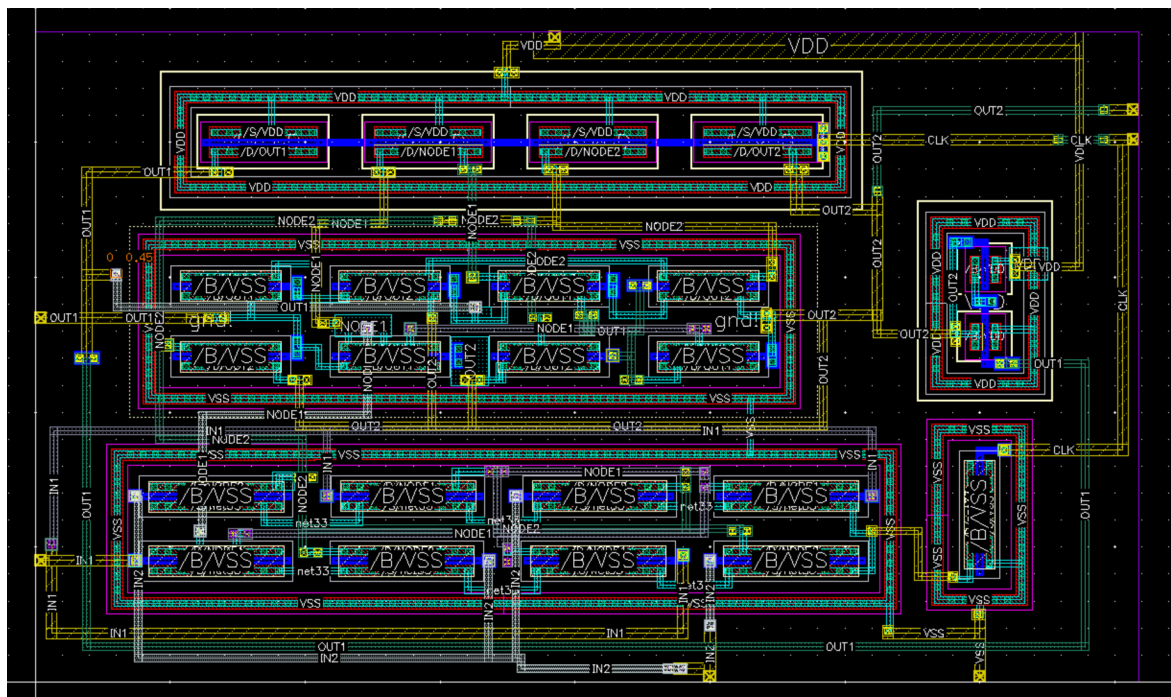
Simetričnost ključnih tranzistora moguće je postići na način da se tranzistore razdvoji na više dijelova te da se onda ti dijelovi rasporede po površini (eng. *common centroid layout*) [20, 21]. Razdvajanje se čini tako da se ukupna širina tranzistora podijeli na onoliko dijelova koliko je potrebno te da se onda u shemu doda toliko paralelno spojenih tranzistora čija je ukupna širina jednaka prvotnoj. Osim što se na ovaj način povećava simetričnost sklopa, također i omogućuje da se smetnja (npr. zagrijavanje) ravnomjerno raspoređuje po svim komponentama neovisno o tome s koje strane površine dolazi. Na slici 4.1. vidljivo je kako su tranzistori raspoređeni prije međusobnog spajanja vodovima. Na slici je isto tako vidljiv još jedan način utjecanja na simetričnost sklopa, a to je smještaj polarizacijskih prstenova (eng. *guard rings*) oko tranzistora koji moraju biti istih dimenzija.



Slika 4.1. Prikaz početnog raspoređivanja tranzistora na topološkom nacrtu.

Nakon odabira smještaja svih komponenti potrebno je spojiti sve tranzistore sukladno sa nacrtanom shemom. Konačan prikaz topološkog nacrtana vidljiv je na slici 4.2. Tijekom crtanja bilo je potrebno paziti na sljedeće korake:

- Razmaci među komponentama ne smiju biti ni preveliki (zbog kompaktnosti modula i smanjivanja utjecaja parazita), a ni premali (zbog potencijalnih *Design Rule Check* (DRC) grešaka).
- Vod napajanja mora biti razmjerno širok zato što njime teče najveća struja. Povećanjem širine voda smanjiti će se otpor voda te će se tako smanjiti i zagrijavanje.
- Kako bi se smanjilo kapacitivno preslušavanje među slojevima, pokušava se vodove na različitim slojevima crtati okomito jedne na druge.
- Duljina voda trebala bi biti što manja zbog induktiviteta po jedinici duljine.



Slika 4.2. Prikaz konačnog topološkog nacrtu *StrongARM latch* komparatora.

5. Simulacije s ekstrahiranim parazitima

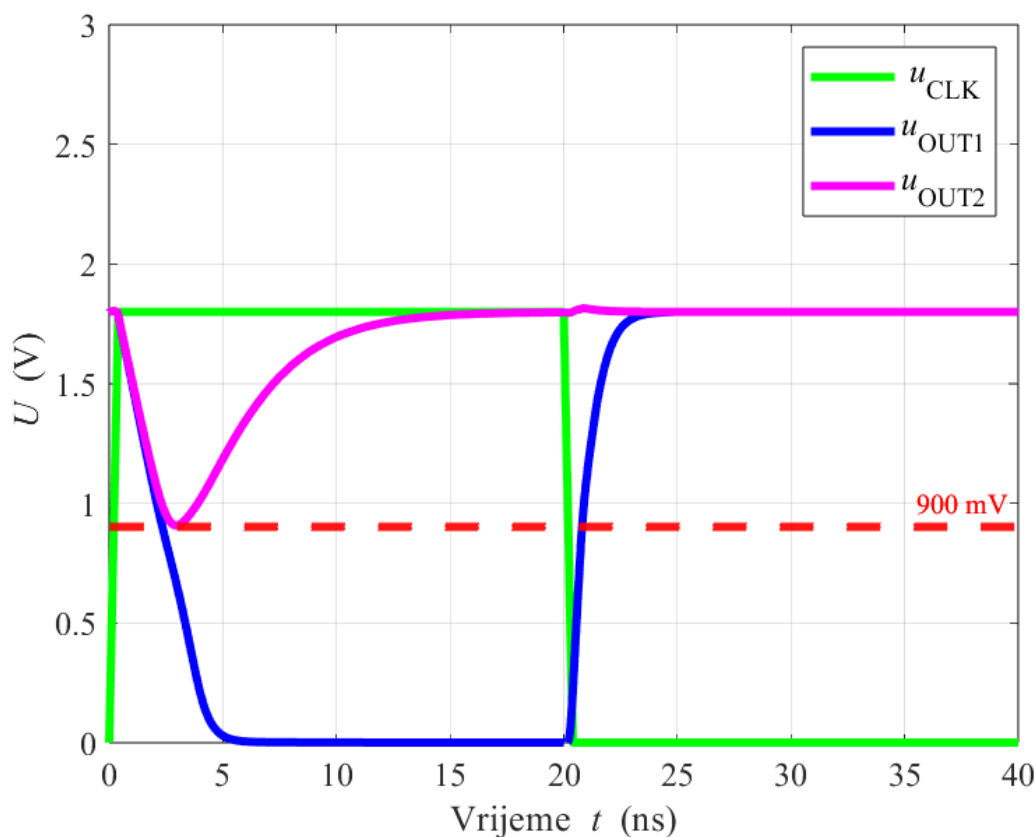
Iz topološkog nacрта pomoću ekstrakcije parazita (eng. *parasitic extraction*, PEX) određeni su parazitni otpori i kapaciteti u sklopu [22, 23]. Ekstrakcija nam omogućava da analizu učinimo realističnijom, odnosno da simulirani parametri pokazuju vrijednosti koje bi sklop u konačnici nakon što je proizveden mogao imati. Ponovno su provedene simulacije za vrijeme kašnjenja, napon pomaka i šum sveden na ulaz komparatora.

5.1. Vrijeme kašnjenja uz utjecaj parazita

Vrijeme kašnjenja simulirano je na isti način kao i u prijašnjim simulacijama, pomoću tranzijentne analize. Iz tablice 5.1. vidi se odnos vremena kašnjenja dobivenog u idealnim uvjetima i uz utjecaj ekstrahiranih parazita. Kako je i bilo očekivano, vrijeme kašnjenja povećalo se za 12 %. Razlog tome je usporavanje rada sklopa zbog dodanih parazitnih kapaciteta. Ova promjena nije kritična za rad komparatora. Konačna stanja poprimljena su dovoljno brzo te ostaju u tom stanju sve dok ne započne novi ciklus rada, odnosno prva faza rada u kojem će se pMOS sklopke uključiti i izlazi se postavljaju na vrijednost napona napajanja U_{DD} od 1,8 V (slika 5.1.).

Tablica 5.1. Vrijednosti vremena kašnjenja bez i s ekstrahiranim RC parazitima.

t_{delay} (ns)	
Bez parazita	1,91
Uz parazite	2,14



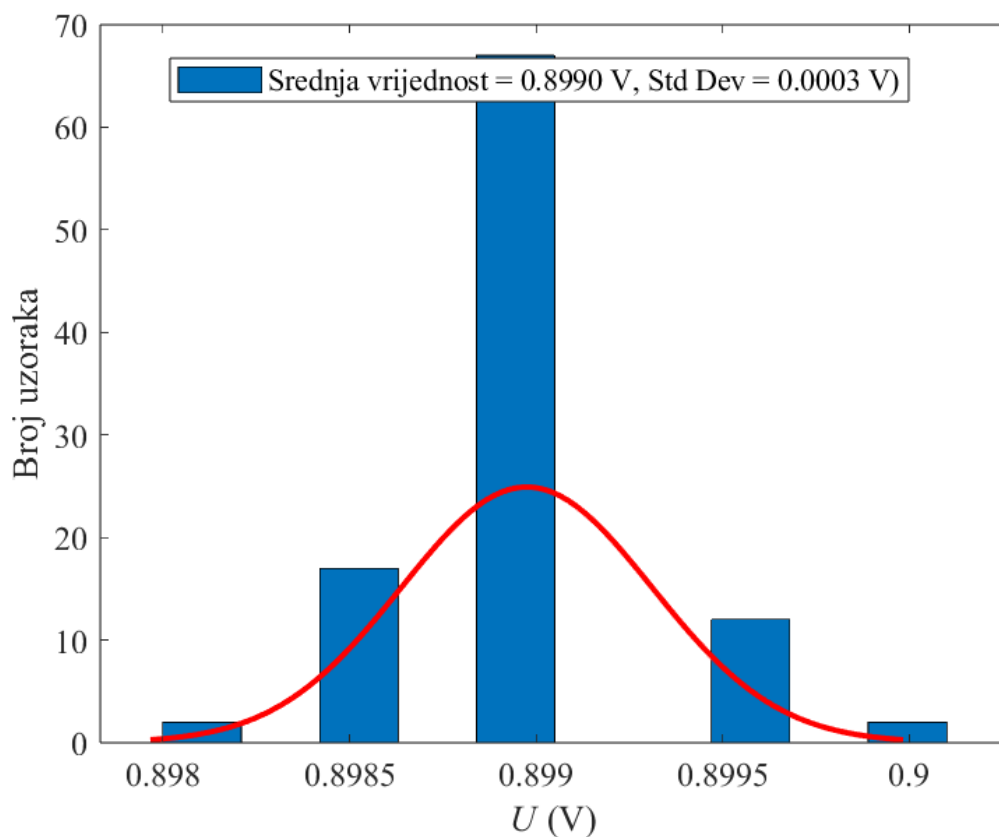
Slika 5.1. Naponski valni oblici dobiveni tranzijentnom analizom komparatora uz dodani utjecaj parazita.

5.2. Napon pomaka uz utjecaj parazita

Simulacija napona pomaka provedena je ponovno pomoću Monte Carlo analize. Rezultati dobiveni nakon simulacije vidljivi su u tablici 5.2. Za razliku od vremena kašnjenja koje se povećalo, napon pomaka se smanjio za 85 %. Razlog tomu je veliki utjecaj parazitnih kapaciteta i stvorenih RC mreža na ulazu sklopa. Ova vrijednost puno je manja od iznosa razlučivosti od 1,75781 mV koja je predstavljala glavni izazov u prijašnjim simulacijama. Graf Monte Carlo analize vidljiv je na slici 5.2.

Tablica 5.2. Vrijednosti napona pomaka bez i s ekstrahiranim RC parazitima.

U_{offset}	
Bez RC parazita	2,23 mV
Uz RC parazite	336,2 μV



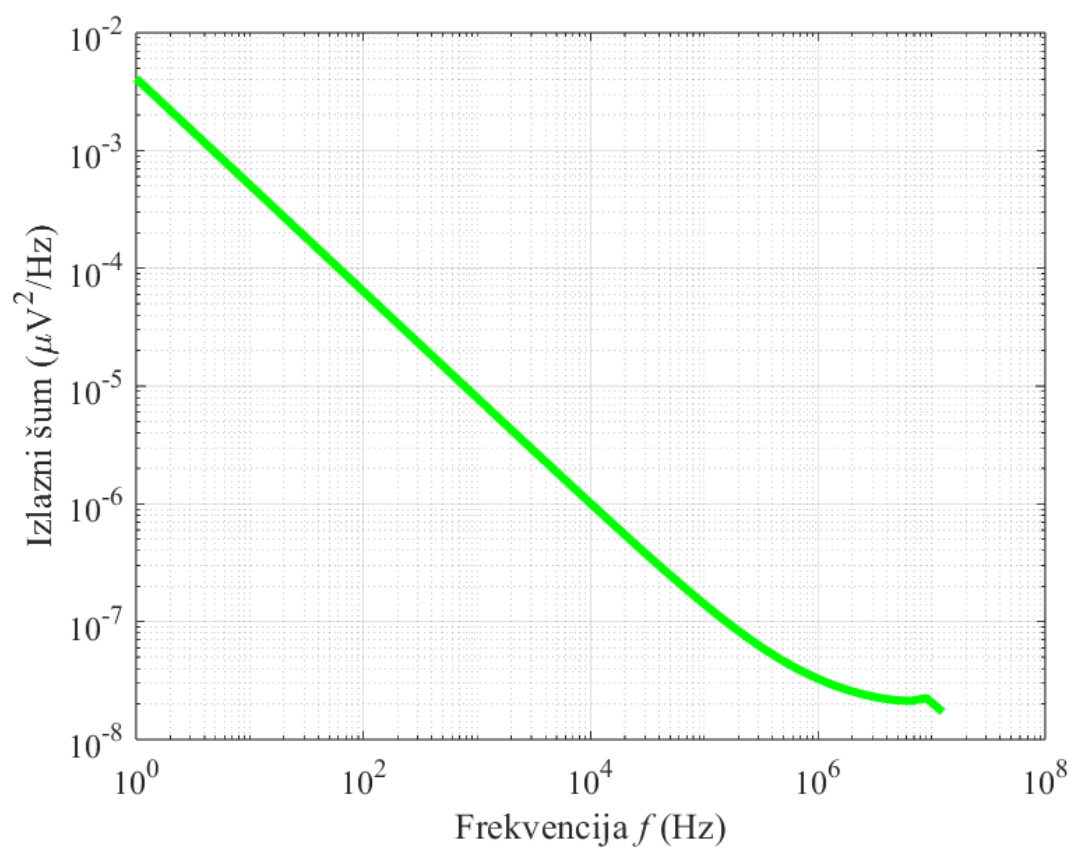
Slika 5.2. Distribucija napona praga okidanja komparatora uz uvedene RC parazitne utjecaje.

5.3. Šum uz utjecaj parazita

Konačna provedena simulacija bila je simulacija šuma svedenog na ulaz (slika 5.3.). Provela se na isti način kao i prije, pomoću PSS i PNOISE analize. Iz tablice 5.3. vidljiva je razlika iznosa šuma prije i poslije dodanih parazitnih utjecaja. U odnosu na prijašnje vrijednosti, šum se smanjio za 69 %. Ovakav ishod ima smisla zato što se unošenjem parazitnih kapaciteta u sklop filtriraju smetnje na višim frekvencijama. Ako se pogledaju tablice 3.2. i 3.3. vidi se kako na šum najviše utječu ulazni tranzistori te da u najvećem postotnom udjelu taj utjecaj dolazi zbog $1/f$ šuma. Kako je već prije spomenuto taj šum ovisi o frekvenciji što znači da ako paraziti djeluju kao filtri onda je šum na višim frekvencijama potisnut i ukupan se šum značajno smanjuje.

Tablica 5.3. Vrijednosti napona šuma bez i s ekstrahiranim parazitima.

$U_{\text{noise}} (\mu\text{V})$	
Bez RC parazita	126,7
Uz RC parazite	39,48



Slika 5.3. Spektralna gustoća snage šuma na izlazu komparatora uz utjecaj RC parazita.

6. Zaključak

Može se zaključiti da je uspješno projektiran *StrongARM latch* komparator u 180 nm CMOS tehnologiji. Zadana razlučivost od 1,75781 mV postavila je gornju granicu na vrijednosti koje napon pomaka i šum smiju imati. Iz rezultata je vidljivo kako je napon pomaka predstavljao najveći izazov pri projektiranju te da njegova vrijednost nije zadovoljila granicu postavljenu s razlučivosti. No, to ne predstavlja veliki problem zato što bi se komparator koristio u SAR 10-bitnom analogno-digitalnom pretvorniku koji bi u sebi sadržavao dodatne sklopove koji bi omogućili kompenzaciju napona pomaka. Vrijednosti šuma i vremena kašnjenja zadovoljavaju početne uvjete. Nakon provedenih analiza s ekstrahiranim parazitima uočava se kako su sva tri parametra zadovoljavajuća. Povećanje vremena kašnjenja bilo je razumno za očekivati zbog unošenja dodatnih parazitnih kapaciteta koji usporavaju sklop. Velika poboljšanja kod napona pomaka i šuma događaju se zbog parazitnih RC mreža koje djeluju kao filtri u sklopu i smanjuju utjecaj $1/f$ šuma na ulazu. Iz ovoga slijedi da se ovaj komparator može koristiti u 10-bitnom analogno-digitalnom pretvorniku.

Literatura

- [1] G. Puvaneswari i R. Ranjini, “Analysis of energy efficient double tail regenerative comparators”, u *2016 International Conference on Circuit, Power and Computing Technologies (ICCPCT)*, 2016., str. 1–5. <https://doi.org/10.1109/ICCPCT.2016.7530219>
- [2] B. Razavi, “The strongarm latch [a circuit for all seasons]”, *IEEE Solid-State Circuits Magazine*, sv. 7, br. 2, str. 12–17, 2015. <https://doi.org/10.1109/MSSC.2015.2418155>
- [3] M. Al-Qadasi, A. Alshehri, A. S. Almansouri, T. Al-Attar, i H. Fariborzi, “A high speed dynamic strongarm latch comparator”, u *2018 IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2018., str. 540–541. <https://doi.org/10.1109/MWSCAS.2018.8624100>
- [4] B. Goll i H. Zimmermann, “A comparator with reduced delay time in 65-nm cmos for supply voltages down to 0.65 v”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, sv. 56, br. 11, str. 810–814, 2009. <https://doi.org/10.1109/TCSII.2009.2030357>
- [5] A. Ahrar i M. Yavari, “A digital method for offset cancellation of fully dynamic latched comparators”, u *2021 29th Iranian Conference on Electrical Engineering (ICEE)*, 2021., str. 143–148. <https://doi.org/10.1109/ICEE52715.2021.9544133>
- [6] B. Jalali-Farahani i M. Ismail, “Adaptive noise cancellation techniques in sigma-delta analog-to-digital converters”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, sv. 54, br. 9, str. 1891–1899, 2007. <https://doi.org/10.1109/TCSI.2007.904655>

- [7] G. Giusi, E. Sarnelli, M. Barra, A. Cassinese, G. Scandurra, K. Nakayama, i C. Ciofi, “Low frequency noise measurements in p-type metal-base vertical organic transistors”, u *2017 International Conference on Noise and Fluctuations (ICNF)*, 2017., str. 1–4. <https://doi.org/10.1109/ICNF.2017.7985981>
- [8] G. Tan, C.-H. Chen, B. Hung, P. Lei, i C.-S. Yeh, “Channel thermal noise and its scaling impact on deep sub-100nm mosfets”, u *2011 21st International Conference on Noise and Fluctuations*, 2011., str. 356–359. <https://doi.org/10.1109/ICNF.2011.5994342>
- [9] A. V. Klyuev i A. V. Yakimov, “1/f noise and superimposed rts noise in ti-au/n-type gaas schottky barrier diodes”, u *2015 International Conference on Noise and Fluctuations (ICNF)*, 2015., str. 1–4. <https://doi.org/10.1109/ICNF.2015.7288575>
- [10] S.-C. Liu, J. Kramer, G. Indiveri, T. Delbrück, R. Douglas, i C. A. Mead, *Noise in MOS Transistors and Resistors*, 2002., str. 313–340.
- [11] L. Kouhalvandi, S. Aygün, G. G. Özdemir, i E. O. Güneş, “10-bit high-speed cmos comparator with offset cancellation technique”, u *2017 5th IEEE Workshop on Advances in Information, Electronic and Electrical Engineering (AIEEE)*, 2017., str. 1–4. <https://doi.org/10.1109/AIEEE.2017.8270524>
- [12] J. He, S. Zhan, D. Chen, i R. L. Geiger, “Analyses of static and dynamic random offset voltages in dynamic comparators”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, sv. 56, br. 5, str. 911–919, 2009. <https://doi.org/10.1109/TCSI.2009.2015207>
- [13] S. Wang, Y. Guo, Q. Pan, X. Liu, S. Wang, i J. Jin, “A fully synthesizable dynamic voltage comparator with time-domain offset calibration”, u *2023 IEEE 66th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2023., str. 482–485. <https://doi.org/10.1109/MWSCAS57524.2023.10406039>
- [14] E. Gillen, G. Panchanan, B. Lawton, i D. O’Hare, “Comparison of transient and pnoise simulation techniques for the design of a dynamic comparator”, u *2022 33rd Irish Signals and Systems Conference (ISSC)*, 2022., str. 1–5. <https://doi.org/10.1109/ISSC55427.2022.9826195>

- [15] M. R. Siukaeva i M. A. Bellavin, “Noise analysis in comparator circuits”, u *2024 Conference of Young Researchers in Electrical and Electronic Engineering (ElCon)*, 2024., str. 73–77. <https://doi.org/10.1109/ElCon61730.2024.10468446>
- [16] M. Kocher i G. Rappitsch, “Statistical methods for the determination of process corners”, u *Proceedings International Symposium on Quality Electronic Design*, 2002., str. 133–137. <https://doi.org/10.1109/ISQED.2002.996713>
- [17] R. M. C. Roberts i C. J. Fourie, “Layout-to-schematic as a step towards layout-versus-schematic verification of sfq integrated circuit layouts”, u *2013 Africon*, 2013., str. 1–5. <https://doi.org/10.1109/AFRCON.2013.6757839>
- [18] A. Beriain, D. Del Rio, H. Solar, U. Alvarado, i J. Del Portillo, “Challenge oriented methodology for analog integrated circuit layout design training”, u *2014 XI Tecnologias Aplicadas a la Ensenanza de la Electronica (Technologies Applied to Electronics Teaching) (TAEE)*, 2014., str. 1–5. <https://doi.org/10.1109/TAEE.2014.6900151>
- [19] P. K. Chawda, “A simplified methodology for complex analog module layout generation”, u *2018 19th International Symposium on Quality Electronic Design (ISQED)*, 2018., str. 82–87. <https://doi.org/10.1109/ISQED.2018.8357269>
- [20] D. Long, X. Hong, i S. Dong, “Optimal two-dimension common centroid layout generation for mos transistors unit-circuit”, u *2005 IEEE International Symposium on Circuits and Systems (ISCAS)*, 2005., str. 2999–3002 Vol. 3. <https://doi.org/10.1109/ISCAS.2005.1465258>
- [21] H. Tuinhout i N. Wils, “A cross-coupled common centroid test structures layout method for high precision mim capacitor mismatch measurements”, u *2014 International Conference on Microelectronic Test Structures (ICMTS)*, 2014., str. 243–248. <https://doi.org/10.1109/ICMTS.2014.6841500>
- [22] Y. S. Hristov, S. D. Kostadinov, D. G. Gaydazhiev, i I. S. Uzunov, “Influence of the layout parasitic effects on the performance of current mode amplifier designed using 32nm cmos technology”, u *2018 IEEE XXVII International Scientific Conference Electronics - ET*, 2018., str. 1–4. <https://doi.org/10.1109/ET.2018.8549671>

- [23] I. Rugen, C. Schrock-Pauli, i M. Gerbershagen, “An interactive layout design system with real-time logical verification and extraction of layout parasitics”, *IEEE Journal of Solid-State Circuits*, sv. 23, br. 3, str. 698–704, 1988. <https://doi.org/10.1109/4.308>

Sažetak

Klara Miličić

Projektiranje diferencijskog pojačala i unakrsnih invertora u 180 nm CMOS tehnologiji za analogno-digitalne primjene

U ovom je radu projektiran komparator izveden s diferencijskim pojačalom i unakrsnim invertorima (*StrongARM latch*) u 180 nm CMOS tehnologiji. Promatrane su promjene odziva tranzijentne analize dvaju izlaznih napona u ovisnosti o izlaznom kapacitivnom opterećenju. Iz tranzijentnog odziva promatralo se vrijeme kašnjenja kako bi se utvrdila brzina rada samog komparatora. Kako bi se zadovoljio kriterij za razlučivost mjereni su parametri napona pomaka i šuma. Za mjerenje napona pomaka korištena je Monte Carlo analiza, a za šum su provedene odvojene analize. Njihove vrijednosti mijenjale su se u odnosu na promjenu širine kanala ključnih tranzistora. Nakon inicijalne simulacijske evaluacije izrađen je topološki nacrt te su ekstrahirani parazitni utjecaji. Ključni parametri (vrijeme kašnjenja, napon pomaka i šum) simulirani su ponovno i uspoređeni s vrijednostima dobivenim u prvotnim simulacijama. Osim što su za sve parametre simulacijama dobivene vrijednosti u nominalnim uvjetima rada, također su one provedene uz promjene radnih uvjeta napajanja i temperature te su uzeti u obzir različiti tehnološki korneri.

Ključne riječi: *StrongARM latch*, komparator, napon pomaka, šum sveden na ulaz, vrijeme kašnjenja, kapacitivno opterećenje, razlučivost

Abstract

Klara Miličić

Design of a Differential Amplifier and Cross Inverters in 180 nm CMOS Technology for Analog-Digital Applications

This paper presents the design of a comparator derived from a differential amplifier and cross invertors (StrongARM latch) in 180 nm CMOS technology. While observing the changes in the transient analysis of the two output voltages, it has been established what the value of load capacitance could be. Delay time has also been measured from the transient response so that the speed of the comparator could be determined. As well, offset and noise were measured and compared to the value of the least significant bit. The offset was measured with Monte Carlo Analysis and the input noise was measured by using different sets of analyses. Their value changed accordingly to the channel width of the most significant transistors. After measuring, a layout was made so that the parasitic values could be extracted. The key parameters (delay time, offset and noise) were then simulated and compared to the ideal values which were measured at the beginning. In addition to the nominal values, the simulations were also performed with the change of supply voltage, temperature and different technology corners.

Keywords: *StrongARM latch*, comparator, offset voltage, referred-to-input noise, delay time, load capacitance, least significant bit