

SVEUČILIŠTE U ZAGREBU
FAKULTET ELEKTROTEHNIKE I RAČUNARSTVA

Ivana Franković, Franjo Mikić

**Temperaturna karakterizacija i
kompenzacija otpornika u 180 nm
CMOS tehnologiji**

Zagreb, 2023.

Ovaj rad izrađen je na Zavodu za elektroniku, mikroelektroniku, računalne i inteligentne sustave pod vodstvom prof. dr. sc. Adrijana Barića i predan je na natječaj za dodjelu Rektorove nagrade u akademskoj godini 2022./2023.

SADRŽAJ

Popis slika	v
Popis tablica	vii
1. Uvod	1
2. Topologija čipa za karakterizaciju otpornika	2
2.1. Analiza raspoloživih vrsta otpornika	2
2.2. Dizajn otpornika	4
2.3. Sučelje s analognim sklopkama	7
2.4. Polje otporničkih ćelija	11
2.5. Dekoderi za odabir otporničkih ćelija	13
2.6. Spoj dekodera i polja otporničkih ćelija	16
3. Simulacije rada čipa	19
3.1. Opis mjernog sustava	19
3.2. Temperaturne i naponske simulacije	20
3.3. Monte Carlo simulacije	21
3.4. Simulacije struja curenja	23
4. Kompenzacija temperaturnog koeficijenta prvog reda	25
4.1. Serijska i kompozitne topologije otpornika	25
4.2. Simulacije topologija u Cadence Virtuosu	28
4.3. MATLAB model	30
4.4. Simulacije topologija u MATLAB-u	35
5. Zaključak	39
Literatura	40

Sažetak	42
Summary	43

POPIS SLIKA

2.1.	Prikaz slojnog otpora i temperaturnih koeficijenata prvog i drugog reda.	3
2.2.	Primjer topološkog nacrtu za oba tipa otpornika: (a) difuzijski otpornik s jednim prstom i dva neaktivna otpornika iznad i ispod otpornika, (b) polisilicijski otpornik s 5 prstiju i dva neaktivna otpornika.	5
2.3.	Shema četverožičnog mjerenja otpora. R_{real} predstavlja mjereni otpor.	7
2.4.	Shema i topološki nacrt analogne sklopke.	8
2.5.	Ovisnost otpora sklopki u vođenju o ulaznom naponu V_{IN}	9
2.6.	Topološki nacrt sučelja s analognim sklopkama.	10
2.7.	Topološki nacrt otporničke ćelije.	11
2.8.	Shema polja otporničkih ćelija.	12
2.9.	Topološki nacrt polja otporničkih ćelija.	13
2.10.	Dekoder s 2 ulaza i 4 izlaza.	14
2.11.	Sheme dekodera.	15
2.12.	Topološki nacrt dekodera i prvih 9 otporničkih ćelija polja.	16
2.13.	Topološki nacrt čipa s prstenom spojnih polja.	18
3.1.	Mjerni sustav za provedbu simulacija rada čipa.	19
3.2.	Simulacija mjerenja prvog retka polja otporničkih ćelija.	20
3.3.	Mjerni sustav za provedbu simulacija struja curenja.	24
4.1.	Prikaz svih kompozitnih topologija i serijske topologije.	26
4.2.	Prikaz površine za svaku od topologija.	28
4.3.	Otpori svih topologija u ovisnosti o temperaturi.	29
4.4.	Srednje vrijednosti i standardne devijacije $TC1$ za sve topologije. . . .	30
4.5.	Srednje vrijednosti $TC2$ za sve topologije.	30
4.6.	Monte Carlo simulacije uz različite korelacije.	34
4.7.	Monte Carlo simulacije neusklađenosti.	34
4.8.	Usporedba srednjih vrijednosti i standardnih devijacija.	35

4.9. Temperaturni koeficijenti prvog reda.	36
4.10. Otpori topologija modeliranih u MATLAB-u u ovisnosti o temperaturi.	36
4.11. Monte Carlo simulacije otpora za različite korelacije.	37
4.12. Monte Carlo simulacije <i>TCI</i> za različite korelacije.	38
4.13. Utjecaj procesnih varijacija i korelacije na rasipanje <i>TCI</i>	38

POPIS TABLICA

2.1. Temperaturni koeficijent TCI odabranih otpornika	4
2.2. Popis svih otpornika poredanih od nižih prema višim vrijednostima otpora	6
2.3. Dimenzije tranzistora	8
2.4. Pogreška mjerenog otpora	10
2.5. Naziv voda i njegova pripadna širina	12
2.6. Tablica stanja za dekodier 2-u-4	14
2.7. Popis pinova	17
3.1. Simulacije utjecaja radne temperature na mjereni otpor ($V_{DD} = 1,8 \text{ V}$)	21
3.2. Simulacije utjecaja napona napajanja na mjereni otpor ($T = 27 \text{ }^\circ\text{C}$) . .	22
3.3. Monte Carlo simulacije s utjecajem mjernog sustava ($T = 27 \text{ }^\circ\text{C}$, V_{DD} $= 1.8 \text{ V}$)	23
3.4. Monte Carlo simulacije bez utjecaja mjernog sustava ($T = 27 \text{ }^\circ\text{C}$, V_{DD} $= 1.8 \text{ V}$)	23
3.5. Simulacije struja curenja ($V_{DD} = 1,8 \text{ V}$)	24
4.1. Temperaturni koeficijenti TCI odabranih otpornika	26
4.2. Vrijednosti otpornika za sve topologije od $100 \text{ k}\Omega$	27
4.3. Parametri korišteni u MATLAB modelu	33

1. Uvod

Danas je elektronika postala sveprisutna i koristi se u područjima kao što su automobilska, zrakoplovna, svemirska i vojna industrija u kojima korišteni uređaji rade u vrlo širokom rasponu temperatura [1]. Ispravan i stabilan rad tih uređaja očekuje se neovisno o temperaturi okoline u kojoj se nalaze. Kako bi se to ostvarilo, u takvim uređajima potrebno je koristiti precizne i temperaturno kompenzirane sklopove kao što su različiti tipovi oscilatora, strujne/naponske reference i drugi [2, 3, 4, 5]. Ovisno o izvedbi sklopova, značajan utjecaj na njihovu temperaturnu stabilnost imaju korišteni otpornici koji se i sami temperaturno mijenjaju. Zato je potrebno okarakterizirati temperaturno ponašanje otpornika kako bi se odredio i po potrebi kompenzirao njihov utjecaj.

U ovom radu prikazan je razvoj sustava za temperaturnu karakterizaciju otpornika u 180 nm CMOS tehnologiji. Pomoću njega moguće je četverožičnim mjerenjem okarakterizirati 200 otpornika različitih tipova i dimenzija. Sustav je realiziran kao polje otpornika s 20 redaka i 10 stupaca uz mogućnost mjerenja svakog pojedinog otpornika dovođenjem odgovarajućih vanjskih signala na ulaze sustava [6], [7].

Okarakterizirane otpornike moguće je upotrijebiti za modeliranje otporničkih topologija s kompenziranim temperaturnim koeficijentom. Topologije mogu biti različitih složenosti, od jednostavnog serijskog ili paralelnog spoja dva otpornika do serijsko-paralelnih kombinacija koje koriste više otpornika. U ovom radu proučeno je 5 takvih topologija s naglaskom na utjecaj varijacija u procesu izrade čipa na njihove performanse.

Razvijeni sustav implementiran je na čipu i poslan na procesiranje.

2. Topologija čipa za karakterizaciju otpornika

2.1. Analiza raspoloživih vrsta otpornika

U korištenoj 180 nm CMOS tehnologiji postoji više različitih vrsta otpornika (polisilicijski, difuzijski i otpornici izvedeni kao otok n -tipa (engl. *well resistors*)) koji se razlikuju prema vrijednosti slojnog otpora (engl. *sheet resistance*) i temperaturnih koeficijenata (engl. *temperature coefficients, TC*). U tehničkim specifikacijama temperaturni koeficijenti prikazani su kao konstante, dok u stvarnosti ovise o širini W i duljini L otpornika [8]. Temperaturna ovisnost otpornika prikazana je jednadžbom:

$$R(T) = R_0 \cdot (1 + TC1 \cdot \Delta T + TC2 \cdot \Delta T^2), \quad (2.1)$$

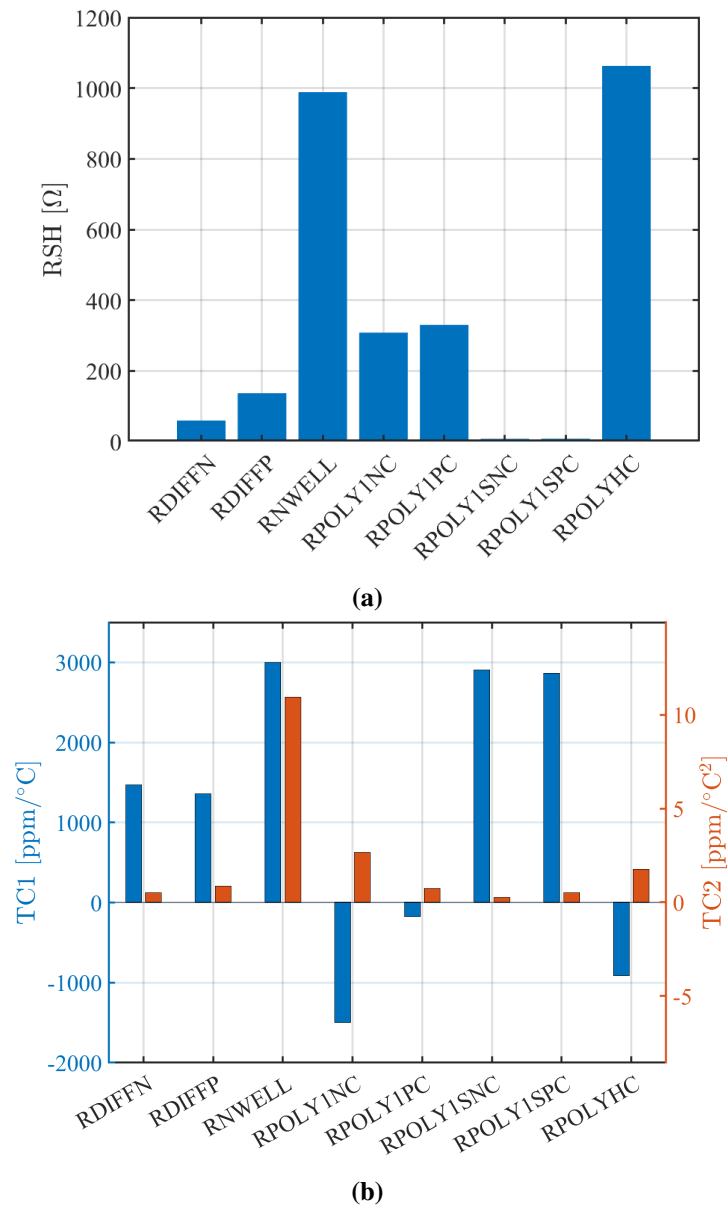
gdje je R_0 otpor na nominalnoj temperaturi T_0 , $TC1$ i $TC2$ su temperaturni koeficijenti prvog i drugog reda te ΔT predstavlja razliku između trenutne temperature T i nominalne temperature T_0 .

Postoji 8 različitih vrsta otpornika u ovoj 180 nm CMOS tehnologiji (*RDIFFN*, *RDIFFP*, *RN WELL*, *RPOLYINC*, *RPOLYIPC*, *RPOLYISNC*, *RPOLYISPC*, *RPOLYHC*). Otpor je određen slojnim otporom R_{SH} te dimenzijama W i L :

$$R = R_{SH} \cdot \frac{L}{W}. \quad (2.2)$$

Slojni otpor predstavlja otpor po jediničnom kvadratu izrađen od tankog materijala te se koristi za usporedbu električnih svojstava komponenti koje se razlikuju po veličini. Za fiksnu vrijednost otpora R i širine W , slojni otpor R_{SH} obrnuto je proporcionalan duljini L , te posljedično i površini otpornika. S obzirom da je cijena čipa proporcionalna s površinom, želimo manju duljinu otpornika L odnosno veći slojni otpor. S ciljem spajanja otpornika u različite topologije (serijske, paralelne, serijsko-paralelne i paralelno-serijske) potrebno je odabrati dva različita otpornika, jednog s pozitivnim i

drugog s negativnim temperaturnim koeficijentom. Vrijednost otpornika ovisi o temperaturi (2.1) te promjena otpora u odnosu na nominalni otpor uzrokovana promjenom temperature je manja ukoliko su temperaturni koeficijenti manjeg iznosa. Slika 2.1a prikazuje vrijednosti slojnog otpora dok slika 2.1b prikazuje iznose temperaturnih koeficijenata prvog i drugog reda za sve prethodno navedene otpornike.



Slika 2.1: Prikaz slojnog otpora i temperaturnih koeficijenata prvog i drugog reda.

Pri odabiru otpornika potrebno je zadovoljiti dva prethodno navedena uvjeta: veći slojni otpor i što manji $TC1$ i $TC2$. Najmanje iznose pozitivnog temperaturnog koeficijenta prvog reda imaju otpornici $RDIFFN$ i $RDIFFP$. $RDIFFP$ ima veću vrijednost slojnog otpora dok su im vrijednosti temperaturnog koeficijenta drugog reda slične. S

druge strane, otpornik *RPOLYIPC* ima najmanji apsolutni iznos negativnog $TC1$, relativno malu vrijednost $TC2$ i jednu od većih vrijednosti slojnih otpora. Zbog navedenog odabrani su otpornici *RDIFFP* i *RPOLYIPC* za daljnju analizu. Tablica 2.1 prikazuje temperaturne koeficijente prvog reda odabranih otpornika.

Tablica 2.1: Temperaturni koeficijent $TC1$ odabranih otpornika

Tip otpornika	$TC1$ [ppm/°C]
<i>RPOLYIPC</i>	-242
<i>RDIFFP</i>	1257

2.2. Dizajn otpornika

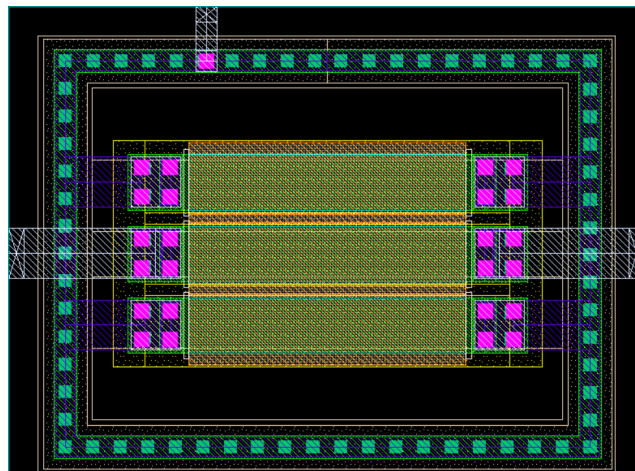
Čip za karakterizaciju temperaturnog koeficijenta prvog reda sastavljen je od ukupno 200 otpornika; 100 *RPOLYIPC* i 100 *RDIFFP* otpornika. Svaki otpornik određen je s brojem prstiju (engl. *fingers*), širinom W i duljinom L .

Ovi parametri definiraju naziv otpornika: $RP_FX_WY_LZ$ za *RPOLYIPC* i $RD_FX_WY_LZ$ za *RDIFFP*. Parametar X definira broj prstiju, Y širinu, a Z duljinu otpornika. Otpornik se može sastojati od 1, 5 ili 9 serijski spojenih prstiju od kojih svaki može imati četiri različite širine (0,5 μm , 1 μm , 2 μm , 4 μm) i četiri različite duljine (5 μm , 20 μm , 50 μm , 100 μm).

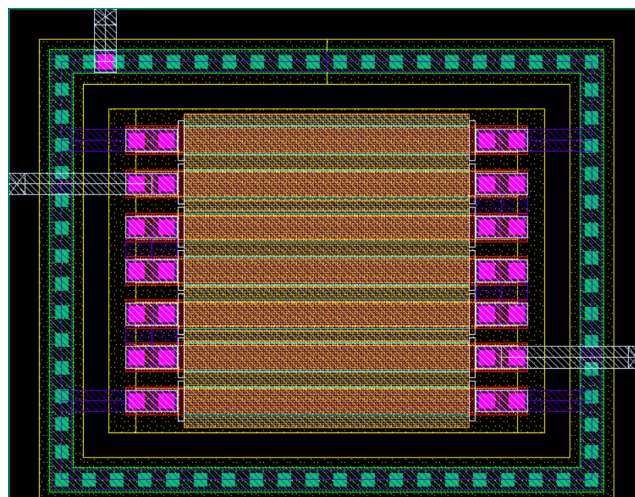
Na ovaj način formirano je 32 *RPOLYIPC* i 32 *RDIFFP* različitih otpornika čije su vrijednosti prikazane tablicom 2.2. Vrijednosti su poredane od nižih prema višima. U skupini *RPOLYIPC* otpornika, najveća vrijednost otpora iznosi 619,2 $\text{k}\Omega$, a najmanja 441,8 Ω . Najveći otpor kod *RDIFFP* otpornika iznosi 219,6 $\text{k}\Omega$, a najmanji 187,1 Ω . Za istu širinu i duljinu te jednaki broj prstiju, *RPOLYIPC* otpornik imat će veći iznos otpora zbog većeg slojnog otpora nego *RDIFFP* otpornik.

Slika 2.2 prikazuje primjer topološkog nacrt (engl. *layout*) za dva različita otpornika. Otpornici su podijeljeni na više prstiju kako bi imali sveukupno manju površinu. S različitim brojem prstiju može se definirati različita duljina i širina otpornika. Otpor jednog prsta je manjeg iznosa od željenog, ali spajanjem prstiju u seriju može se postići željeni otpor. Također, dijeljenjem otpornika na više prstiju smanjuje se paraziten kapacitet od otpornika prema supstratu koji negativno utječe na performanse sklopa. Topološki nacrt otpornika sadrži zaštitni prsten (engl. *guard ring*) oko samog otpornika koji je za *RPOLYIPC* otpornike spojen na referentni potencijal V_{SS} , a za *RDIFFP* na visoki potencijal V_{NWELL} . Zaštitni prsten se koristi za stabilizaciju potencijala supstrata

što smanjuje utjecaj smetnji od drugih komponenti sklopa. Postavljanjem dva neaktivna (engl. *dummy*) otpornika ispod i iznad primarnog otpornika, svaki prst otpornika imat će isto okruženje što doprinosi boljem usklađivanju između više otpornika [9]. Neaktivni otpornici spojeni su na zaštitni prsten kako bi imali točno definirani napon. Neaktivni otpornici električki ne utječu na sklop te su određeni primarnim otpornikom, odnosno neaktivni otpornik je istih dimenzija i istog tipa kao i jedan prst definiranog otpornika. S ciljem smanjenja otpora spoja otpornika prema metalnom vodu, sa svake strane otpornika postavljena su dva stupca kontakata. Broj redaka kontakata određen je sa širinom prsta otpornika.



(a) RD_F1_W1_L5.



(b) RP_F5_W0.5_L5.

Slika 2.2: Primjer topološkog nacrtu za oba tipa otpornika: (a) difuzijski otpornik s jednim prstom i dva neaktivna otpornika iznad i ispod otpornika, (b) polisilicijski otpornik s 5 prstiju i dva neaktivna otpornika.

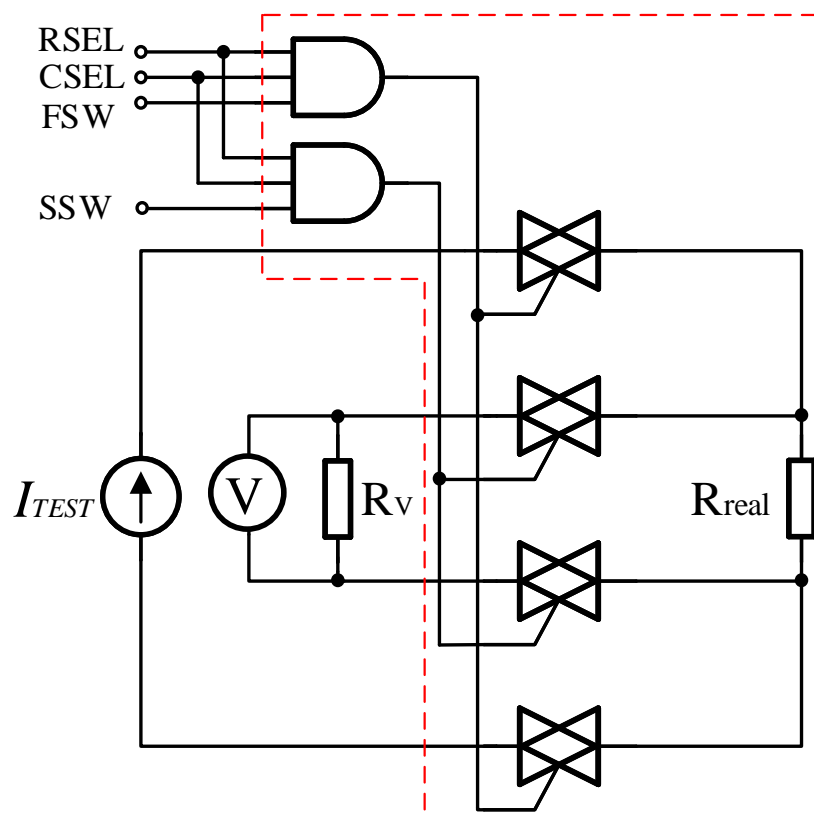
Tablica 2.2: Popis svih otpornika poredanih od nižih prema višim vrijednostima otpora

<i>RPOLYIPC</i>	<i>R</i> [Ω]	<i>RDIFFP</i>	<i>R</i> [Ω]
RP_F1_W4_L5	442	RD_F1_W4_L5	188
RP_F1_W2_L5	890	RD_F1_W2_L5	368
RP_F1_W4_L20	1658	RD_F1_W4_L20	704
RP_F1_W2_L10	1707	RD_F1_W2_L10	706
RP_F1_W1_L5	1805	RD_F1_W1_L5	711
RP_F5_W4_L5	2209	RD_F5_W4_L5	936
RP_F1_W2_L20	3340	RD_F1_W0.5_L5	1333
RP_F1_W1_L10	3464	RD_F1_W1_L10	1363
RP_F1_W0.5_L5	3715	RD_F1_W2_L20	1382
RP_F9_W4_L5	3976	RD_F9_W4_L5	1684
RP_F1_W1_L20	6781	RD_F1_W1_L20	2666
RP_F1_W4_L100	8142	RD_F1_W2_L50	3412
RP_F1_W2_L50	8241	RD_F1_W4_L100	3462
RP_F5_W4_L20	8289	RD_F5_W4_L20	3521
RP_F1_W0.5_L20	14,0 k	RD_F1_W0.5_L20	4979
RP_F9_W4_L20	14,9 k	RD_F9_W4_L20	6338
RP_F1_W2_L100	16,4 k	RD_F1_W1_L50	6578
RP_F1_W1_L50	16,7 k	RD_F5_W0.5_L5	6667
RP_F5_W2_L20	16,7 k	RD_F1_W2_L100	6794
RP_F5_W0.5_L5	18,6 k	RD_F5_W2_L20	6912
RP_F9_W2_L20	30,1 k	RD_F9_W0.5_L5	12,0 k
RP_F1_W1_L100	33,3 k	RD_F9_W2_L20	12,4 k
RP_F9_W0.5_L5	33,4 k	RD_F1_W1_L100	13,1 k
RP_F5_W1_L20	33,9 k	RD_F5_W1_L20	13,3 k
RP_F5_W4_L100	40,7 k	RD_F5_W4_L100	17,3 k
RP_F9_W1_L20	61,0 k	RD_F9_W1_L20	24,0 k
RP_F1_W0.5_L100	68,8 k	RD_F1_W0.5_L100	24,4 k
RP_F5_W0.5_L20	70,0 k	RD_F5_W0.5_L20	24,9 k
RP_F9_W4_L100	73,3 k	RD_F9_W4_L100	31,2 k
RP_F9_W0.5_L20	126,0 k	RD_F9_W0.5_L20	44,8 k
RP_F5_W0.5_L100	344,0 k	RD_F5_W0.5_L100	122,0 k
RP_F9_W0.5_L100	619,2 k	RD_F9_W0.5_L100	219,6 k

2.3. Sučelje s analognim sklopkama

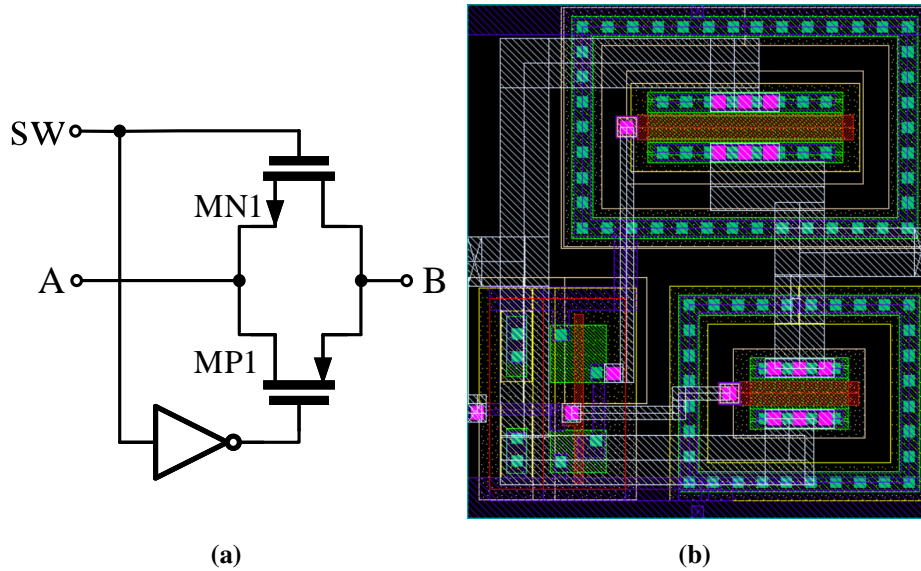
Mjerenje otpornika izvedeno je koristeći četverožično mjerenje (engl. *4-wire measurement*) zbog visoke točnosti te metode. Slika 2.3 prikazuje implementaciju navedene metode gdje su obje strujne i naponske priključnice spojene preko analognih sklopki na mjereni otpornik. Ovim načinom, koristeći 4 upravljive analogne sklopke moguće je uključiti ili isključiti naponske i strujne priključnice za mjerenje.

Polje otpornika organizirano je u 20 redaka i 10 stupaca. U jednom trenutku moguće je odabrati jedan otpornik od ukupno 200 otpornika složenih u polje, odnosno jedan stupac i jedan redak polja. Odabirom retka i stupca polja, odgovarajući signali *RSEL* (engl. *row select*) i *CSEL* (engl. *column select*) postavljeni su u visoku razinu. Uz ove signale, postoje i signali *FSW* (engl. *force switch select*) i *SSW* (engl. *sense switch select*) od kojih *FSW* postavljen u visoku razinu služi za omogućavanje rada sklopki na strujnim priključnicama i protok struje kroz otpornike, a *SSW* postavljen u visoku razinu omogućuje rad sklopki na naponskim priključnicama i mjerenje napona na otporniku. Zaključno, za mjerenje odabranog otpornika potrebno je postaviti sve pripadne signale u visoku razinu.



Slika 2.3: Shema četverožičnog mjerenja otpora. R_{real} predstavlja mjereni otpor.

Shema i topološki nacrt analogne sklopke prikazani su na slici 2.4. Analogna sklopka se sastoji od pMOS *MP1*, nMOS *MN1* tranzistora i jednog invertora. Dimenzije korištenih tranzistora dane su u tablici 2.3.



Slika 2.4: Shema i topološki nacrt analogne sklopke.

Tablica 2.3: Dimenzije tranzistora

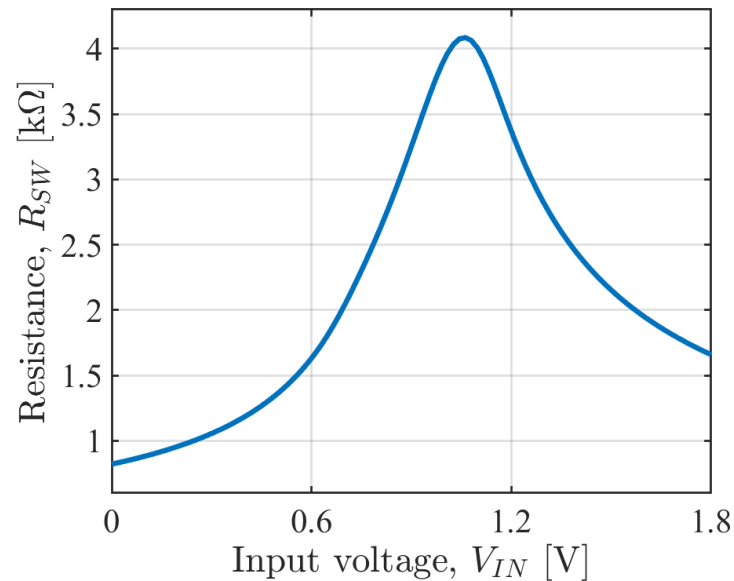
Tranzistor	Širina W [μm]	Duljina L [μm]
<i>MN1</i>	2	0,5
<i>MP1</i>	4	0,5

Otpor sklopke u vođenju ovisi o njezinom ulaznom naponu. Za pMOS sklopke, otpor sklopke u vođenju $R_{ON,pMOS}$ veći je za male razine ulaznog napona V_{IN} i strogo je ograničen s naponom praga s donje strane, dok je za nMOS sklopke, otpor sklopke u vođenju $R_{ON,nMOS}$ veći za veće razine ulaznog napona te naglo raste približavanjem napona V_{IN} naponu V_{DD} umanjenom za napon praga V_{TH} . Kako bi se postigao puni hod ulaznog napona koriste se komplementarne sklopke, odnosno sklopke s pMOS i nMOS tranzistorima. Otpor CMOS komplementarne sklopke u vođenju R_{SW} može se izračunati kao paralelna kombinacija otpora pMOS i nMOS sklopke u vođenju:

$$R_{SW} = R_{ON,pMOS} || R_{ON,nMOS}, \quad (2.3)$$

$$R_{SW} = \frac{1}{\mu_p C_{OX} \left(\frac{W}{L}\right)_P (V_{DD} - |V_{THp}|)} || \frac{1}{\mu_n C_{OX} \left(\frac{W}{L}\right)_N (V_{DD} - V_{IN} - V_{THn})} \quad (2.4)$$

gdje C_{OX} označava kapacitet oksida po jedinici površine, μ_p pokretljivost šupljina i μ_n pokretljivost elektrona. Karakteristika otpora korištene sklopke prikazana je na slici 2.5. Otpor CMOS sklopke u vođenju definiran je na cijelom rasponu ulaznog napona. Spajanjem pMOS i nMOS tranzistora u paralelu postiže se dobar iznos otpora u cijelom rasponu ulaznih napona. Na ovaj način smanjen je otpor analogne sklopke. Najveća vrijednost otpora sklopke je 4100Ω te se javlja pri polovici napona napajanja (0,9 V).



Slika 2.5: Ovisnost otpora sklopke u vođenju o ulaznom naponu V_{IN} .

Prema slici 2.3 slijedi izračun mjerenog otpora:

$$R_M = \frac{V_V}{I_{TEST}}, \quad (2.5)$$

gdje V_V označava napon mjeren voltmetrom i I_{TEST} struju strujnog izvora. Unutarnji otpor voltmetra R_V i otpor CMOS analognih sklopki u vođenju R_{SW} koje pripadaju naponskim priključnicama pridonose pogrešci mjerenog otpora. Prisutnost ovog efekta može se vidjeti raspisivanjem jednadžbe (2.5) na sljedeći način:

$$R_M = \frac{R_{real} \cdot R_V}{R_{real} + R_V + 2R_{SW}}, \quad (2.6)$$

gdje je R_{real} vrijednost stvarnog otpora, R_V unutarnji otpor voltmetra i R_{SW} otpor CMOS sklopke u vođenju. Pogreška mjerenog otpora u odnosu na vrijednost stvarnog otpora može se smanjiti povećanjem unutarnjeg otpora voltmetra R_V i smanjenjem otpora CMOS sklopki u vođenju R_{SW} . Tablica 2.4 prikazuje vrijednosti pogreške za dvije različite vrijednosti stvarnog otpora R_{real} . Vrijednost unutarnjeg otpora voltmetra je $1 \text{ M}\Omega$ dok je za vrijednost otpora CMOS sklopke u vođenju uzeta najveća vrijednost

od 4100Ω . Na ovaj način dobivena je najveća moguća pogreška. Za manje vrijednosti stvarnog otpora dobivene su manje pogreške mjerenog otpora. Budući da je za velike otpore pogreška u mjerenju velika, utjecaj otpora voltmetra mora se uzeti u obzir i ta pogreška će se kompenzirirati.

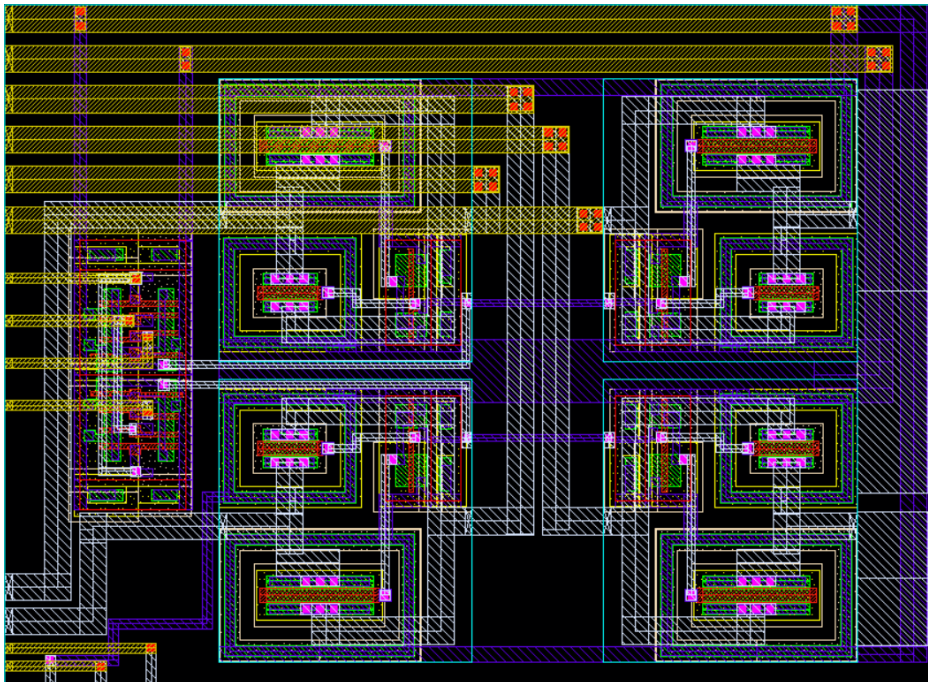
Tablica 2.4: Pogreška mjerenog otpora

$R_V [\Omega]$	1 M	1 M
$R_{SW} [\Omega]$	4100	4100
$R_{real} [\Omega]$	187,1	619,2 k
$R_{meas} [\Omega]$	185,51	380,5k
Pogreška [%]	-0,83	-38,6

U većini slučajeva, otpor sklopki u vođenju može biti zanemaren ako je vrijednost stvarnog otpora velika. U tom slučaju, formula za izračun stvarne vrijednosti otpora R_{real} pomoću unutarnjeg otpora voltmetra R_V i izmjenog otpora R_M glasi:

$$R_{real} = \frac{R_V \cdot R_M}{R_V - R_M}. \quad (2.7)$$

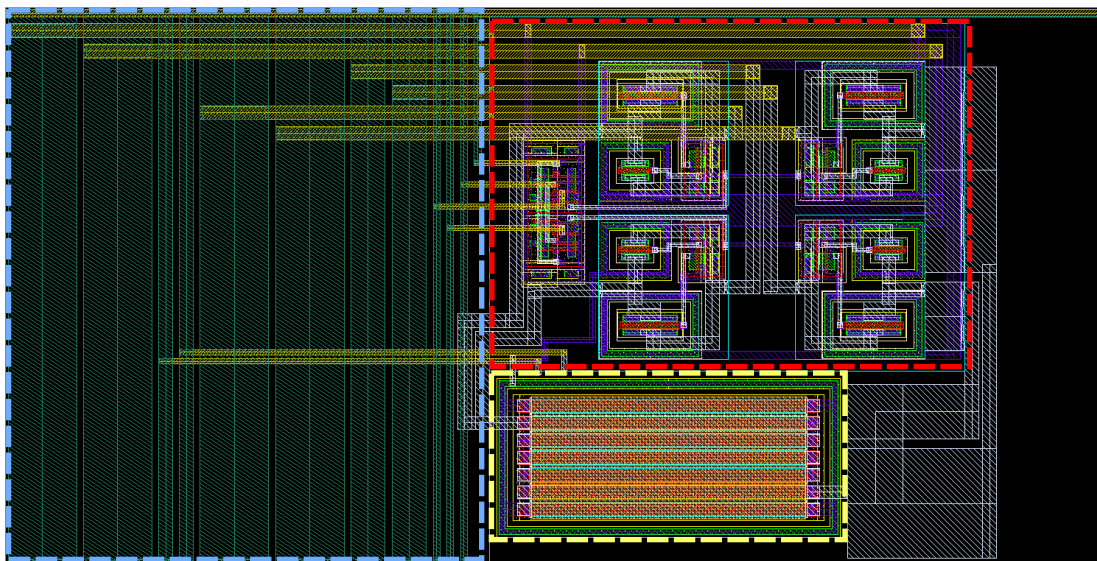
Crveno zaokruženi dio na slici 2.3 predstavlja sučelje s 4 analogne sklopke. Topološki nacrt sučelja prikazan je na slici 2.6.



Slika 2.6: Topološki nacrt sučelja s analognim sklopkama.

2.4. Polje otporničkih ćelija

Slika 2.7 prikazuje topološki nacrt otporničke ćelije koji se sastoji od tri glavna dijela: sučelja s analognim sklopovima zaokruženo crvenom bojom, otpornika zaokruženo žutom bojom i sabirnice zaokružene plavom bojom. Otporničke ćelije mogu imati dvije različite duljine (80 μm i 100 μm) i četiri različite širine (40,5 μm , 50 μm , 61,5 μm i 80 μm) što ukupno daje 8 različitih površina otporničkih ćelija. Najveća stvorena ćelija ima širinu 80 μm i duljinu 100 μm dok najmanja ima širinu 40,5 μm i duljinu 80 μm .



Slika 2.7: Topološki nacrt otporničke ćelije.

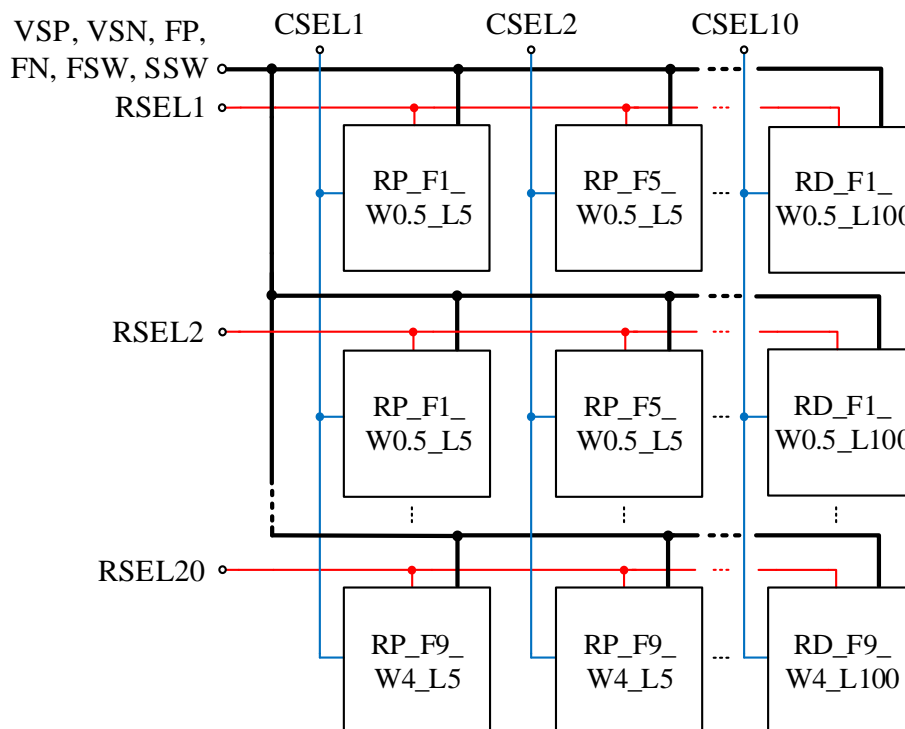
Sabirnica, zaokružena plavom bojom na slici 2.7, sadži 11 signala postavljenih vertikalno. Ukupno postoje 4 različite širine vodova. Vodovi za analognu napajanje V_{DDA} i V_{SSA} imaju veću širinu od drugih vodova zbog važnosti za rad sklopa. Širina voda obrnuto je proporcionalna impedanciji voda te kako bi pad napona na vodovima za analognu napajanje bio što manji, potrebno je povećati širinu tih vodova. Također, pinovi FP i FN , kroz koje prolazi struja, imaju veću širinu voda zbog smanjenja pada napona na tomvodu. Ova 4 signala imaju najveću širinu vodova dok kroz vodove koji priključuju voltmetar na otpornik (V_{SP} i V_{SN}) i vodove za napajanje zaštitnog prstena otpornika (V_{NWELL} i V_{PWELL}) teče struja manjeg iznosa te širina voda može biti manja. Digitalni signali mogu imati najmanju širinu vodova. Naziv voda i njegova pripadna širina prikazani su tablicom 2.5. Razmak između dva susjedna voda u sabirnici iznosi 0,5 μm . Vod za odabir retka $RSEL$ položen je vodoravno na vrhu otporničke ćelije.

Smještanjem otporničkih ćelija jedne do druge formirano je polje s 20 redaka i

Tablica 2.5: Naziv voda i njegova pripadna širina

Naziv voda	Širina voda [μm]
V_{DDA}, V_{SSA}, FP, FN	5
VSP, VSN	2,5
V_{NWELL}, V_{PWELL}	1
$FSW, SSW, CSEL, RSEL$	0,5

10 stupaca. Slika 2.8 pokazuje formirano polje sa 64 različite otporničke ćelije (64 različitih otpornika) koje se zatim ponavljaju 3 ili 4 puta kako bi se dostigao ukupan broj od 200 otporničkih ćelija. Kao što je i prije navedeno, može se odabrati bilo koja ćelija za mjerenje postavljanjem odgovarajućih signala $RSEL$ i $CSEL$ u visoku razinu. Na primjer, ako su $RSEL3$ i $CSEL7$ postavljeni u visoku razinu, odabrana ćelija nalazi se u trećem retku i sedmom stupcu. Uz ove signale, u visoku razinu moraju biti postavljeni i signali FSW i SSW koji omogućuju rad sklopki u naponskim i strujnim priključnicama četverožičnog mjerenja. Tada je postavljena struja kroz pinove FP i FN te je napon na priključnicama VSP i VSN spreman za mjerenje. Znajući struju kroz otpornik te napon izmjeren voltmetrom, otpor odabrane ćelije može biti izračunat prema Ohmovom zakonu.



Slika 2.8: Shema polja otporničkih ćelija.

Slika 2.9 prikazuje topološki nacrt polja otporničkih ćelija. Vertikalni vodovi prikazani u tablici 2.5, spojeni su horizontalnom sabirnicom koja se nalazi na vrhu polja otporničkih ćelija.

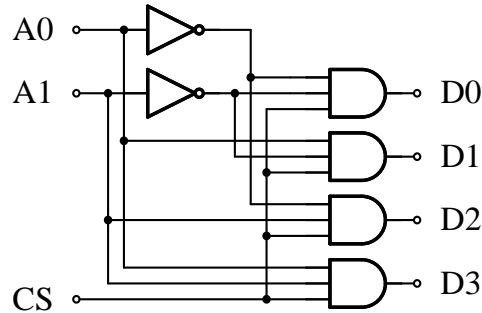


Slika 2.9: Topološki nacrt polja otporničkih ćelija.

2.5. Dekoderi za odabir otporničkih ćelija

Za odabir željenog otpornika za mjerenje, potrebno je postaviti odgovarajući signal za redak ($RSEL1 - RSEL20$) i za stupac ($CSEL1 - CSEL10$) u visoku razinu. Signali za odabir retka i stupca generirani su dvama odvojenim dekoderima. Osnovni blok

dekodera za stupce i za retke je dekodер 2-u-4, odnosno dekodер s 2 ulaza ($A0, A1$), 4 izlaza ($D0 - D3$) i s jednim upravljačkim signalom CS (engl. *Chip select*). Logički dijagram dekodera 2-u-4 prikazan je na slici 2.10. Postavljanjem upravljačkog signala CS u jedinicu omogućuje se rad dekodera, a zatim i rad dekodera za odabir stupca i retka, odnosno rad cijelog sklopa.



Slika 2.10: Dekoder s 2 ulaza i 4 izlaza.

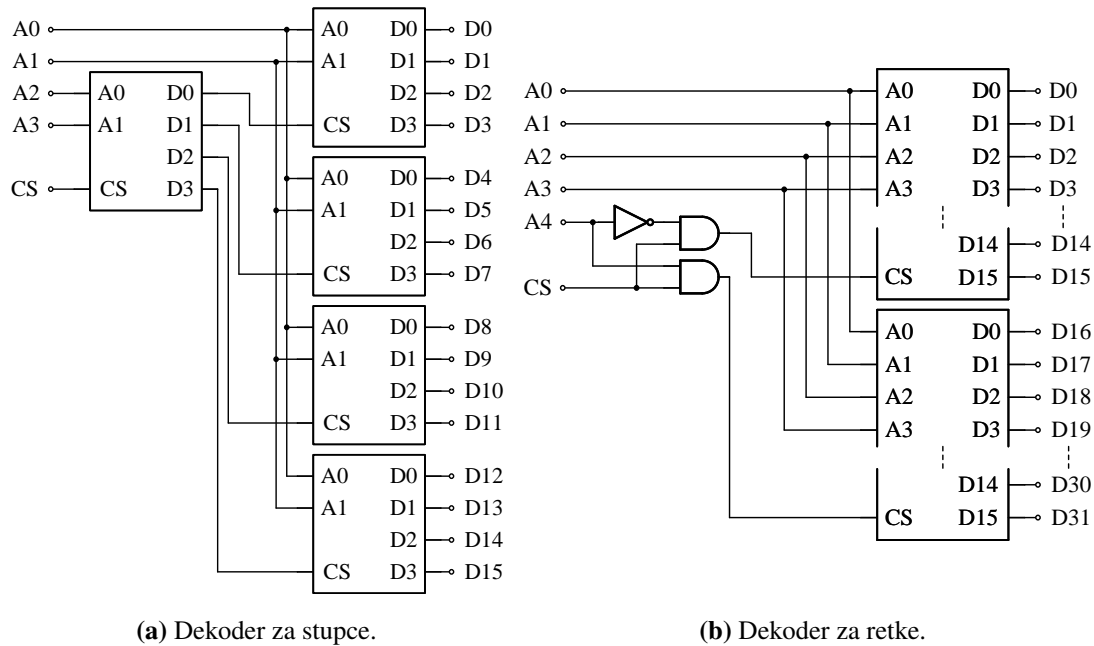
Tablica 2.6 prikazuje tablicu istinitosti za dekodер 2-u-4. Za svaku ulaznu binarnu kombinaciju postoji samo jedan izlaz čija je vrijednost jednaka jedinici, odnosno svaka pojedina ulazna kombinacija odabire samo jedan od ukupnih četiri izlaza. Ako je signal CS postavljen u logičku nulu nije odabran niti jedan izlaz.

Tablica 2.6: Tablica stanja za dekodер 2-u-4

CS	$A1$	$A0$	$D3$	$D2$	$D1$	$D0$
0	x	x	0	0	0	0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

S obzirom da je broj stupaca u polju otporničkih ćelija jednak 10, dekodер za odabir stupca mora imati broj izlaza jednak ili veći od 10. Najmanji takav dekodер je dekodер sa 16 izlaza i 4 ulaza. Dekodер 4-u-16 prikazan na slici 2.11a, realiziran je kombinacijom pet dekodera 2-u-4. Ulazi dekoderske mreže su $A3, A2, A1, A0$ koji se dijele u dvije grupe: ($A3, A2$) i ($A1, A0$). Formirana je dekoderska mreža u dva nivoa; u prvom nivou nalazi se jedan dekodер 2-u-4 s ulazima ($A3, A2$) dok se u drugom nivou nalaze 4 dekodera 2-u-4 s ulazima ($A1, A0$). Dekodер u prvom nivou generira izlaz koji dozvoljava rad jednog dekodera u drugom stupnju. Izlazi dekodera prvog stupnja su zapravo upravljački signali svih dekodera drugog stupnja. Zatim dekodер drugog

stupnja s upravljačkim signalom u jedinici odabire jedan svoj izlaz od ukupnih 4. Na ovaj način moguće je generirati 16 izlaza, od kojih će 6 ostati neiskorišteno s obzirom da polje otpornika ima 10 stupaca. Ako je signal *CS* koji dolazi na upravljački signal prvog stupnja postavljen u jedinicu, dekodera radi i odabire jedan izlaz na osnovu ulaznog binarnog koda. Suprotno, ako je *CS* postavljen u nulu, tada su i izlazi dekodera prvog stupnja postavljeni u nulu pa su i svi upravljački signali dekodera drugog stupnja jednaki nula te nije odabran niti jedan izlaz.

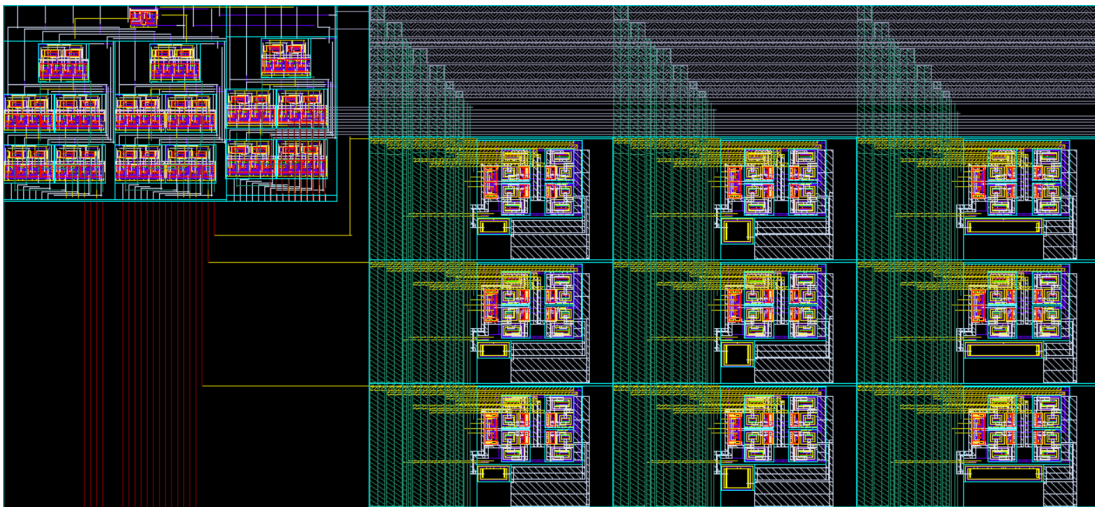


Slika 2.11: Sheme dekodera.

Dekoder za retke treba imati 20 ili više izlaza. To se postiže s dekodером 5-u-32, odnosno dekodером s 5 ulaza i 32 izlaza. Dekoder 5-u-32 prikazan na slici 2.11b, formiran je kombinacijom dva dekodera 4-u-16 u drugom stupnju i dodatnim logičkim sklopovima u prvom stupnju. Ulazi dekoderske mreže su *A4*, *A3*, *A2*, *A1*, *A0* koji se dijele u dvije grupe: *A4* i (*A3*, *A2*, *A1*, *A0*). U prvom stupnju nalazi se invertor na koji dolazi ulaz *A4* i dva logička I sklopa od kojih jedan ima ulazne signale *CS* i *A4*, a drugi signale *CS* i $\overline{A4}$. Izlazi iz I sklopova su zapravo upravljački signali dekodera 4-u-16 drugog stupnja. Dekoder u drugom stupnju s upravljačkim signalom u jedinici odabire jedan od svojih 16 izlaza. Na ovaj način moguće je generirati 32 izlaza, od kojih će 12 ostati neiskorišteno s obzirom da polje otpornika ima 20 redaka. Ako je signal *CS* postavljen u jedinicu, dekodera za retke bira određeni redak postavljanjem pripadnog izlaza u jedinicu. Ako je signal *CS* postavljen u nulu, dekodera ima sve izlaze u nuli te niti jedan redak nije izabran.

2.6. Spoj dekodera i polja otporničkih ćelija

Dekoder za stupce i dekodeer za retke postavljeni su u jednu ćeliju s 10 binarnih ulaza (5 ulaza za dekodeer za odabir retka, 4 ulaza za dekodeer za odabir stupca i CS) i s 48 izlaza (32 izlaza dobivenih pomoću dekodera za retke i 16 izlaza dobivenih pomoću dekodera za stupce). Izlazi dekodera za odabir stupca spajaju se na signale $CSEL1 - CSEL10$ dok se izlazi za odabir retka spajaju na signale $RSEL1 - RSEL20$ koji su ulazni signali polja otporničkih ćelija. Ćelija s dekodeerima je smještena pri vrhu lijevo od polja otporničkih ćelija. Slika 2.12 prikazuje topološki nacrt navedenih dekodera i prvih 9 otporničkih ćelija polja.



Slika 2.12: Topološki nacrt dekodera i prvih 9 otporničkih ćelija polja.

Kako bi smanjili utjecaj digitalnog dijela i njegovih smetnji na analogni dio, naponi napajanja i mase analognog i digitalnog dijela drže se odvojenima. Iz ovog razloga, dekodeeri i polje otporničkih ćelija imaju odvojene napone napajanja. Dekoder ima digitalno napajanje V_{DDD} od 1,8 V i digitalni referentni potencijal V_{SSD} spojen na masu. S obzirom da se polje otporničkih ćelija sastoji od analognog dijela čipa ima analogno napajanje V_{DDA} od 1,8 V i analogni referentni potencijal V_{SSA} spojen na masu. U nekom trenutku potrebno je napone digitalnog i analognog dijela združiti u zajedničku točku. Sukladno s ovime, kod spajanja topološkog nacrta polja otporničkih ćelija i ćelije s dekodeerima (slika 2.12), naponi napajanja digitalnog V_{DDD} i analognog V_{DDA} dijela spojeni su na napon V_{DD} od 1,8 V. Također, referentni naponi V_{SSD} i V_{SSA} spojeni su na referentni potencijal V_{SS} .

Tablica 2.7 prikazuje popis svih vanjskih pinova koji dolaze na čip. Ukupan broj vanjskih pinova je 20 od kojih se pin V_{PWELL} ne koristi. Postavljen je na pločicu u

slučaju mijenjanja otpornika *RPOLYIPC* ili *RDIFFP* za otpornik kojem je potrebno V_{PWELL} napajanje za zaštitni prsten. Napon napajanja V_{DD} i polarizacijski napon V_{NWELL} su spojeni na napon od 1,8 V dok je referentni napon V_{SS} spojen na masu. Na ulazne bitove za odabir stupca $IN_C1 - IN_C4$ i retka $IN_R1 - IN_R5$ upisuju se odgovarajuće binarne kombinacije ovisno o odabiru otpornika. Zatim kako bi dekoderi postavili od-

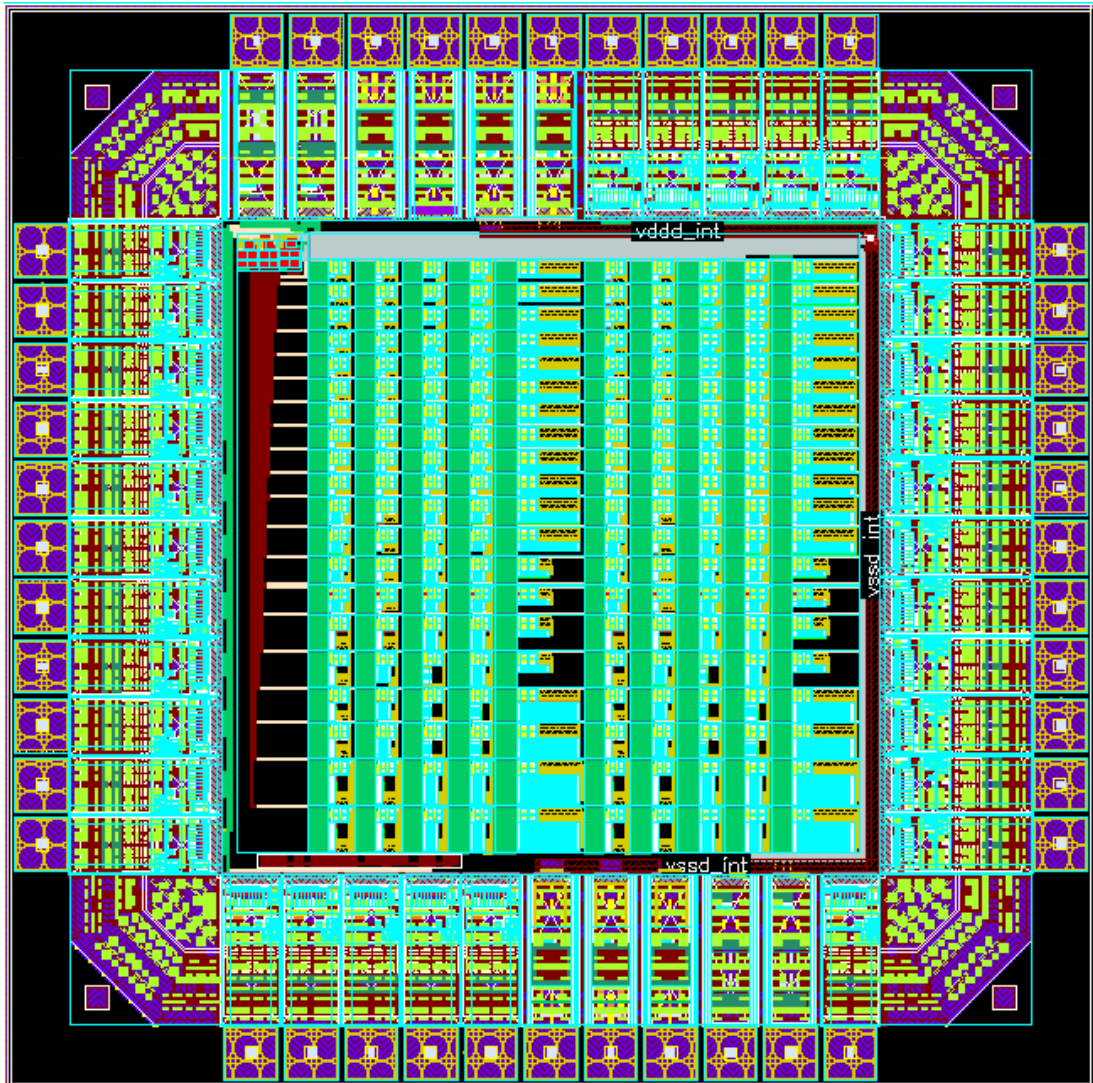
Tablica 2.7: Popis pinova

Naziv pina	Opis
V_{DD}	napon napajanja
V_{SS}	referentni napon
V_{NWELL}	polarizacijski napon <i>n</i> -otoka
V_{PWELL}	polarizacijski napon <i>p</i> -otoka
<i>FP</i>	ulazna stezaljka za struju (engl. <i>force pin, current in</i>)
<i>FN</i>	izlazna stezaljka za struju (engl. <i>force pin, current out</i>)
<i>VSP</i>	plus stezaljka za voltmetar (engl. <i>voltage sense positive</i>)
<i>VSN</i>	minus stezaljka za voltmetar (engl. <i>voltage sense negative</i>)
<i>SSW</i>	upravljački signal za omogućivanje rada sklopki na naponskim priključnicama
<i>FSW</i>	upravljački signal za omogućivanje rada sklopki na strujnim priključnicama
<i>CS</i>	upravljački signal za omogućavanje rada dekodera
$IN_C1 - IN_C4$	ulazni bitovi za odabir stupca
$IN_R1 - IN_R5$	ulazni bitovi za odabir retka

govarajuće signale *RSEL_x* i *CSEL_y* u visoku razinu, na upravljački signal *CS* potrebno je dovesti visoki potencijal od 1,8 V. Na ovaj način odabran je otpornik u *x* retku i *y* stupcu. Mjerenje otpora odabranog otpornika započinje priključivanjem voltmetra na priključke *VSP* i *VSN*. Kako bi definirana struja protekla kroz pinove *FP* i *FN* potrebno je omogućiti rad sklopki na strujnim priključnicama postavljanjem signala *FSW* u visoku razinu od 1,8 V. Nakon uspostavljanja definirane struje, potrebno je omogućiti rad sklopki na naponskim priključnicama postavljanjem signala *SSW* na 1,8 V kako bi voltmetar izmjerio pad napona na odabranom otporniku.

Topološki nacrt čipa za karakterizaciju temperaturnog koeficijenta prikazan je na slici 2.13. Oko ćelije sa spojenim poljem otporničkih ćelija i dekodera, postavljen je prsten spojnih polja (engl. *pad ring*). Prsten ima ukupno 44 spojnih polja, 11 polja sa svake strane koja mogu biti digitalna ili analogna. Prsten sadrži ESD zaštitu

(engl. *electrostatic discharge protection*).

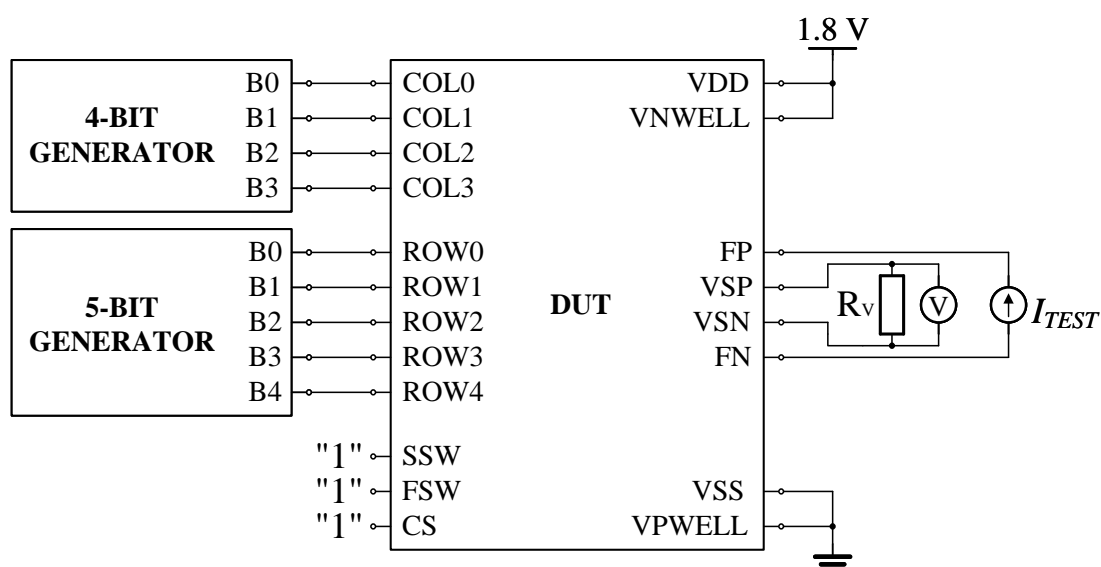


Slika 2.13: Topološki nacrt čipa s prstenom spojnih polja.

3. Simulacije rada čipa

3.1. Opis mjernog sustava

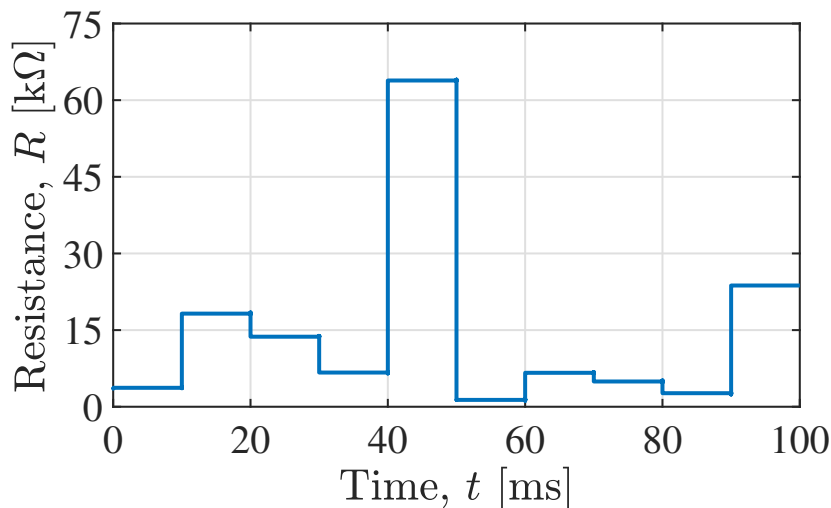
Za provedbu simulacija rada čipa korišten je mjerni sustav prikazan na slici 3.1. Na čip, označen s *DUT* (engl. *device under test*), dovode se svi signali koji su potrebni za njegov rad. Pomoću 4-bitnog generatora generiraju se digitalni signali u obliku BCD koda (engl. *binary-coded decimal*) koji se dovode na ulaze čipa *COL0* – *COL3* i njima se odabire željeni stupac u polju otporničkih ćelija. Na isti se način pomoću 5-bitnog generatora odabire željeni redak i njegovi signali dovode se na ulaze *ROW0* – *ROW4*. Na ulaze *CS*, *SSW* i *FSW* doveden je digitalni signal u visokom logičkom stanju 1 kako bi se omogućio rad dekodera i sklopki u odabranoj otporničkoj ćeliji. Svi opisani digitalni signali u visokom stanju 1 poprimaju napon od 1,8 V, a u niskom stanju 0 poprimaju napon od 0 V. Ulaz za napajanje V_{DD} i ulaz za polarizaciju n -otoka V_{NWELL} spojeni su na vanjsko napajanje od 1,8 V, a ulaz za masu V_{SS} i neiskorišteni ulaz V_{PWELL} spojeni su na referentni potencijal od 0 V.



Slika 3.1: Mjerni sustav za provedbu simulacija rada čipa.

Za određivanje otpora odabrane otporničke ćelije koristi se četverožično mjerenje; strujnim izvorom definira se struja I_{TEST} od 1 μA kroz priključke FP i FN , a pad napona na priključcima VSP i VSN mjeri se voltmetrom unutarnjeg otpora R_V od 1 $\text{M}\Omega$.

Kako bi se izmjerili svi otpori u polju otporničkih ćelija, generatori bitova postavljani su tako da svakih 10 ms generiraju novo stanje, tj. svakih 10 ms odabire se otpornička ćelija u idućem stupcu, redak po redak. Na slici 3.2 prikazana je simulacija mjerenja prvog retka otporničkih ćelija pri nominalnim radnim uvjetima ($T = 27\text{ }^\circ\text{C}$, $V_{DD} = 1,8\text{ V}$). Prikazana simulacija i sve naredne simulacije u ovom poglavlju provedene su uz uključen utjecaj parazitnih otpora i kapaciteta koji nastaju zbog korištenja realnih elemenata i njihovih međusobnih geometrijskih odnosa [10]. Njihove vrijednosti ekstrahirane su iz topološkog nacрта i uključene u simulacije kako bi se odredio njihov utjecaj na rad sklopa.



Slika 3.2: Simulacija mjerenja prvog retka polja otporničkih ćelija.

3.2. Temperaturne i naponske simulacije

Otpornici i tranzistori su komponente čije karakteristike ovise o temperaturi i naponu na njima. Zbog toga će o radnim uvjetima ovisiti i mjereni otpor R_M svake otporničke ćelije. Kako bi se odredio iznos tih odstupanja, provedene su simulacije koristeći mjerni sustav opisan u prethodnom potpoglavlju. Nominalna vrijednost otpora otporničkih ćelija određena je pri temperaturi T_0 od $27\text{ }^\circ\text{C}$ i naponu napajanja V_{DD0} od 1,8 V. Utjecaj temperature određen je za $-40\text{ }^\circ\text{C}$ i $125\text{ }^\circ\text{C}$ pri nominalnom napajanju V_{DD0} , a utjecaj promjene napona napajanja za 1,62 V (-10%) i 1,98 V (+10%) uz nominalnu temperaturu T_0 . Simulacije su provedene samo za podskup svih otporničkih ćelija koji

je dovoljan da bi se vidjela općenita kretanja iznosa mjerenih otpora. Također, iz do-
bivenih simulacija mjerenja uklonjen je utjecaj voltmetra prikazan u (2.7). Budući da
apsolutne promjene mjerenog otpora R_M ovise o njegovom iznosu, promjene su iska-
zane relativno za lakšu usporedbu:

$$\Delta R_r(T, V_{DD}) = \frac{R_M(T, V_{DD}) - R_M(T_0, V_{DD0})}{R_M(T_0, V_{DD0})}. \quad (3.1)$$

Utjecaj temperature na mjereni otpor prikazan je u tablici 3.1. Glavni doprinos
promjene mjerenog otpora nastaje zbog temperaturnih koeficijenata otpornika. Mje-
reni otpori *RPOLYIPC* otpornika smanjuju se s temperaturom zbog njihovog tempe-
raturnog koeficijenta prvog reda *TCI* koji je negativan, a otpornika tipa *RDIFFP* se
povećavaju jer je njihov *TCI* pozitivan. Također, relativne promjene *RDIFFP* otpor-
nika su veće jer je apsolutna vrijednost njihovog *TCI* veća.

Tablica 3.1: Simulacije utjecaja radne temperature na mjereni otpor ($V_{DD} = 1,8 \text{ V}$)

Otpornik	$T = 27 \text{ }^\circ\text{C}$		$T = -40 \text{ }^\circ\text{C}$		$T = 125 \text{ }^\circ\text{C}$	
	$R_M [\Omega]$	$R_M [\Omega]$	$\Delta R_r [\%]$	$R_M [\Omega]$	$\Delta R_r [\%]$	$R_M [\Omega]$
RP_F1_W1_L5	1,81 k	1,85 k	+2,5	1,77 k	-2	
RP_F5_W0.5_L20	69,5 k	70,7 k	+1,7	68,8 k	-1	
RP_F9_W0.5_L100	615 k	624 k	+1,5	608 k	-1,1	
RD_F1_W1_L5	716	665	-7,1	804	+12,3	
RD_F5_W0.5_L20	24,8 k	22,7 k	-8,3	28,3 k	+14,1	
RD_F9_W0.5_L100	219 k	200 k	-8,7	250 k	+14,4	

Tablica 3.2 prikazuje rezultate simulacija promjene napona napajanja V_{DD} . Za sve
prikazane otpornike vidljivo je da im mjereni otpor raste s porastom napona napaja-
nja. Uzrok ove promjene je ovisnost otpora analognih sklopki u uključenom stanju o
naponu. Uz niži napon napajanja, prenapon $|V_{GS} - V_{TH}|$, gdje je V_{GS} napon između
upravljačke elektrode i uvoda tranzistora, također je manji što povećava otpor kanala
tranzistora. Taj porast otpora sklopki u uključenom stanju smanjuje mjereni otpor ot-
porničke ćelije kao što je prikazano u (2.6). Za slučaj kada je napon V_{DD} viši, otpor
sklopki se smanjuje što rezultira većim izmjerenim otporom.

3.3. Monte Carlo simulacije

Sve elektroničke komponente koje se koriste u čipovima pokazuju statističko rasipanje
njihovih vrijednosti, npr. otpora, zbog tolerancija u proizvodnji. Zbog toga će se te

Tablica 3.2: Simulacije utjecaja napona napajanja na mjereni otpor ($T = 27\text{ }^{\circ}\text{C}$)

Otpornik	$V_{DD} = 1,8\text{ V}$		$V_{DD} = 1,62\text{ V}$		$V_{DD} = 1,98\text{ V}$	
	$R_M [\Omega]$	$R_M [\Omega]$	$\Delta R_r [\%]$	$R_M [\Omega]$	$\Delta R_r [\%]$	$R_M [\Omega]$
RP_F1_W1_L5	1,807 k	1,802 k	-0,24	1,81 k	+0,16	
RP_F5_W0.5_L20	69,47 k	69,28 k	-0,27	69,6 k	+0,19	
RP_F9_W0.5_L100	614,7 k	613,7 k	-0,17	615,3 k	+0,1	
RD_F1_W1_L5	715,7	713,8	-0,27	717,1	+0,19	
RD_F5_W0.5_L20	24,81 k	24,76 k	-0,21	24,86 k	+0,2	
RD_F9_W0.5_L100	218,8 k	218,3 k	-0,24	219,1 k	+0,14	

komponente međusobno razlikovati od čipa do čipa, ali i unutar jednog čipa. Monte Carlo simulacije generiraju uzorke u kojima se komponente statistički variraju i na taj način može se simulirati veliki broj mogućih realizacija proizvedenih čipova. Iz simulacija se zatim može odrediti srednje vrijednosti i standardne devijacije željenih parametara kako bi se odredilo rasipanje.

Monte Carlo simulacije provedene su uz 50 uzoraka za tri *RDIFFP* i tri *RPOLYIPC* otpornika pri nominalnim radnim uvjetima. Odabrani su otpornici koji imaju različite dimenzije (W i L) i broj prstiju tako da pokriju širok raspon vrijednosti otpora. Tablica 3.3 prikazuje rezultate simulacija mjerenja otpora gdje je prisutan cijeli mjerni sustav (voltmetar i analogne sklopke), a tablica 3.4 rezultate simulacija bez prisustva mjernog sustava. Također, otpori prikazani u tablici 3.3 dobiveni su uz računsko uklanjanje otpora voltmetra kako bi se vrijednosti mogle lakše usporediti s onima koje su dobivene za simulacije gdje nije prisutan mjerni sustav.

Rezultati pokazuju da je devijacija veća za veće otpore, što je očekivano, ali bolji pokazatelj rasipanja je koeficijent varijacije koji pokazuje rasipanje relativno u odnosu na izmjerenu srednju vrijednost otpora. Iz vrijednosti koeficijenta varijacije vidljivo je da je za oba slučaja (s i bez mjernog sustava) rasipanje veće za otpornike koji imaju malu širinu W . Razlog tome je što jednaka varijacija širine ima veći relativan utjecaj ako je početna širina manja pa je veća i promjena otpora. Utjecaj mjernog sustava vidljiv je na srednjim vrijednostima mjerenog otpora. Uz prisutnost mjernog sustava, mjereni otpor je manji zbog postojanja otpora analognih sklopki u vođenju.

Tablica 3.3: Monte Carlo simulacije s utjecajem mjernog sustava ($T = 27\text{ }^{\circ}\text{C}$, $V_{DD} = 1.8\text{ V}$)

Otpornik	Srednja vrijednost, μ (Ω)	Standardna devijacija, σ (Ω)	Koeficijent varijacije, σ/μ (%)
RP_F1_W0.5_L5	3,74 k	271	7,24
RP_F5_W2_L20	16,7 k	604	3,63
RP_F9_W0.5_L100	617 k	45,7 k	7,39
RD_F1_W0.5_L5	1,35 k	105	7,72
RD_F5_W2_L20	6,91 k	257	3,72
RD_F9_W0.5_L100	220 k	15,3 k	6,96

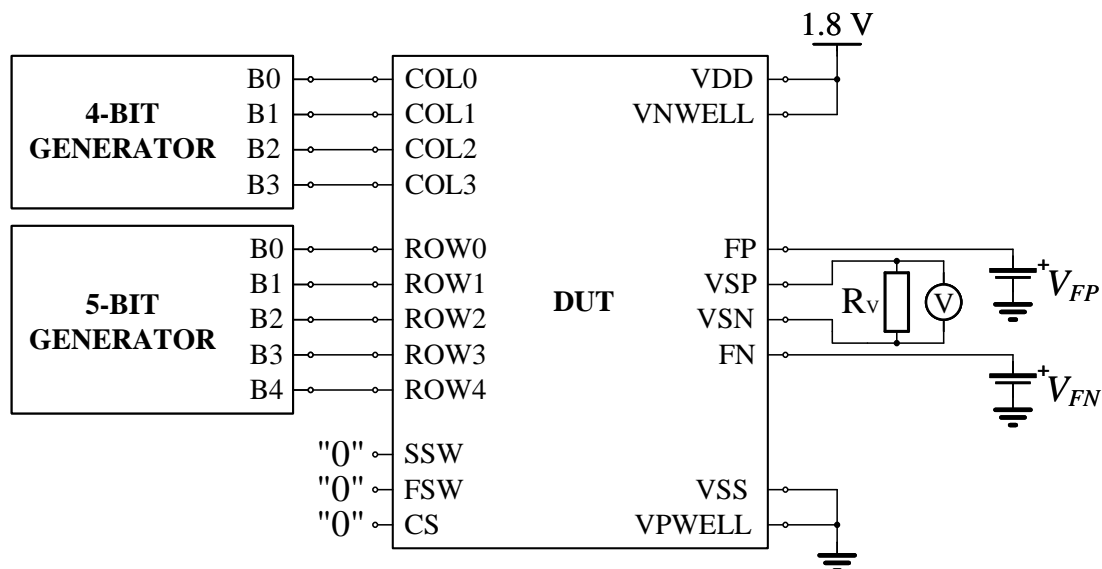
Tablica 3.4: Monte Carlo simulacije bez utjecaja mjernog sustava ($T = 27\text{ }^{\circ}\text{C}$, $V_{DD} = 1.8\text{ V}$)

Otpornik	Srednja vrijednost, μ (Ω)	Standardna devijacija, σ (Ω)	Koeficijent varijacije, σ/μ (%)
RP_F1_W0.5_L5	3,77 k	269	7,16
RP_F5_W2_L20	16,8 k	602	3,59
RP_F9_W0.5_L100	622 k	46 k	7,41
RD_F1_W0.5_L5	1,36 k	105	7,69
RD_F5_W2_L20	6,95 k	255	3,67
RD_F9_W0.5_L100	221 k	15,5 k	7,01

3.4. Simulacije struja curenja

Pri mjerenju jedne otporničke ćelije, sve ostale ćelije su odspojene, tj. sklopke unutar tih ćelija su ugašene. Unatoč tome, kroz sve te ćelije teku struje curenja i mijenjaju vrijednost mjerenog otpora. Glavni doprinos curenju su struje koje teku od supstrata do uvoda i odvoda tranzistora u analognim sklopkama te kod difuzijskih otpornika struje koje teku od supstrata prema njihovim priključcima.

Za simuliranje mjerenja struja curenja korišten je mjerni sustav prikazan na slici 3.3. Na priključak čipa FP doveden je naponski izvor V_{FP} koji može imati napon 0,2 V, 1,1 V ili 1,8 V, a na priključak FN spojen je izvor V_{FN} koji može imati napon 0 V, 0,9 V ili 1,6 V. Na taj je način postavljena razlika napona od 200 mV između ta dva priključka uz mogućnost odabira srednje vrijednosti napona na njima. Tada, dok nijedna otpornička ćelija nije odabrana (CS , FSW i SSW su postavljeni u θ), mjeri se struja kroz priključke FP i FN , s tim da je struja pozitivna ako teče od naponskog izvora prema čipu.



Slika 3.3: Mjerni sustav za provedbu simulacija struja curenja.

Rezultati simulacija struja curenja prikazani su u tablici 3.5. Simulacije su provedene za temperature od $27\text{ }^{\circ}\text{C}$ i $125\text{ }^{\circ}\text{C}$ te za nominalni i *wp* (engl. *worst power*) tehnološki ugao uz prethodno navedene napone V_{FP} i V_{FN} . Tehnološki ugao *wp* predstavlja granične vrijednosti parametara proizvodnog procesa u kojem su i nMOS i pMOS tranzistori brzi pa imaju veću potrošnju, tj. struju curenja [11]. Rezultati pokazuju da se curenje povećava s višom temperaturom i odabirom tehnološkog ugla *wp*, ali i odabirom niskih ili visokih napona V_{FP} i V_{FN} . Za najgori slučaj struja curenja iznosi -105 nA , tj. otprilike 10% prethodno korištene testne struje od $1\text{ }\mu\text{A}$. Iz toga je vidljivo da se pri stvarnom mjerenju naponi V_{FP} i V_{FN} trebaju postaviti na polovicu napona napajanja kako bi se smanjio utjecaj struja curenja.

Tablica 3.5: Simulacije struja curenja ($V_{DD} = 1,8\text{ V}$)

		$T = 27\text{ }^{\circ}\text{C}$	$T = 125\text{ }^{\circ}\text{C}$	$T = 27\text{ }^{\circ}\text{C}$	$T = 125\text{ }^{\circ}\text{C}$
		nominalni	nominalni	<i>wp</i>	<i>wp</i>
$V_{FP} = 0,2\text{ V}$	I_{FP} [A]	-668 p	25,4 n	-509 p	84 n
$V_{FN} = 0\text{ V}$	I_{FN} [A]	-1,84 n	-45,2 n	-3,78 n	-105 n
$V_{FP} = 1,1\text{ V}$	I_{FP} [A]	33,5 p	-623 p	33 p	-1,09 n
$V_{FN} = 0,9\text{ V}$	I_{FN} [A]	-135 p	-841 p	-136 p	-1,33 n
$V_{FP} = 1,8\text{ V}$	I_{FP} [A]	1,04 n	28,3 n	1,82 n	63,5 n
$V_{FN} = 1,6\text{ V}$	I_{FN} [A]	406 p	-23,6 n	349 p	-58,7 n

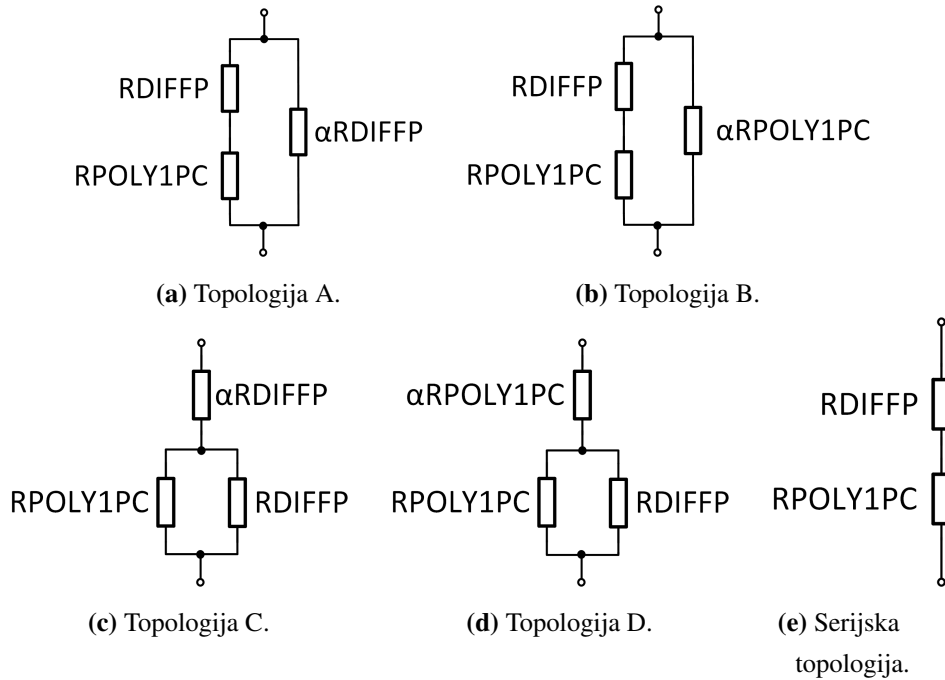
4. Kompenzacija temperaturnog koeficijenta prvog reda

4.1. Serijska i kompozitne topologije otpornika

Svaki otpornik ima temperaturni koeficijent različit od nule, tj. može biti pozitivan ili negativan. Za temperaturni koeficijent jednak nuli, vrijednost otpora bila bi konstantna te ne bi ovisila o promjeni temperature. U ovom poglavlju razrađene su topologije otpornika s točno definiranim temperaturnim koeficijentom prvog reda [12], [13]. Najjednostavnije topologije su serijska i paralelna topologija koje se sastoje od dva otpornika R_A i R_B , jednog s pozitivnim TCI i jednog s negativnim TCI . Ukupni temperaturni koeficijent prvog reda serijske i paralelne topologije može poprimiti bilo koju vrijednost koja se nalazi između vrijednosti TCI oba otpornika, ovisno o omjeru otpora R_A i R_B .

Zbog varijacija u procesu izrade otpornika, vrijednost otpora može varirati, odnosno omjer otpora R_A i R_B neće biti stalan. Iz ovog razloga, ukupni temperaturni koeficijent može se razlikovati od željenog. Kako bi se izbjegao ovaj efekt, koriste se kompozitne topologije otpornika koje će imati temperaturni koeficijent prvog reda manje ovisan o omjeru otpora R_A i R_B .

Odabrani otpornici s negativnim i pozitivnim temperaturnim koeficijentom prvog reda su otpornici *RDIFFP* i *RPOLYIPC* opisani u prethodna dva poglavlja. Na slici 4.1 prikazane su sve 4 kompozitne topologije: A, B, C i D topologija. A topologija je izvedena kao serija *RDIFFP* i *RPOLYIPC* otpornika sa paralelnom kompenzacijom pomoću *RDIFFP* otpornika dok je B topologija izvedena kao serijska topologija sa paralelnom kompenzacijom pomoću *RPOLYIPC* otpornika. C i D topologija su izvedene kao paralela otpornika *RDIFFP* i *RPOLYIPC* sa serijskom kompenzacijom pomoću *RDIFFP* otpornika kod C topologije ili pomoću *RPOLYIPC* otpornika kod D topologije. Uz ove topologije, prikazana je i serijska topologija kako bi usporedili rezultate naknadnih simulacija između kompozitnih i jednostavnih topologija.



Slika 4.1: Prikaz svih kompozitnih topologija i serijske topologije.

Odabrana je vrijednost otpornika od 100 kΩ. Prema slici 4.1 postoji pet načina za kreiranje otpornika od 100 kΩ s kompenziranim temperaturnim koeficijentom prvog reda od 0 ppm/°C. Tablica temperaturnih koeficijenata prvog reda odabranih otpornika ponovno je prikazana tablicom 4.1.

Tablica 4.1: Temperaturni koeficijenti TCI odabranih otpornika

Tip otpornika	TCI [ppm/°C]
<i>RPOLY1PC</i>	-242
<i>RDIFFP</i>	1257

Prema [14], temperaturni koeficijent serijske topologije može se izračunati formulom:

$$TC_{SERIES} = TC_A \frac{\beta}{1 + \beta} + TC_B \frac{1}{1 + \beta}, \quad (4.1)$$

gdje je TC_A temperaturni koeficijent prvog reda otpornika *RDIFFP*, TC_B temperaturni koeficijent prvog reda otpornika *RPOLY1PC* i β omjer otpora R_A (*RDIFFP*) i R_B (*RPOLY1PC*). Vrijednosti otpornika za A i B topologiju, odnosno za serijsku topologiju s paralelnim kompenzacijskim otpornikom izračunavaju se formulama:

$$R_A = \frac{(TC_A + TC_T - 2TC_B)^2}{(TC_A + TC_T - 2TC_B)^2 - (TC_A - TC_T)^2}, \quad (4.2)$$

$$R_B = \frac{(TC_A + TC_T - 2TC_B) \cdot (TC_A - TC_T)}{(TC_A + TC_T - 2TC_B)^2 - (TC_A - TC_T)^2}, \quad (4.3)$$

$$\alpha R_B = \frac{(TC_A + TC_T - 2TC_B)}{(TC_A - TC_T)}, \quad (4.4)$$

gdje je TC_T željeni TCI ukupne topologije otpornika. Za A topologiju R_A je otpor *RPOLYIPC* otpornika, TC_A je njegov temperaturni koeficijent prvog reda, a R_B je otpor *RDIFFP* otpornika te TC_B njegov temperaturni koeficijent prvog reda. Suprotno, za B topologiju, indeks A odgovara *RDIFFP* otporniku, a indeks B *RPOLYIPC* otporniku. S druge strane, za C i D topologiju, odnosno za paralelnu topologiju sa serijskim kompenzacijskim otpornikom formule za izračun pojedinih otpornika glase:

$$R_A = \frac{(TC_A + TC_T - 2TC_B)^2 - (TC_A - TC_T)^2}{(TC_A + TC_T - 2TC_B)^2}, \quad (4.5)$$

$$R_B = \frac{(TC_A + TC_T - 2TC_B)^2 - (TC_A - TC_T)^2}{(TC_A + TC_T - 2TC_B) \cdot (TC_A - TC_T)}, \quad (4.6)$$

$$\alpha R_B = \frac{(TC_A - TC_T)}{(TC_A + TC_T - 2TC_B)}, \quad (4.7)$$

gdje je TC_T željeni TCI ukupne topologije otpornika. Za C topologiju, indeks A odgovara *RPOLYIPC* otporniku, a indeks B *RDIFFP* otporniku. Slično, za D topologiju indeks A odgovara *RDIFFP* otporniku, a indeks B *RPOLYIPC* otporniku.

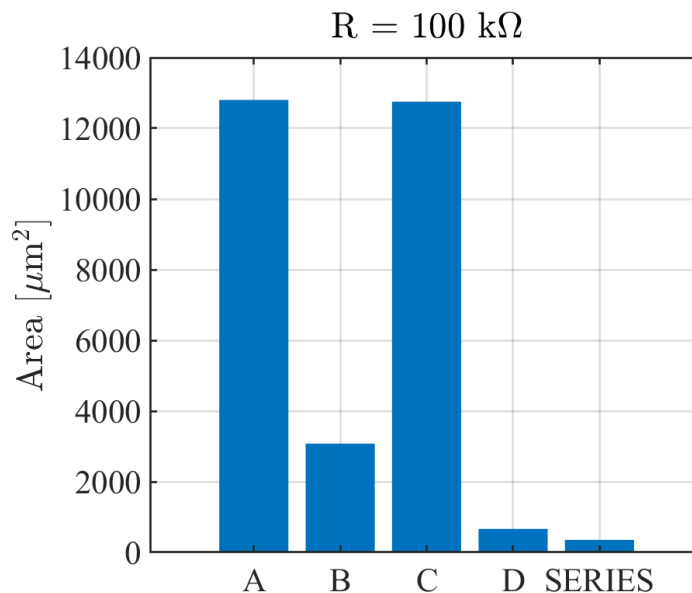
Za postizanje ukupnog temperaturnog koeficijenta prvog reda TC_T od 0 ppm/°C i ukupnog otpora od 100 kΩ, otpori pojedinih otpornika A, B, C, D kompozitnih i serijske topologije, izračunati korištenjem prethodno definiranih formula, prikazani su u tablici 4.2. Očekivano, serijska topologija ima najmanju sumu svih pripadnih otpornika jer se sastoji od samo dva otpornika čija je suma 100 kΩ. Topologija D ima najmanju ukupnu sumu svih pripadnih otpora u usporedbi s drugim kompozitnim topologijama, dok topologija A ima najveću sumu otpora.

Tablica 4.2: Vrijednosti otpornika za sve topologije od 100 kΩ

Otpornik	A	B	C	D	Serijska
R_A [Ω]	101 k	209 k	99 k	48 k	16 k
R_B [Ω]	9 k	151 k	1,1 M	66 k	84 k
αR_B [Ω]	1,1 M	139 k	9 k	72 k	

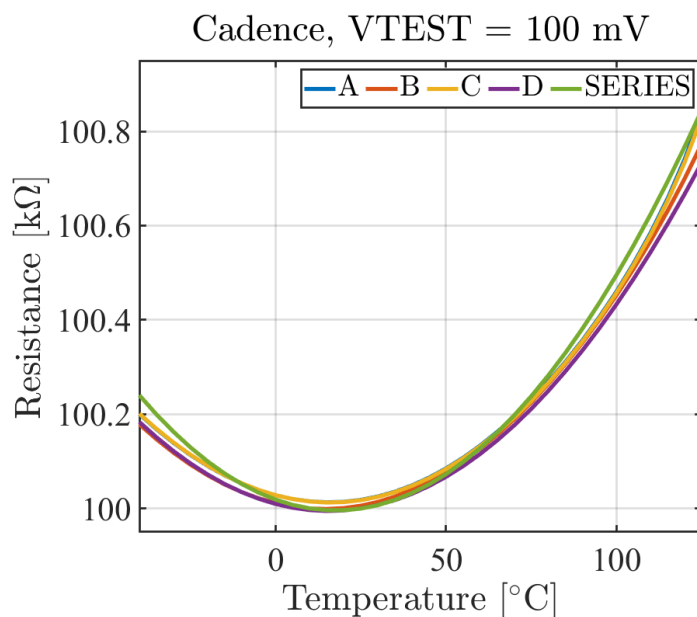
4.2. Simulacije topologija u Cadence Virtuosu

Topologije otpornika za postizanje temperaturnog koeficijenta prvog reda od 0 ppm/°C s vrijednostima otpornika iz tablice 4.2 simulirane su pomoću alata Cadence Virtuoso. S obzirom da cijena čipa ovisi o njegovoj površini, prvi cilj je pronaći topologiju sa što manjom površinom. Drugi cilj je da topologija otpornika bude što manje ovisna o varijacijama otpornika kako bi temperaturni koeficijent prvog reda bio stabilniji. Slika 4.2 prikazuje površinu za svaku kompozitnu i serijsku topologiju. Širina svih korištenih otpornika iznosi $W = 1 \mu\text{m}$ te ukupna potrebna duljina L za svaku topologiju odgovara površini te topologije. Serijska topologija ima najmanju površinu jer se sastoji od samo dva otpornika čija je suma $100 \text{ k}\Omega$ dok topologija D ima najmanju površinu u usporedbi s ostalim kompozitnim topologijama (A, B i C).



Slika 4.2: Prikaz površine za svaku od topologija.

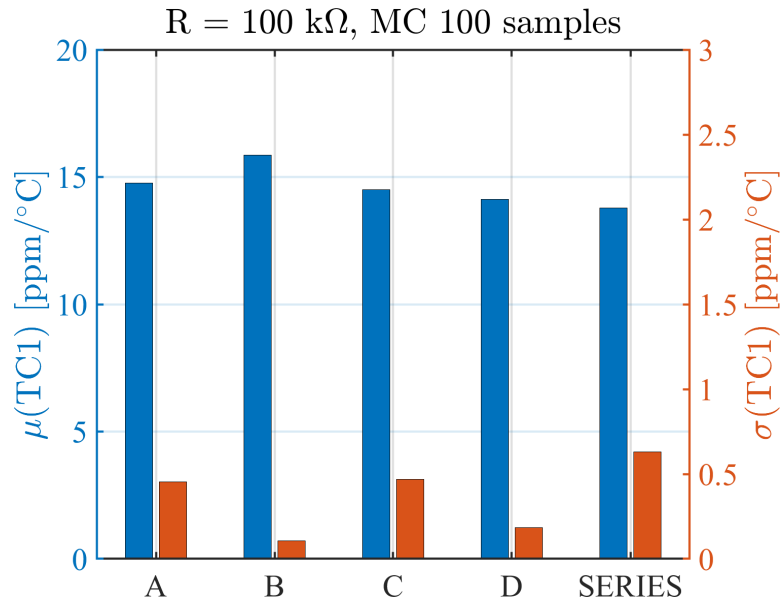
Simulacije su provedene na sljedeći način: svaka topologija je spojena na konstantan naponski izvor od 100 mV te je izmjerena struja kroz cjelokupnu topologiju otpornika. Zatim je mjereni ukupni otpor topologije dobiven kao omjer napona definiranog naponskog izvora ($V_{TEST} = 100 \text{ mV}$) i izmjerene struje. Slika 4.3 prikazuje ukupni otpor u ovisnosti o temperaturi. Simulacija je izvedena za temperaturni raspon od $-40 \text{ }^\circ\text{C}$ do $125 \text{ }^\circ\text{C}$ pri nominalnim uvjetima. Sve topologije prikazuju slične vrijednosti otpora i sličnu ovisnost o temperaturi. Pri nižim temperaturama, topologije B i D imaju jednake vrijednosti dok A, C i serijska topologija poprimaju nešto veće vrijednosti. Pri višim temperaturama rasipanje otpora između topologija je izraženije pri čemu se vidi utjecaj temperaturnog koeficijenta drugog reda.



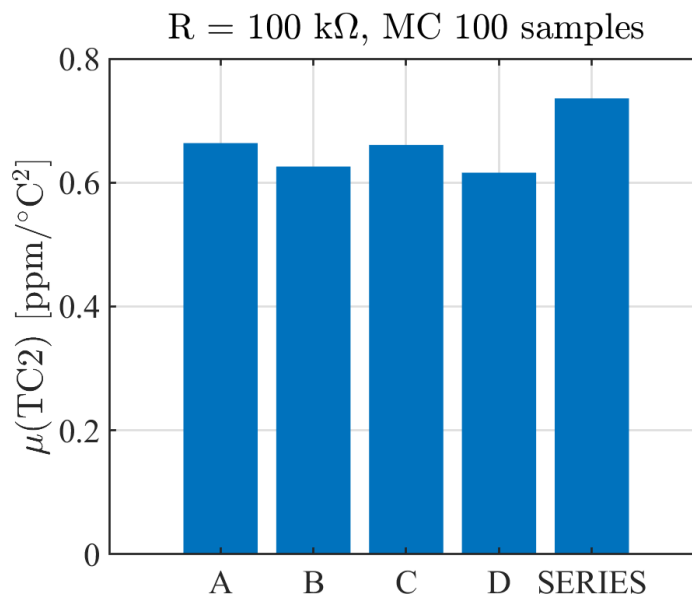
Slika 4.3: Otpori svih topologija u ovisnosti o temperaturi.

Monte Carlo simulacije uključuju varijacije otpornika *RPOLYIPC* i *RDIFFP*. Simulacije su izvedene za temperaturni raspon od $-40\text{ }^{\circ}\text{C}$ do $125\text{ }^{\circ}\text{C}$ za 100 uzoraka. Vrijednosti temperaturnog koeficijenta prvog i drugog reda, u svih 100 simulacija, očitane su pri $27\text{ }^{\circ}\text{C}$. Slika 4.4 prikazuje srednju vrijednost temperaturnog koeficijenta prvog reda na lijevoj osi te njegovu standardnu devijaciju na desnoj osi za sve navedene topologije. Srednje vrijednosti temperaturnog koeficijenta prvog reda slične su za sve topologije što znači da srednja vrijednost nije dobar pokazatelj prema kojemu možemo uspoređivati topologije. Standardna devijacija temperaturnog koeficijenta prvog reda pokazuje koja je topologija više ovisna o varijacijama otpornika *RPOLYIPC* i *RDIFFP*. Sve kompozitne topologije (A, B, C i D) imaju stabilniji temperaturni koeficijent prvog reda u usporedbi sa serijskom topologijom, odnosno kompozitne topologije imaju manju ovisnost o varijacijama otpornika. Između kompozitnih topologija, topologije B i D imaju najmanju standardnu devijaciju *TC1*. Slika 4.5 prikazuje srednju vrijednost temperaturnog koeficijenta drugog reda. Kompozitne topologije imaju sličnu vrijednost *TC2* dok serijska ima nešto veću vrijednost. Ovo upućuje na činjenicu da vrijednost *TC2* nije kompenzirana.

Sve kompozitne topologije pokazuju bolje parametre u usporedbi sa serijskom topologijom te topologija D zahtjeva najmanju površinu od kompozitnih topologija što ju čini najboljim odabirom za daljnje simulacije.



Slika 4.4: Srednje vrijednosti i standardne devijacije $TC1$ za sve topologije.



Slika 4.5: Srednje vrijednosti $TC2$ za sve topologije.

4.3. MATLAB model

Modeli *RPOLYIPC* i *RDIFFP* otpornika u Virtuosu imaju korelaciju od 1 između procesnih varijacija što znači da će se u Monte Carlo simulacijama njihovi slojni otpori međusobno proporcionalno mijenjati, tj. imat će jednake relativne promjene. U realnosti, procesne varijacije imaju korelaciju od 0,5 i zbog toga može doći do većeg rasiapanja vrijednosti otpora i temperaturnog koeficijenta prethodno prikazanih otporničkih topologija. Kako bi se proučio taj utjecaj, izrađen je model otpornika u MATLAB-

u pomoću kojeg je moguće definirati proizvoljnu korelaciju između *RPOLYIPC* i *RDIFFP* otpornika.

Tri su pojave koje je potrebno modelirati: procesne varijacije koje utječu na slojni otpor, neusklađenost dimenzija otpornika (engl. *mismatch*) i promjenu otpora s temperaturom. Slojni otpor mijenja se ovisno o varijacijama debljine otpornika, dopiranja i napuštanja (engl. *annealing*) [15]. Te varijacije uzrokuju da se vrijednost slojnog otpora rasipa po normalnoj distribuciji oko srednje vrijednosti μ_{RSH0} sa standardnom devijacijom σ_{RSH0} . Navedene parametre distribucije moguće je odrediti iz Monte Carlo simulacija u Cadence Virtuosu gdje je uključen samo utjecaj procesnih varijacija.

Neusklađenost, tj. varijacije dimenzija otpornika nastaju zbog neidealnosti fotolitografije i jetkanja u proizvodnji čipa [15]. Zbog neusklađenosti dolazi do rasipanja ukupnog iznosa otpora oko njegove nominalne vrijednosti s devijacijom σ_{MM0} koja raste proporcionalno korijenu površine otpornika po apsolutnom iznosu, ali je po relativnom iznosu (relativno u odnosu na nominalni otpor) obrnuto proporcionalna korijenu površine otpornika [16]. Zato je potrebno koristiti otpornike s većom površinom ako se želi smanjiti utjecaj neusklađenosti. Standardna devijacija σ_{MM0} može se odrediti pomoću Monte Carlo simulacija u kojima je uključen samo utjecaj neusklađenosti. Za određivanje neusklađenosti otpornika koji imaju drugačiju dužinu od one za koju je σ_{MM0} ekstrahirana, potrebno je prvo normalizirati, tj. podijeliti σ_{MM0} s $\sqrt{L_0}$, gdje je L_0 dužina otpornika za koju je σ_{MM0} ekstrahirana, a zatim tu vrijednost skalirati, tj. pomnožiti s $\sqrt{L_1}$, gdje je L_1 dužina otpornika za koji određujemo rasipanje. U ovom slučaju nije potrebno provoditi skaliranje sa širinom jer je ona jednaka za sve korištene otpornike ($W = 1 \mu\text{m}$).

Promjena otpora s temperaturom modelira se pomoću temperaturnih koeficijenata, a visina reda koja je potrebna za ispravno modeliranje ovisi o temperaturnom rasponu modela i nelinearnosti otpornika. U ovom slučaju dovoljni su koeficijenti prvog i drugog reda, *TC1* i *TC2*. Njihove vrijednosti mogu se odrediti iz nominalne simulacije.

MATLAB model implementiran je kao funkcija s ulaznim argumentima:

- *rsh0* [Ω] – srednja vrijednost slojnog otpora
- *sigma_rsh0* [Ω] – standardna devijacija slojnog otpora
- *sigma_resmm0* [$\Omega/\sqrt{\mu\text{m}}$] – standardna devijacija neusklađenosti normalizirana s $\sqrt{L_0}$
- *TC1* [ppm/ $^{\circ}\text{C}$] – temperaturni koeficijent prvog reda
- *TC2* [ppm/ $^{\circ}\text{C}^2$] – temperaturni koeficijent drugog reda
- *L* [μm] – duljina otpornika

– *STAND* – vektor duljine N (broj Monte Carlo uzoraka) koji sadrži slučajno generirane brojeve po standardnoj normalnoj distribuciji ($\mu = 0, \sigma = 1$), a poziva se na sljedeći način: *resistance(rsh0, sigma_rsh0, sigma_resmm0, TC1, TC2, L, STAND)*. Povratna vrijednost funkcije je matrica dimenzija $N \times M$, gdje je N broj Monte Carlo uzoraka, a M broj temperaturnih koraka ($T \in [-40 \text{ °C}, 125 \text{ °C}]$). Svaki redak sadrži vrijednosti otpora jednog otpornika za svaki temperaturni korak. Otpornici po retcima međusobno se razlikuju u vrijednostima slojnog otpora i neusklađenosti, tj. svaki redak predstavlja jednu moguću fizičku realizaciju otpornika. Vrijednosti slojnog otpora za svaki redak i određuju se skaliranjem odgovarajućeg elementa vektora *STAND* sa srednjom vrijednosti *rsh0* i devijacijom *sigma_rsh0*:

$$rsh[i] = rsh0 + sigma_rsh0 \cdot STAND_i. \quad (4.8)$$

Nominalni otpor svakog retka $R_0[i]$ zatim se dobiva kao slučajno generirani broj iz normalne distribucije:

$$R_0[i] \sim \mathcal{N}(\mu = rsh[i] \cdot L/W, \sigma^2 = (sigma_resmm0 \cdot \sqrt{L})^2). \quad (4.9)$$

Promjena otpora $R_0[i]$ s temperaturom za svaki stupac j se potom računa na sljedeći način:

$$R[i, j] = R_0[i] \cdot [1 + TC1 \cdot (T[j] - T_0) + TC2 \cdot (T[j] - T_0)^2], \quad (4.10)$$

uz $T_0 = 27 \text{ °C}$.

Cjelokupni MATLAB kod funkcije za generiranje otpornika prikazan je u nastavku:

```

1 function [R] = resistance(rsh,sigma_rsh,sigma_resmm,TC1,TC2,L,DIST)
2     T0 = 27;
3     T = -40:1:125;
4     DIST = rsh+sigma_rsh*DIST;
5     R = zeros(length(DIST),length(T));
6     for i = 1:1:length(DIST)
7         R0 = normrnd(DIST(i)*L,sigma_resmm*sqrt(L));
8         for j = 1:1:length(T)
9             R(i,j) = R0*(1+TC1*(T(j)-T0)+TC2*(T(j)-T0)^2);
10        end
11    end
12 end

```

Parametri modela za *RDIFFP* i *RPOLYIPC* otpornike ekstrahirani su za $T_0 = 27$ °C, $W = 1$ μm , $L_0 = 10$ μm i $N = 1000$ te su prikazani u tablici 4.3.

Tablica 4.3: Parametri korišteni u MATLAB modelu

Parametar	<i>RDIFFP</i>	<i>RPOLYIPC</i>
<i>rsh0</i> [Ω]	136,9	346,6
<i>sigma_rsh0</i> [Ω]	6,66	16,71
<i>sigma_resmm0</i> [$\Omega/\sqrt{\mu\text{m}}$]	5,08	3,97
<i>TC1</i> [ppm/°C]	1257	-242
<i>TC2</i> [ppm/°C ²]	0,870	0,738

Korelacija između otpora *RDIFFP* i *RPOLYIPC* može se modelirati pomoću vektora *STAND*. Prvo se generiraju dva vektora *STAND*₁ i *STAND*₂ po standardnoj normalnoj distribuciji ($\mu = 0$, $\sigma = 1$). Zatim se izračuna treći vektor *STAND*₃ koji ima korelaciju *corr* s vektorom *STAND*₁:

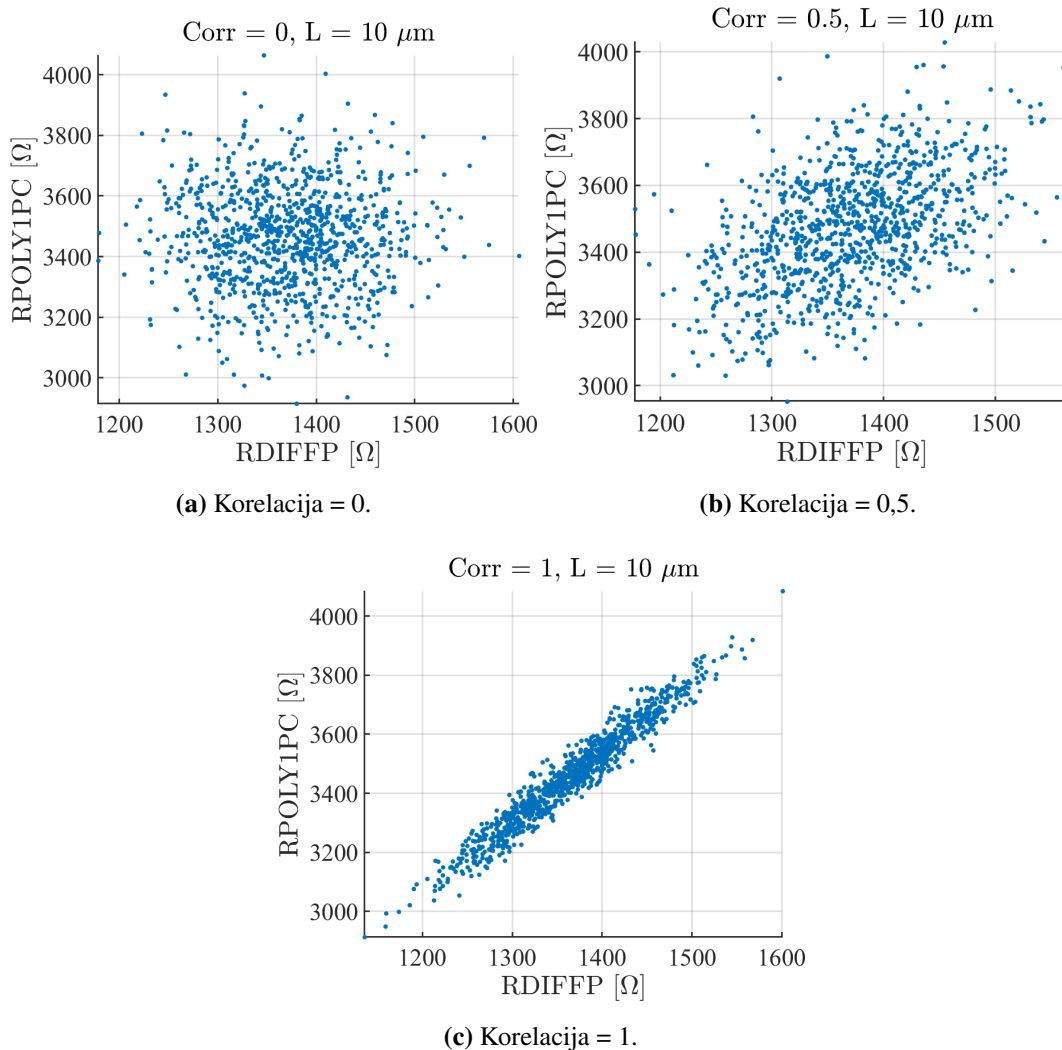
$$STAND_3 = corr \cdot STAND_1 + \sqrt{1 - corr^2} \cdot STAND_2. \quad (4.11)$$

Korelirane instance otpornika *RDIFFP* i *RPOLYIPC* se potom mogu generirati koristeći dva poziva funkcije modela: *RDIFFP* = *resistance*(..., *STAND*₁), *RPOLYIPC* = *resistance*(..., *STAND*₃).

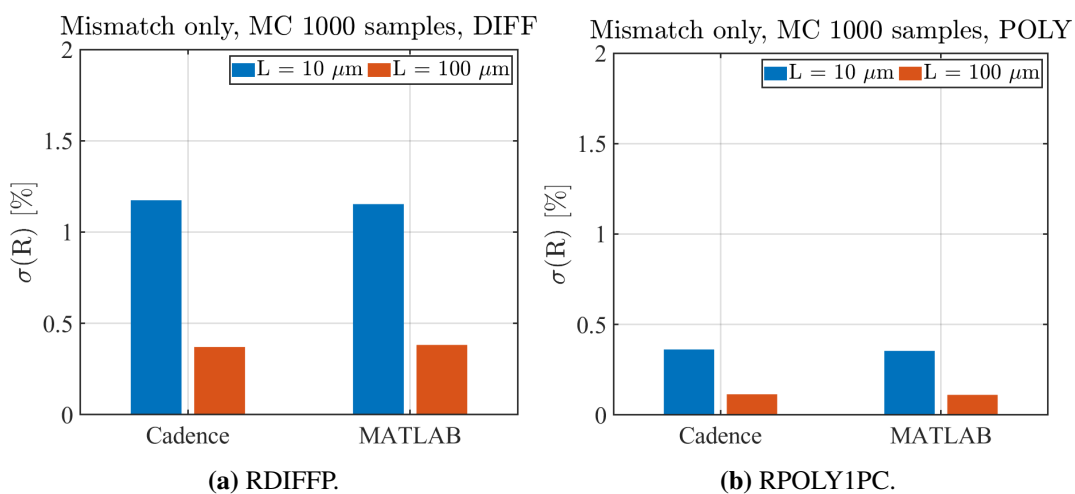
Nakon izrade modela, potrebno je verificirati njegovu ispravnost. Na slici 4.6 prikazani su grafovi raspršenja Monte Carlo simulacija modela s 1000 uzoraka za *RDIFFP* i *RPOLYIPC* otpore s korelacijama 0, 0,5 i 1. Korišteni su otpornici širine 1 μm i dužine 10 μm . Vidljivo je da se uzorci grupiraju prema pravcu što je korelacija veća što potvrđuje ispravnost modela korelacije. Za korelaciju 1, uzorci nisu idealno grupirani na pravcu zbog utjecaja neusklađenosti.

Kao što je prethodno objašnjeno, relativan utjecaj neusklađenosti opada s korijenom površine otpornika. Monte Carlo simulacije bez utjecaja procesnih varijacija, prikazane na slici 4.7, provedene su kako bi se usporedila neusklađenost dobivena modelom s neusklađenosti dobivenom u Cadence Virtuosu. Simulacije su provedene za oba tipa otpornika i za dvije različite duljine L (10 μm i 100 μm). Vidljivo je da se rezultati modela poklapaju s rezultatima dobivenim u Cadenceu, tj. relativno rasipanje pada s korijenom površine.

Na slici 4.8 prikazane su srednje vrijednosti i devijacije otpornika dobivenih Monte Carlo simulacijama modela i u Cadenceu. Simulacije su provedene za slučaj kad su prisutne samo procesne varijacije, samo neusklađenost te kad su prisutna oba utjecaja.

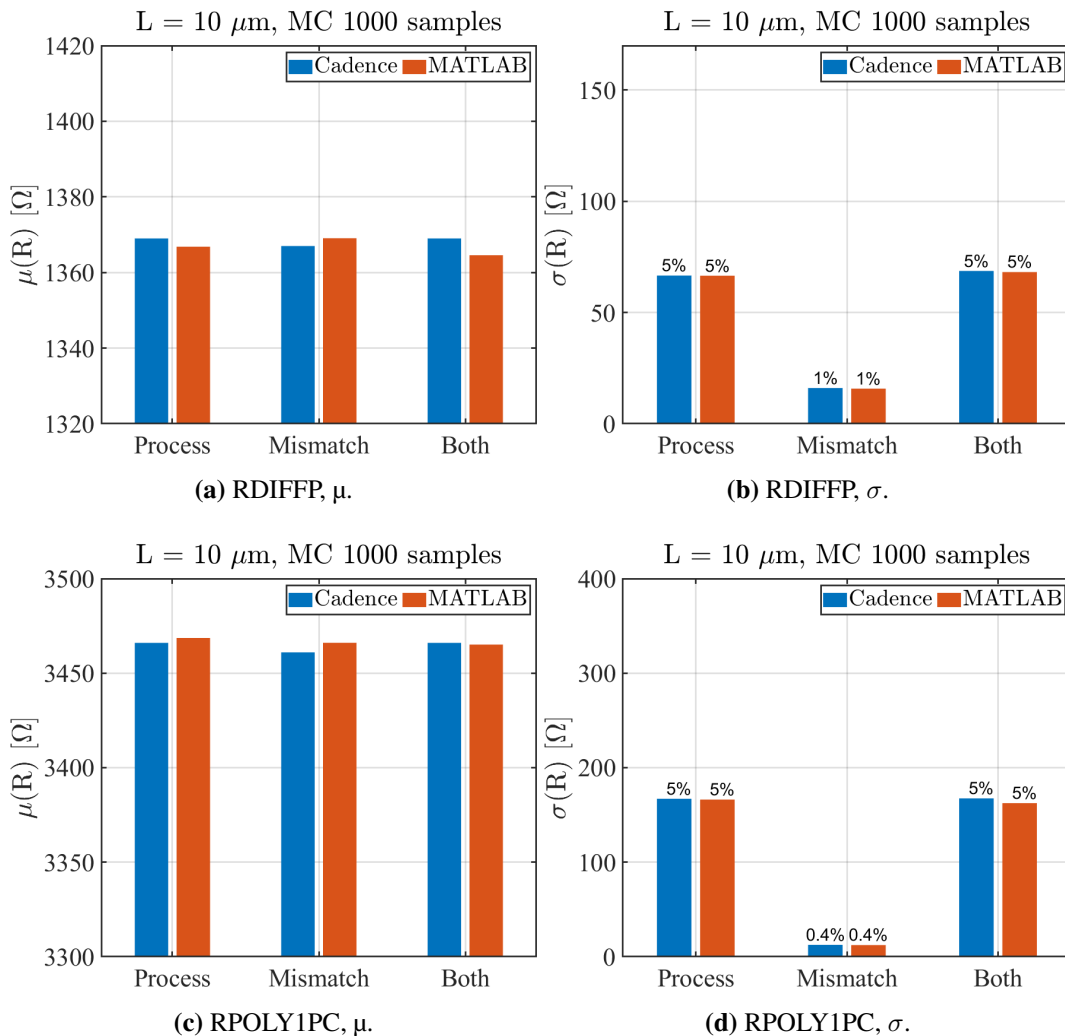


Slika 4.6: Monte Carlo simulacije uz različite korelacije.



Slika 4.7: Monte Carlo simulacije neusklađenosti.

Vidljivo je da se vrijednosti podudaraju, što je i očekivano jer model koristi parametre dobivene iz Cadencea.

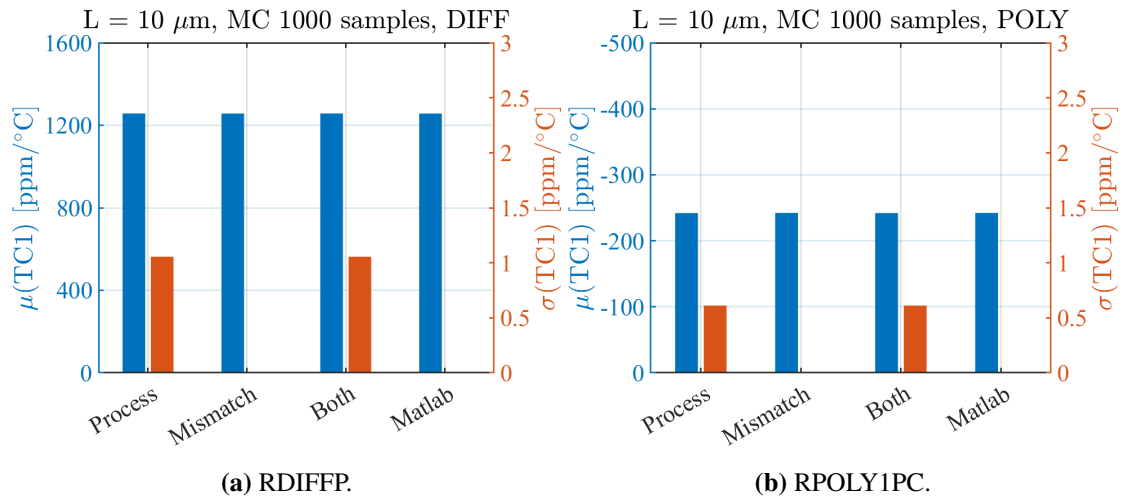


Slika 4.8: Usporedba srednjih vrijednosti i standardnih devijacija.

Provedene su i Monte Carlo simulacije temperaturnih koeficijenata prvog reda, rezultati su prikazani na slici 4.9. Srednje vrijednosti dobivene modelom poklapaju se s vrijednostima iz Cadencea, ali se ne rasipaju jer je temperaturni koeficijent modeliran kao fiksni broj.

4.4. Simulacije topologija u MATLAB-u

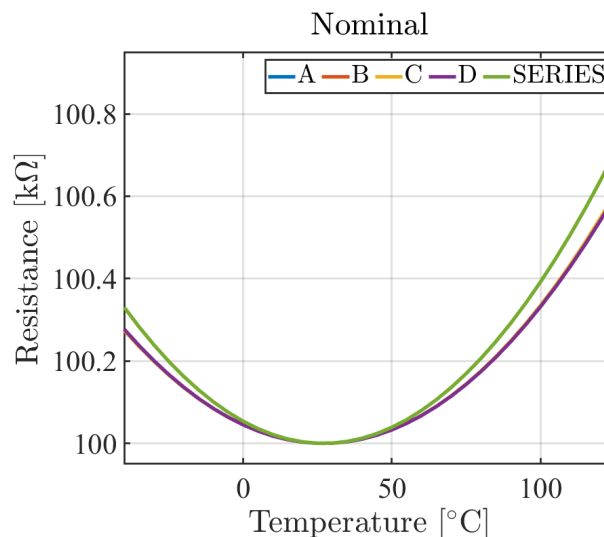
Korištenjem prethodno opisanog modela u MATLAB-u, moguće je simulirati rad topologija s kompenziranim temperaturnim koeficijentom prvog reda (kompozitne topologije A,B,C i D te serijska topologija) uz promjenjivu vrijednost korelacije između



Slika 4.9: Temperaturni koeficijenti prvog reda.

RDIFFP i *RPOLYIPC* otpora.

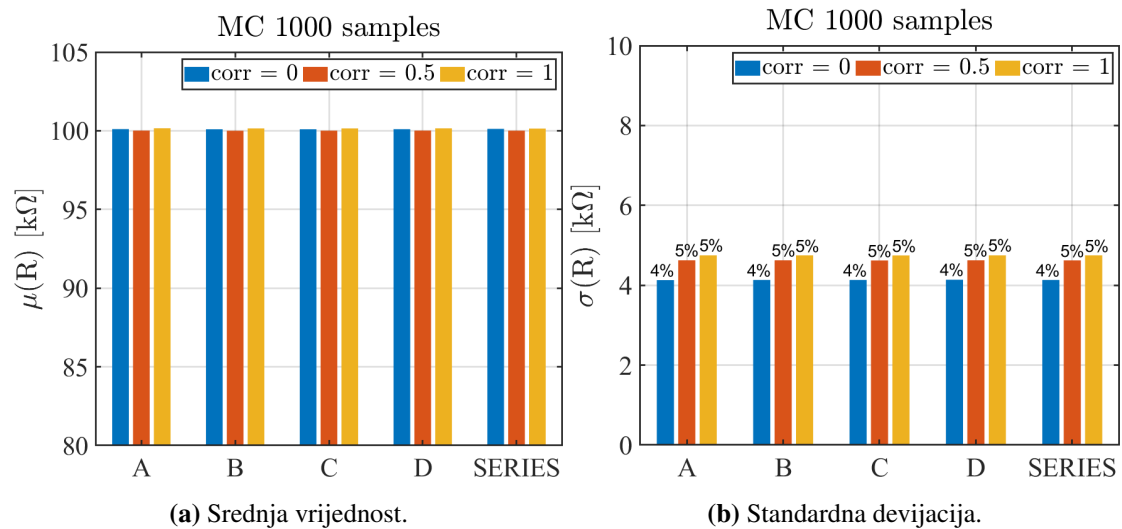
Na slici 4.10 prikazani su otpori svih 5 topologija za temperature od -40°C do 125°C dobiveni nominalnim simulacijama. Vrijednosti otpornika kojima se realiziraju te topologije jednake su kao i u prethodnim simulacijama, a navedene su u tablici 4.2. Uz te vrijednosti otpornika, nominalni otpor svake topologije je $100 \text{ k}\Omega$. Budući da su topologije projektirane da im *TC1* bude što bliži $0 \text{ ppm}/^\circ\text{C}$, do izražaja dolazi utjecaj *TC2* koji se ne kompenzira. Iz zakrivljenosti krivulja vidljivo je da kompozitne topologije imaju međusobno sličan *TC2* dok je kod serijske topologije on nešto veći što se podudara s prethodno prikazanim simulacijama u Cadenceu.



Slika 4.10: Otpori topologija modeliranih u MATLAB-u u ovisnosti o temperaturi.

Provedene su Monte Carlo simulacije svih topologija uz 1000 uzoraka kako bi se

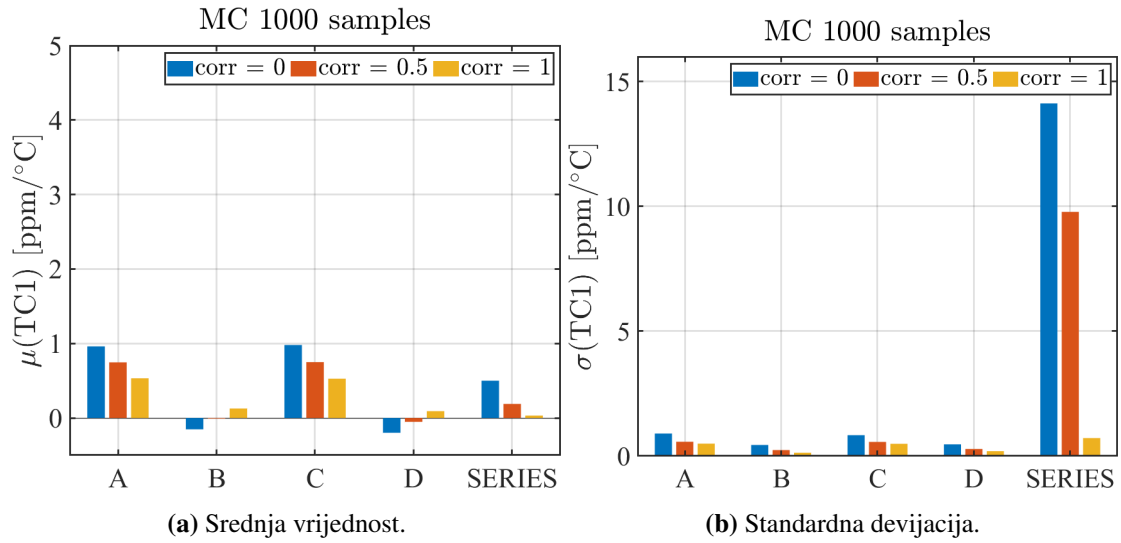
odredio utjecaj korelacije na rasipanje otpora čiji su rezultati prikazani na slici 4.11. Vidljivo je da sve topologije imaju srednje vrijednosti otpora vrlo blizu 100 k Ω i gotovo zanemarivo ovise o korelaciji između *RDIFFP* i *RPOLYIPC* otpora. Utjecaj korelacije je veći kod standardne devijacije koja raste s korelacijom. Iako devijacija raste s korelacijom, podjednaka je za sve topologije (oko 5%), a razlog tome je što i sami otpori *RDIFFP* i *RPOLYIPC* imaju rasipanje od približno 5% pa zbog toga i svaka njihova serijska ili paralelna kombinacija ima slično rasipanje.



Slika 4.11: Monte Carlo simulacije otpora za različite korelacije.

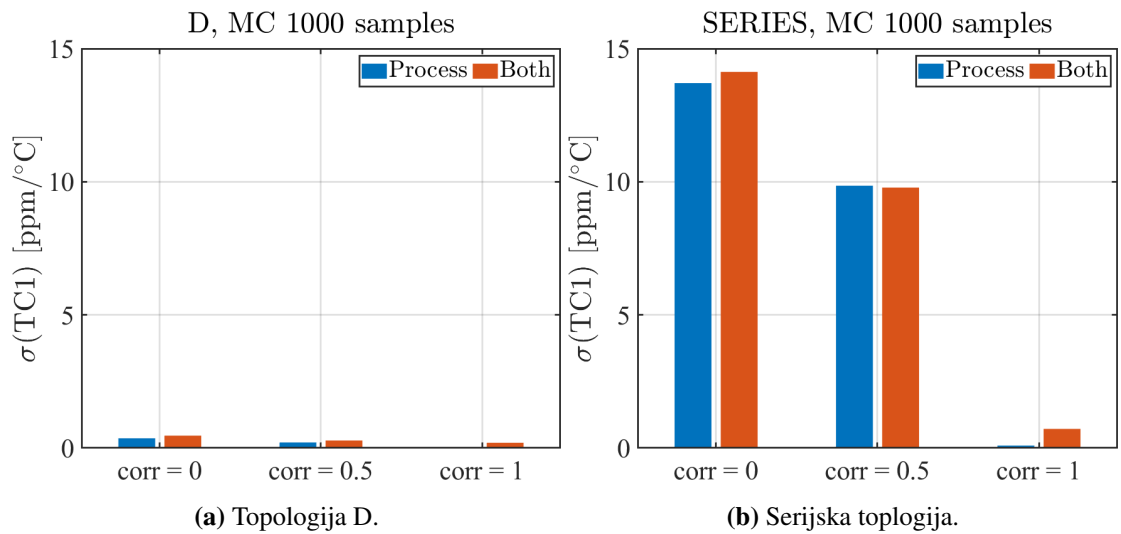
Slika 4.12 prikazuje Monte Carlo simulacije iz kojih je vidljiv utjecaj korelacije na temperaturne koeficijente prvog reda svih topologija. Iako se srednja vrijednost *TCI* svih topologija približava nuli što je korelacija veća, razlike su zanemarive jer su apsolutni iznosi *TCI* već vrlo mali (manji od 1 ppm/ $^{\circ}$ C) i na granicama tehnoloških mogućnosti. Značajan utjecaj korelacije vidljiv je kod rasipanja *TCI* za serijsku topologiju. Graf pokazuje da uz realnu korelaciju od 0,5, serijska topologija ima višestruko veću standardnu devijaciju nego što se dobije uz korelaciju 1 koja se koristi u Cadence modelu. Devijacija se povećava i kod kompozitnih topologija, ali značajno manje nego kod serijske topologije.

Budući da topologija D ima najmanju površinu od svih kompozitnih topologija, dodatno je analiziran utjecaj procesnih varijacija uz različite korelacije na rasipanje vrijednosti njezinog *TCI*. Za usporedbu je isto napravljeno i za serijsku topologiju. Dobiveni rezultati su prikazani na slici 4.13. Iz grafova je vidljivo da je rasipanje za korelacije 0 i 0,5 gotovo jednako za slučaj gdje su prisutne samo procesne varijacije i slučaj gdje je prisutna i neusklađenost. Razlika je vidljiva tek za korelaciju od 1 gdje je rasipanje zbog procesnih varijacija praktički nula za obje topologije. U tom slučaju



Slika 4.12: Monte Carlo simulacije *TCI* za različite korelacije.

je veći doprinos neusklađenosti. Također, kao što je i prije prikazano, rasipanje *TCI* serijske topologije se općenito povećava s manjom korelacijom.



Slika 4.13: Utjecaj procesnih varijacija i korelacije na rasipanje *TCI*.

5. Zaključak

Projektiranje čipa složen je postupak u kojem je zbog visoke cijene potrebno osigurati ispravnost rada sklopa. To je moguće potvrditi provođenjem raznih simulacija kojima se ispituje ispravnost sklopa u različitim radnim uvjetima, provjerom topološkog nacрта te uključivanjem parazitnih elemenata sustava i varijacija nastalih prilikom proizvodnje. U ovom radu opisan je postupak projektiranja čipa koji služi za precizno mjerenje i temperaturnu kompenzaciju otpornika. Čip sadrži polje od 200 otpornika koji se mogu zasebno mjeriti i sve potrebne analogne i digitalne sklopove za ispravan rad sustava. Izrađen je topološki nacrt te su ekstrahirane parazitne komponente iz topološkog nacрта. Provedene su simulacije na nivou sheme i simulacije sa ekstrahiranim parazitima iz topološkog nacрта.

Osim ispravnosti, potrebno je zadovoljiti i zahtjeve za preciznošću sustava. To se može postići razmatranjem svih mogućih izvora pogreški. U ovom sustavu jedan od većih izvora pogreške su analogne sklopke zbog konačnog otpora pri vođenju, ali i zbog curenja struje kroz njih kad su ugašene. Ispravnim postavljanjem mjernog sustava i vođenjem računa o izvorima pogreški mogu se dobiti zadovoljavajući rezultati.

Analizirane su topologije koje se sastoje od više otpornika kako bi se smanjio utjecaj promjene temperature na promjenu otpora kompozitnih otpornika. Osim Monte Carlo simulacija u programskom sustavu Cadence Virtuoso provedene su i MATLAB simulacije kako bi se odredio utjecaj korelacije na vrijednost otpora i njegovo temperaturno ponašanje. Simulacije su pokazale da složenije kompozitne topologije imaju bolje performanse od jednostavne serijske, ali su međusobno podjednake. Zbog toga je pri odabiru najbolje topologije vrlo važan kriterij i potrebna površina za realizaciju te topologije, što je i općenito čest slučaj pri projektiranju čipova.

LITERATURA

- [1] Renesas. „Temperature Ranges”. <https://www.renesas.com/us/en/support/technical-resources/temperature-ranges>. Pristupano 27.4.2023.
- [2] Chiang, Y.-H., Liu, S.-I. „A Submicrowatt 1.1-MHz CMOS Relaxation Oscillator With Temperature Compensation”. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 60(12):837–841, 2013.
- [3] Chun, H., Lehmann, T. „CMOS Current Reference Generator Using Integrated Resistors”. *2010 International Conference on Electronics and Information Engineering*, 1:V1–290–V1–294, 2010.
- [4] Lu, T.-C., Zan, H.-W., Ker, M.-D. „Temperature Coefficient of Poly-Silicon TFT and Its Application on Voltage Reference Circuit With Temperature Compensation in LTPS Process”. *IEEE Transactions on Electron Devices*, 55(10): 2583–2589, 2008.
- [5] Sheng, C. C., Hua, M. T. „The research of temperature compensation technology of high-temperature pressure sensor”. *Proceedings of 2011 International Conference on Electronic & Mechanical Engineering and Information Technology*, 5: 2267–2270, 2011.
- [6] Franković, I., Mikić, F., Mikulić, J., Bako, N., Schatzberger, G., Barić, A. „Measurement System for Characterization of a Resistor Array in 180-nm CMOS Technology”. *2023 46th Jubilee International Convention on Information, Communication and Electronic Technology (MIPRO)*, 2023. Prijavljeno na MIPRO 2023.
- [7] Thewes, R., Brederlow, R., Dahl, C., Kollmer, U., Linnenbank, C.G., Holzapfl, B., Becker, J., Kissing, J., Kessel, S., Weber, W. „Explanation and Quantitative Model for the Matching Behaviour of Poly-Silicon Resistors”. *International*

- Electron Devices Meeting 1998. Technical Digest (Cat. No.98CH36217)*, 771–774, 1998.
- [8] Chuang, H.-M., Thei, K.-B., Tsai, S.-F., Liu, W.-C. „Temperature-Dependent Characteristics of Polysilicon and Diffused Resistors”. *IEEE Transactions on Electron Devices*, 50(5):1413–1415, 2003.
- [9] Baker, R. J. *CMOS Circuit Design, Layout, and Simulation*. Wiley, 4. izdanje, 2019.
- [10] Sahrling, M. *Layout Techniques for Integrated Circuit Designers*. Artech House, 2022.
- [11] Weste, N., Harris, D. *CMOS VLSI Design: A Circuits and Systems Perspective*. Pearson, 4. izdanje, 2010.
- [12] Laraia, J. M. „Circuits and methods for providing a bandgap voltage reference using composite resistors”, 2002. US Patent 6,342,781.
- [13] Çetinkaya, H., Zeki, A., Girgin, A., Karalar, T. C. „Composite Resistor Technique for Process and Temperature Compensations of Low Power Ring Oscillators”. *2019 IEEE 10th Latin American Symposium on Circuits & Systems (LASCAS)*, 29–32, 2019.
- [14] Gregoire, B. R., Moon, U.-K. „Process-Independent Resistor Temperature-Coefficients using Series/Parallel and Parallel/Series Composite Resistors”. *2007 IEEE International Symposium on Circuits and Systems*, 2826–2829, 2007.
- [15] Hastings, A. *The Art of Analog Layout*. Pearson, 2. izdanje, 2005.
- [16] Pelgrom, M. J. M., Duinmaijer, A. C. J., Welbers, A. P. G. „Matching Properties of MOS Transistors”. *IEEE Journal of Solid-State Circuits*, 24(5):1433–1439, 1989.

Ivana Franković, Franjo Mikić

Temperaturna karakterizacija i kompenzacija otpornika u 180 nm CMOS tehnologiji

Sažetak

U radu je prikazan sustav za temperaturnu karakterizaciju otpornika u 180 nm CMOS tehnologiji. Sustav je realiziran kao polje otporničkih ćelija s 20 redaka i 10 stupaca čime se četverožičnim mjerenjem može okarakterizirati 200 otpornika. Provedene su simulacije utjecaja promjene temperature i napona napajanja koje potvrđuju ispravnost rada sustava. Pomoću Monte Carlo simulacija određen je utjecaj varijacija u proizvodnji čipa. Konačno, provedene su simulacije struja curenja koje mogu unijeti pogrešku pri mjerenju koja se može smanjiti ispravnim postavljanjem mjernog sustava. Analizirane su otporničke topologije kojima se može kompenzirati temperaturni koeficijent prvog reda. Monte Carlo simulacijama procesnih varijacija i neusklađenosti pokazano je da kompozitne topologije imaju bolje performanse nego jednostavna serijska. Za odabir najbolje topologije potrebno je u obzir uzeti i površinu na čipu koju pojedina topologija zauzima.

Ključne riječi: otpornici, CMOS tehnologija, temperaturni koeficijent, četverožično mjerenje

Ivana Franković, Franjo Mikić

Temperature characterization and compensation of resistors in 180-nm CMOS technology

Summary

In this work a system for the temperature characterization of resistors in 180-nm CMOS technology is presented. The system is realized as an array with 20 rows and 10 columns which is sufficient to characterize 200 resistors using 4-wire sensing. The temperature and supply voltage variation simulations are performed which confirm that the system works correctly. Monte Carlo simulations are performed to determine the impact of process variations. Finally, leakage currents which can introduce an error during the measurements are simulated. The error can be reduced by using a proper measurement setup. Resistor topologies which can be used to compensate the first order temperature coefficient are analyzed. Monte Carlo simulations of process variations and mismatch show that the composite topologies have a better performance than the simple series topology. To choose the best topology, it is also necessary to consider the area on the chip required for each topology.

Keywords: resistors, CMOS technology, temperature coefficient, 4-wire sensing