

SVEUČILIŠTE U ZAGREBU
FAKULTET ELEKTROTEHNIKE I RAČUNARSTVA

Tin Fogec, Leo Gočan, Luka Sabljak, Andro Žamboki

**Projektiranje sklopa za faznu
sinkronizaciju u 180 nm CMOS
tehnologiji**

Zagreb, 2021.

Ovaj rad izrađen je na Zavodu za elektroniku, mikroelektroniku, računalne i inteligentne sustave pod vodstvom prof. dr. sc. Adrijana Barića i predan je na natječaj za dodjelu Rektorove nagrade u akademskoj godini 2020./2021.

SADRŽAJ

Popis slika	v
Popis tablica	xi
1. Uvod	1
2. Teorijska podloga	3
3. Djelitelj frekvencije (FDIV) i fazno-frekvencijski detektor (PFD)	6
3.1. Uvod	6
3.2. Projektiranje djelitelja frekvencije	8
3.2.1. Općenito o djeliteljima frekvencije	8
3.2.2. Analiza sklopa FDIV	9
3.3. Projektiranje fazno-frekvencijskog detektora	21
3.3.1. Općenito o fazno-frekvencijskim detektorima	21
3.3.2. Analiza sklopa PFD	26
3.4. Zaključak	46
4. Nabojna pumpa (CP) i niskopropusni filter (LPF)	47
4.1. Uvod	47
4.2. Teorijski opis rada sklopa	48
4.2.1. Početne postavke pri projektiranju sklopa	48
4.2.2. Nabojna pumpa s niskopropusnim filterom	50
4.3. Rezultati simulacija	59
4.3.1. Odabir parametara tranzistora, kondenzatora i otpornika	59
4.3.2. Analiza odvojnog pojačala	60
4.3.3. Analiza niskopropusnog filtera	66
4.3.4. Analiza nabojske pumpe i niskopropusnog filtera s umjetno generiranim ulaznim signalima	69

4.4. Zaključak	76
5. Naponski upravljani oscilator (VCO)	77
5.1. Uvod	77
5.2. Teorijska podloga	78
5.3. Postupak projektiranja	80
5.3.1. Čelija za kašnjenje (DLY)	80
5.3.2. Prstenasti oscilator (RO)	81
5.3.3. Naponsko-strujni pretvornik (V2I)	82
5.3.4. Naponski upravljani oscilator	84
5.4. Analize i rezultati analiza	85
5.4.1. Tranzijentna analiza	85
5.4.2. Analiza rubnih tehnologija	93
5.5. Zaključak	98
6. Pretvornik razine (LS) i upravljač radnog ciklusa (DCC)	99
6.1. Uvod	99
6.2. Teorijska baza LS_DCC sklopa	100
6.2.1. Pretvornik razine (LS)	100
6.2.2. Kontrola radnog ciklusa (DCC)	101
6.3. LS_DCC specifikacije i shema	103
6.4. Rezultati simulacija	105
6.4.1. DC analiza	105
6.4.2. Tranzijentna analiza	105
6.4.3. Isključen način rada (<i>Power Down mode</i>)	108
6.4.4. Realni teret	109
6.4.5. Rubne (<i>corner</i>) simulacije	112
6.5. Zaključak	114
7. Simulacije na nivou sustava (<i>top level</i>)	115
8. Topološki nacrt	123
8.1. Frekvencijski djelitelj (FDIV)	125
8.2. Fazno-frekvencijski detektor (PFD)	126
8.3. Nabojska pumpa (CP)	127
8.4. Naponski upravljani oscilator (VCO)	129
8.5. Sklop za pomak naponskih razina i simetriranje signala (LS_DCC)	132

8.6. Sustav sklopa za faznu sinkronizaciju (PLL)	133
8.7. Pakiranje	134
8.8. Testiranje topološkog nacrtu	135
9. Zaključak	137
Literatura	138
Sažetak	141
Summary	142

POPIS SLIKA

2.1. Blokovska shema PLL-a.	3
2.2. Usporedba referentnog i izlaznog signala PLL-a s frekvencijskom multiplikacijom od 5.	4
3.1. Najviša hijerarhijska razina digitalnog dijela PLL-a.	6
3.2. Srednja hijerarhijska razina digitalnog dijela PLL-a.	7
3.3. Sklop DIV2.	9
3.4. Dijeljenje frekvencije brojem 4.	9
3.5. Shema sklopa FDIV.	10
3.6. Shema podsklopa DIV5.	10
3.7. Dijagram stanja sklopa DIV5.	11
3.8. Interni signali sklopa DIV5.	12
3.9. Kašnjenje sklopa DIV5 u ovisnosti o temperaturi.	13
3.10. Kašnjenje sklopa DIV5 u ovisnosti o naponu napajanja.	14
3.11. Dijeljenje ulazne frekvencije f_{VCO} u dva stupnja.	15
3.12. Ukupno kašnjenje sklopa FDIV u ovisnosti o temperaturi.	16
3.13. Kašnjenje sklopa FDIV u ovisnosti o naponu napajanja.	17
3.14. Pad signala FDIV.	18
3.15. Porast signala FDIV.	18
3.16. Mirovanje sklopa FDIV.	19
3.17. Simbol sklopa XOR i tablica istinitosti.	21
3.18. Ulazi i izlazi faznog detektora [17].	22
3.19. Karakteristika sklopa PD [17].	22
3.20. Sklop PFD i njegovi signali [17].	23
3.21. Sklopovi PFD, nabojska pumpa i signali [17].	24
3.22. Karakteristika sklopa PFD [20].	25
3.23. Ulazni signali sklopa PFD različitih frekvencija [20].	25
3.24. Shema sklopa PFD.	26

3.25. Shema odvojnog pojačala (podsklopovi PFD_BUF i PFD_DLY).	27
3.26. Prikaz kašnjenja podsklopa PFD_DLY.	28
3.27. Shema analogne sklopke PFD_INV.	28
3.28. Testiranje <i>up</i> i <i>dwn</i> signala.	30
3.29. Srednja hijerarhijska razina.	31
3.30. Interni signali sklopa PFD.	32
3.31. Uvećani prikaz internih signala sklopa PFD.	33
3.32. Uvećani prikaz izlaznih signala <i>up</i> i <i>dwn</i>	34
3.33. Signali <i>FREF</i> i <i>FDIV</i> u fazi.	35
3.34. Trajanje kratkotrajnog impulsa.	36
3.35. Trajanje šiljka u ovisnosti o temperaturi i naponu napajanja.	36
3.36. Odziv PFD-a na kašnjenje signala <i>FDIV</i> za $t = 100$ ns.	37
3.37. Uvećani <i>up</i> i <i>dwn</i> signali.	38
3.38. Odziv PFD-a na kašnjenje signala <i>FREF</i> za $t = 100$ ns.	39
3.39. Uvećani <i>up</i> i <i>dwn</i> signali.	39
3.40. Izlazi PFD-a za frekvenciju $f_{VCO} = 17$ MHz.	40
3.41. Izlazi PFD-a za frekvenciju $f_{VCO} = 22$ MHz.	41
3.42. Složeni izvor.	42
3.43. Odziv PFD-a na promjenu faze.	43
3.44. Mirovanje sklopa PFD.	44
4.1. CMOS struktura s n-kanalnim i p-kanalnim MOSFET-om u istoj sili- cijskoj pločici.	48
4.2. Karakteristika struje tranzistora.	49
4.3. Shema cjelokupnog sklopa nabojske pumpe i niskopropusnog filtera.	50
4.4. Shema CMOS invertora.	51
4.5. Simbol invertora.	51
4.6. Shema CMOS analogne sklopke.	52
4.7. Shema strujnog zrcala.	53
4.8. Shema naponskog odvojnog pojačala.	54
4.9. Simbol odvojnog pojačala.	54
4.10. Pojednostavljena shema nabojske pumpe s niskopropusnim filterom u sklopu PLL-a.	55
4.11. Nabojska pumpa poboljšane strukture.	56
4.12. Ponašanje izlaznog napona kada signal <i>FDIV</i> kasni i kada signal <i>FREF</i> kasni.	57

4.13. Amplitudno-frekvencijska karakteristika odvojnog pojačala u negativnoj povratnoj vezi za sinusnu pobudu amplitude 1 V.	60
4.14. Amplitudno-frekvencijska karakteristika odvojnog pojačala u negativnoj povratnoj vezi za sinusnu pobudu amplitude 1 V uz spojeni kondenzator od 100 fF na izlazu prema referentnom naponu.	61
4.15. Amplitudno-frekvencijska karakteristika odvojnog pojačala za sinusnu diferencijalnu pobudu amplitude 1 V.	61
4.16. Fazno-frekvencijska karakteristika odvojnog pojačala za sinusnu diferencijalnu pobudu amplitude 1 V.	62
4.17. Amplitudno-frekvencijska karakteristika odvojnog pojačala za sinusnu diferencijalnu pobudu amplitude 1 V uz spojeni kondenzator od 100 fF na izlazu prema referentnom naponu.	62
4.18. Fazno-frekvencijska karakteristika odvojnog pojačala za sinusnu diferencijalnu pobudu amplitude 1 V uz spojeni kondenzator od 100 fF na izlazu prema referentnom naponu.	63
4.19. Vremenska analiza odvojnog pojačala za pravokutnu pobudu. Period ulaznog signala je $T = 20$ ns. Širina pulsa je $T_p = 10$ ns. Vrijeme porasta je $t_r = 10$ ps. Vrijeme pada je $t_f = 10$ ps.	63
4.20. Vremenska analiza odvojnog pojačala za pravokutnu pobudu i temperaturu 27°C . Period ulaznog signala je $T = 200$ ns. Širina pulsa je $T_p = 100$ ns. Vrijeme porasta je $t_r = 10$ ps. Vrijeme pada je $t_f = 10$ ps.	64
4.21. Uvećani prikaz vremenske analize odvojnog pojačala za pravokutnu pobudu i temperaturu 27°C . Period ulaznog signala je $T = 200$ ns. Širina pulsa je $T_p = 100$ ns. Vrijeme porasta je $t_r = 10$ ps. Vrijeme pada je $t_f = 10$ ps.	64
4.22. Vremenska analiza odvojnog pojačala za sinusnu pobudu frekvencije $f = 2$ MHz.	65
4.23. Prikaz struje na ulazu u analognu sklopku i na ulazu u odvojno pojačalo.	65
4.24. Shema niskopropusnog filtera.	66
4.25. Amplitudno-frekvencijska karakteristika niskopropusnog filtera za ulazni otpor $R_0 = 150\ \Omega$	66
4.26. Amplitudno-frekvencijska karakteristika niskopropusnog filtera za ulazni otpor $R_0 = 388\ \Omega$	67
4.27. Fazno-frekvencijska karakteristika niskopropusnog filtera za ulazni otpor $R_0 = 150\ \Omega$	68

4.28. Fazno-frekvencijska karakteristika niskopropusnog filtera za ulazni otpor $RO = 388 \Omega$	68
4.29. Prikaz upravljačkih signala u vremenu.	70
4.30. Prikaz izlaznog signala <i>out</i> u vremenu.	71
4.31. Usporedni prikaz rasta signala <i>out</i> , <i>clf</i> i <i>output</i>	72
4.32. Vremenska analiza struja tranzistora nabojske pumpe.	73
4.33. Usporedni prikaz signala <i>out</i> za različita kašnjenja signala <i>FREF</i> za signalom <i>FDIV</i>	74
4.34. Vremenska analiza izlaznog napona <i>out</i> za rubne vrijednosti temperature i napona napajanja.	74
5.1. Idealna karakteristika upravljanja VCO-a.	78
5.2. Idealna karakteristika upravljanja VCO-a u ovom radu.	79
5.3. Shema ćelije za kašnjenje.	80
5.4. Shema prstenastog oscilatora.	82
5.5. Shema RO-a s priključenim naponsko-strujnim pretvornikom.	83
5.6. Prikaz VCO-a s definiranim ulazima i izlazima.	84
5.7. Ovisnost izlaznih signala <i>uo2n</i> i <i>uo2p</i> o vremenu.	85
5.8. Ovisnost amplitude izlaznih signala o kontrolnom naponu.	86
5.9. Ovisnost izlazne frekvencije o kontrolnom naponu uz promjenu temperature.	87
5.10. Ovisnost izlazne frekvencije o kontrolnom naponu uz promjenu C_{out} za $\pm 10\%$	88
5.11. Ovisnost izlazne frekvencije o kontrolnom naponu uz promjenu C_{out}	88
5.12. Ovisnost izlazne frekvencije o kontrolnom naponu uz promjenu napona napajanja.	89
5.13. Ovisnost derivacije izlazne frekvencije po kontrolnom naponu o kontrolnom naponu uz promjenu temperature.	90
5.14. Ovisnost struje napajanja o kontrolnom naponu uz promjenu temperature.	91
5.15. Ovisnost struje napajanja o kontrolnom naponu kada je VCO isključen ($pd = 1,8 V$) uz promjenu temperature.	91
5.16. Ovisnost kapaciteta koji čine ukupni kapacitet na ulazu ćelije za kašnjenje o vremenu.	92
5.17. Ovisnost ukupnog kapaciteta na ulazu ćelije za kašnjenje o vremenu.	93
5.18. Grafička reprezentacija rubova u analizi rubnih tehnologija.	93

5.19. Ovisnost izlazne frekvencije o kontrolnom naponu za najgori slučaj brzine uz promjenu temperature.	94
5.20. Ovisnost izlazne frekvencije o kontrolnom naponu za najgori slučaj snage uz promjenu temperature.	95
5.21. Ovisnost izlazne frekvencije o kontrolnom naponu za najgori slučaj nule uz promjenu temperature.	96
5.22. Ovisnost izlazne frekvencije o kontrolnom naponu za najgori slučaj jedinice uz promjenu temperature.	97
6.1. Princip rada LS_DCC sklopa.	100
6.2. Osnovna shema <i>level shifter</i> sklopa.	101
6.3. Radni ciklus za razne valne oblike.	102
6.4. DCC shema.	102
6.5. LS_DCC shema.	103
6.6. LS_DCC simbol.	103
6.7. LS_DCC odziv na pravokutni signal.	106
6.8. Vrijeme porasta izlaznog signala u ovisnosti o amplitudi ulaznog signala.	107
6.9. Kašnjenje izlaznog signala u ovisnosti o amplitudi ulaznog signala. . .	107
6.10. Kašnjenje komponenata LS_DCC sklopa.	108
6.11. Potrošnja struje LS_DCC sklopa bez <i>pass_gate</i> sklopa.	109
6.12. Prosječna potrošnja struje LS_DCC sklopa.	109
6.13. Kašnjenje sklopa sa spojenim FDIV sklopom.	110
6.14. Usporedba ulaza i izlaza FDIV sklopa $TST_IN = vop$	110
6.15. Signali <i>vin</i> i <i>vop</i> u ovisnosti o signalu <i>VCTRL</i>	111
6.16. PLL frekvencija u ovisnosti o signalu <i>VCTRL</i>	112
6.17. Varijacije u debljini silicijske ploče.	112
7.1. PLL signalni lanac.	115
7.2. PLL frekvencija izlaznog signala. $FREF = 2\text{ MHz}$	116
7.3. PLL vrijeme stabilizacije. $FREF = 2\text{ MHz}$ Isprekidane linije su margine od $\pm 0,1\%$ od stabilnog stanja.	117
7.4. Signal <i>VCTRL</i> za odziv sa slike 7.3.	117
7.5. PLL frekvencija izlaznog signala. $FREF = 2\text{ MHz}$ na početku i $FREF = 2,1\text{ MHz}$ nakon $50\ \mu\text{s}$	118
7.6. Uvećana slika 7.5.	118
7.7. Simuliranje PLL sklopa s vanjskom smetnjom.	119
7.8. Odziv sustava na smetnju.	120

7.9. Uvećana slika 7.8 a).	120
7.10. Signali <i>up</i> i <i>dwn</i> kao odziv na smetnju.	121
7.11. Širina impulsa <i>up</i> i <i>dwn</i> kao odziv na smetnju.	122
8.1. Topološki nacrt sklopa DIV5.	125
8.2. Topološki nacrt sklopa FDIV.	125
8.3. Topološki nacrt sklopa PFD.	126
8.4. Topološki nacrt sklopova PFD i FDIV.	126
8.5. Topološki nacrt CP_LPF sklopa.	127
8.6. Topološki nacrt cijelog CP sklopa.	128
8.7. Topološki nacrt kondenzatorske mreže.	129
8.8. Topološki nacrt sklopa za kašnjenje.	129
8.9. Topološki nacrt prstenastog oscilatora.	130
8.10. Shema <i>buffer</i> pojačala u VCO-u.	130
8.11. Topološki nacrt <i>buffer</i> pojačala.	131
8.12. Topološki nacrt cijelog VCO sklopa.	131
8.13. Topološki nacrt LS_DCC sklopa.	132
8.14. Uvećan topološki nacrt PLL sklopa.	133
8.15. Topološki nacrt PLL sklopa.	133
8.16. Pakiranje topološkog nacrta.	134
8.17. VCO karakteristike.	135
8.18. Izlazna frekvencija topološkog nacrta.	136

POPIS TABLICA

3.1. Tablica promjene stanja D-ff bistabila.	8
3.2. Kašnjenje sklopa DIV5 za minimalnu, nominalnu i maksimalnu temperaturu.	13
3.3. Kašnjenje sklopa DIV5 za minimalni, nominalni i maksimalni napon napajanja.	14
3.4. Kašnjenje sklopa FDIV za minimalnu, nominalnu i maksimalnu temperaturu.	16
3.5. Kašnjenje sklopa FDIV za minimalni, nominalni i maksimalni napon napajanja.	17
3.6. Vrijeme porasta i pada za različite temperature.	18
3.7. Srednja struja potrošnje za različite temperature ($pd_FDIV = "0"$).	20
3.8. Srednja struja potrošnje za različite temperature ($pd_FDIV = "1"$).	20
3.9. Dimenzije tranzistora odvojnog pojačala PFD_BUF.	27
3.10. Dimenzije tranzistora odvojnog pojačala PFD_DLY.	27
3.11. Dimenzije tranzistora sklopa PFD_INV.	29
3.12. Vrijeme porasta, pada i kašnjenja podsklopova PFD_BUF i PFD_INV	29
3.13. Trajanje impulsa u ovisnosti o temperaturi.	36
3.14. Trajanje impulsa u ovisnosti o naponu napajanja.	37
3.15. Srednja struja potrošnje za različite temperature ($pd_PFD = "0"$).	45
3.16. Srednja struja potrošnje za različite temperature ($pd_PFD = "1"$).	45
4.1. Otpor u niskopropusnom filteru.	58
4.2. Kapaciteti u niskopropusnom filteru.	58
4.3. Realni parametri tranzistora.	59
4.4. Realni parametri niskopropusnog filtera.	60
4.5. Vrijeme smirivanja napona odvojnog pojačala.	65
4.6. Parametri upravljačkih signala <i>FREF</i> i <i>FDIV</i>	69

4.7.	Koeficijent rasta napona <i>out</i> u vremenu za temperaturu $T = 27^{\circ}\text{C}$ i napon napajanja $v_{dda} = 1,8\text{ V}$	75
4.8.	Koeficijent rasta napona <i>out</i> u vremenu za parametar $TDFDIV = 100\text{ ns}$ i napon napajanja $v_{dda} = 1,8\text{ V}$	75
4.9.	Koeficijent rasta napona <i>out</i> u vremenu za parametar $TDFDIV = 100\text{ ns}$ i temperaturu $T = 27^{\circ}\text{C}$	75
5.1.	Dimenzije tranzistora ćelije za kašnjenje sa slike 5.3.	81
5.2.	Dimenzije tranzistora naponsko-strujnog pretvornika sa slike 5.5. . . .	84
6.1.	Dimenzije tranzistora sa slike 6.5.	104
6.2.	DC parametri tranzistora	105
6.3.	Rezultati rubne simulacije.	113

1. Uvod

Računala predstavljaju temelj modernog društva. Ona su neizbježna u svakodnevnici, a u određenim primjenama u današnje vrijeme su i neophodna. Jedan od najvažnijih elemenata računala, odnosno, računalnih sustava je takt (engl. *clock*). To je signal koji osigurava sinkronizaciju rada pojedinih dijelova računalnih sustava koja je nužna za njihov ispravan rad. Jedan od načina generiranja signala takta pouzdane i proizvoljne frekvencije je korištenjem sklopa za faznu sinkronizaciju (engl. *phase-locked loop*, skraćeno PLL).

Tema ovog rada je projektiranje sklopa za faznu sinkronizaciju nominalne izlazne frekvencije od 20 MHz s naponom napajanja od 1,8 V u 180 nm CMOS tehnologiji.

Sklop za faznu sinkronizaciju je sklop s brojnim primjenama. Koristi se u FM (engl. *frequency modulation*) i PM (engl. *phase modulation*) demodulaciji [22], u sintezi frekvencija, u obnovi signala takta [21], za ostvarenje lokalnih oscilatora i u sličnim primjenama. U ovom radu, PLL se promatra kao sklop za umnažanje i stabilizaciju frekvencije.

Glavna zadaća PLL-a je osigurati na svom izlazu signal vrlo stabilne frekvencije. U računalima je od iznimne važnosti to da procesori dobivaju signal takta stabilne frekvencije. U slučaju da signal takta mijenja svoju frekvenciju i fazu tijekom rada računala, naredbe koje procesor mora obaviti neće se izvoditi u onom trenutku u kojem se trebaju izvoditi i računalo neće ispravno raditi.

Vrlo stabilnu izlaznu frekvenciju daju kristalni oscilatori, ali je ta frekvencija premalena u odnosu na frekvencije koje se danas koriste u računalima. Rješenje predstavlja struktura koja kombinira stabilnost frekvencije kristalnog oscilatora (ili elementa s dovoljno stabilnom frekvencijom) te umnažanje i stabilizaciju frekvencije PLL-a. U toj strukturi, kristalni oscilator izvor je referentne frekvencije koju PLL umnaža i čini otpornom na vanjske utjecaje. Pritom PLL nasljeđuje veliku stabilnost frekvencije kristalnog oscilatora.

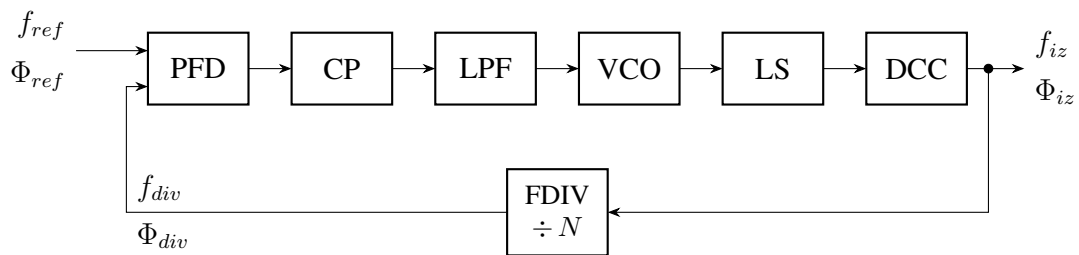
Svi tranzistori PLL-a rađeni su u 180 nm CMOS (engl. *complementary metal-oxide-semiconductor*) tehnologiji. To znači da se u svim sklopovima koriste *p*-kanalni i

n -kanalni MOSFET-ovi (engl. *metal-oxide-semiconductor field effect transistor*). Najmanja tehnološki izvediva duljina kanala tranzistora u toj tehnologiji je $L = 180$ nm.

Svaki podsklop u PLL-u potrebno je spojiti na vanjske priključke: izvor napajanja (V_{DD}) i referentni potencijal (V_{SS}). Također, sve podloge ili supstrate (engl. *bulk*) tranzistora potrebno je spojiti na odvojeni referentni potencijal ($PSUB$). U ovisnosti o vrsti signala unutar pojedinog dijela PLL-a, razlikuju se digitalni i analogni dio PLL-a. Stoga se u praksi napajanje i referentni potencijal odvajaju na digitalni dio (V_{DDD} i V_{SSD}) i analogni dio (V_{DDA} i V_{SSA}).

2. Teorijska podloga

Blokovska shema PLL-a za umnažanje i stabilizaciju frekvencije nalazi se na slici 2.1. Sklop se sastoji od fazno-frekvencijskog detektora (engl. *phase frequency detector*, skraćeno PFD), nabojske pumpe (engl. *charge pump*, skraćeno CP), niskopropusnog filtra (engl. *low-pass filter*, skraćeno LPF), naponski upravljano oscilatora (engl. *voltage-controlled oscillator*, skraćeno VCO), sklopa za pomak razina (engl. *level shifter*, skraćeno LS), regulatora radnog omjera (engl. *duty cycle control*, skraćeno DCC) i djelitelja frekvencije (engl. *frequency divider*, skraćeno FDIV).

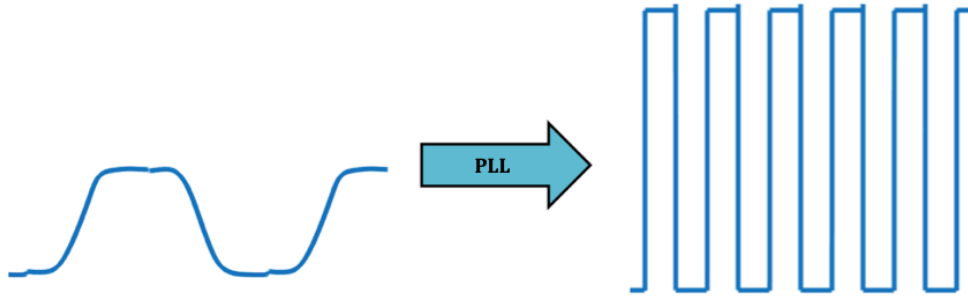


Slika 2.1: Blokovska shema PLL-a.

Umnažanje frekvencije osigurava sklop FDIV, a stabilizaciju frekvencije osigurava negativna povratna veza.

Referentni signal frekvencije f_{ref} i izlazni signal FDIV-a frekvencije f_{div} dolaze na PFD koji uspoređuje fazu i frekvenciju tih signala te na izlazu generira signale koji se zajednički mogu protumačiti kao signal pogreške. Izlazni signali PFD-a dolaze na CP koja iz razlike faza tih signala generira naponski signal čije se visokofrekvencijske komponente filtriraju u LPF-u. Izlazni signal LPF-a upravlja frekvencijom izlaznog signala VCO-a. Oblik izlaznog signala VCO-a pretvara se u specificirani oblik sklopovima LS i DCC. Izlazni signal DCC-a predstavlja izlazni signal cijelog PLL-a te se ujedno dovodi na sklop FDIV koji dijeli njegovu frekvenciju konstantom N . Cilj PLL-a je minimizirati signal pogreške, odnosno, postići da f_{ref} i f_{div} postanu jednake.

Na slici 2.2 prikazan je primjer transformacije proizvoljnog referentnog signala PLL-a.



Slika 2.2: Usporedba referentnog i izlaznog signala PLL-a s frekvencijskom multiplikacijom od 5.

U fazno-sinkroniziranom stanju, razlika faze Φ_{div} na izlazu djelitelja i faze Φ_{ref} na ulazu PLL-a općenito je konstantna.

$$\Phi_{div}(t) - \Phi_{ref}(t) = konstanta \quad (2.1)$$

Deriviranjem izraza (2.1), dobiva se

$$\frac{d\Phi_{div}(t)}{dt} = \frac{d\Phi_{ref}(t)}{dt} \quad (2.2)$$

Iz izraza (2.2), sukladno i izrazu (2.1), slijedi da su faze ili iste ili da između njih postoji konstantna fazna razlika.

Poznato je da za trenutnu frekvenciju $f(t)$ vrijedi

$$f(t) = \frac{1}{2\pi} \cdot \frac{d\Phi(t)}{dt} \quad (2.3)$$

Kombiniranjem izraza (2.2) i (2.3) slijedi da jednakost derivacija faza po vremenu (promjena faza u vremenu) rezultira jednakosti trenutnih frekvencija što je upravo funkcija koju PLL treba ostvarivati. Dakle, PLL u ovom slučaju podešava promjenu faze u vremenu tako da bude ista i za referentni signal i za signal iz djelitelja frekvencije. To rezultira jednakosti frekvencija referentnog signala i signala iz djelitelja frekvencije. Konačni rezultat je signal na izlazu iz VCO-a, a time ujedno i iz PLL-a, čija je frekvencija f_{iz} jednaka $N \cdot f_{ref}$.

Prijenosna funkcija otvorene petlje glasi

$$H_0(s) = \frac{I_p}{2\pi} \cdot \left[\left(R_1 + \frac{1}{sC_1} \right) \parallel \frac{1}{sC_2} \right] \cdot \frac{K_{VCO}}{s} \quad (2.4)$$

gdje je prvi faktor, $I_p/2\pi$, zajednička funkcija PFD-a i CP-a, drugi faktor impedancija LPF-a, a treći faktor, K_{VCO}/s , prijenosna funkcija VCO-a. Iz impedancije LPF-a moguće je zaključiti da se on sastoji od serije otpora R_1 i kapaciteta C_1 kojoj se u paraleli nalazi kapacitet C_2 .

Općeniti izraz za prijenosnu funkciju zatvorene petlje glasi

$$H(s) = \frac{H_0(s)}{1 + \beta H_0(s)} \quad (2.5)$$

gdje je $H_0(s)$ prijenosna funkcija otvorene petlje, a β faktor pojačanja povratne veze.

Prijenosna funkcija zatvorene petlje računa se za slučaj kada nema kapaciteta C_2 , odnosno, kada postoji samo serija otpora R_1 i kapaciteta C_1 . Taj je slučaj jednostavniji za računanje, a i sam kapacitet C_2 bira se tako da ne utječe na bitne karakteristike i karakteristične frekvencije koje se dobivaju proračunom.

Prijenosna funkcija zatvorene petlje za $\beta = 1/N$ glasi

$$H(s) = \frac{\frac{I_p K_{VCO}}{2\pi C_1 N} \cdot (1 + sR_1 C_1)}{s^2 + s \frac{I_p K_{VCO} R_1}{2\pi N} + \frac{I_p K_{VCO}}{2\pi C_1 N}} \quad (2.6)$$

Iz izraza (2.6) moguće je dobiti parametre ζ i ω_n iz teorije upravljanja:

$$\zeta = \frac{R_1}{2} \sqrt{\frac{I_p K_{VCO} C_1}{2\pi} \cdot \frac{1}{N}} \quad (2.7)$$

$$\omega_n = \sqrt{\frac{I_p K_{VCO}}{2\pi C_1} \cdot \frac{1}{N}} \quad (2.8)$$

Parametar ζ naziva se relativni koeficijent prigušenja, a parametar ω_n naziva se prirodna (vlastita) frekvencija neprigušenih oscilacija.

Pomoću izraza (2.7) i (2.8) moguće je prijenosnu funkciju zatvorene petlje iz izraza (2.6) zapisati na drugi način:

$$H(s) = \frac{\omega_n^2}{s^2 + 2s\zeta\omega_n + \omega_n^2} \quad (2.9)$$

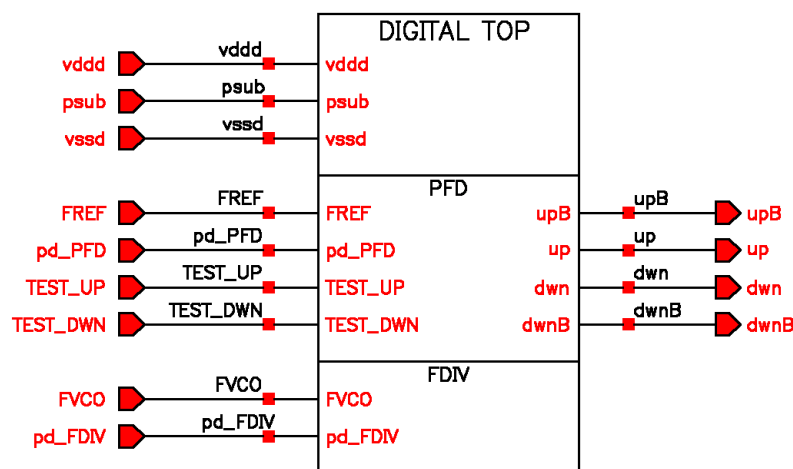
Da bi sustav bio stabilan, parametar ζ mora biti ≥ 1 . Odabrana vrijednost ζ u ovom slučaju je 1 i taj se slučaj naziva kritično prigušenje.

3. Djelitelj frekvencije (FDIV) i fazno-frekvencijski detektor (PFD)

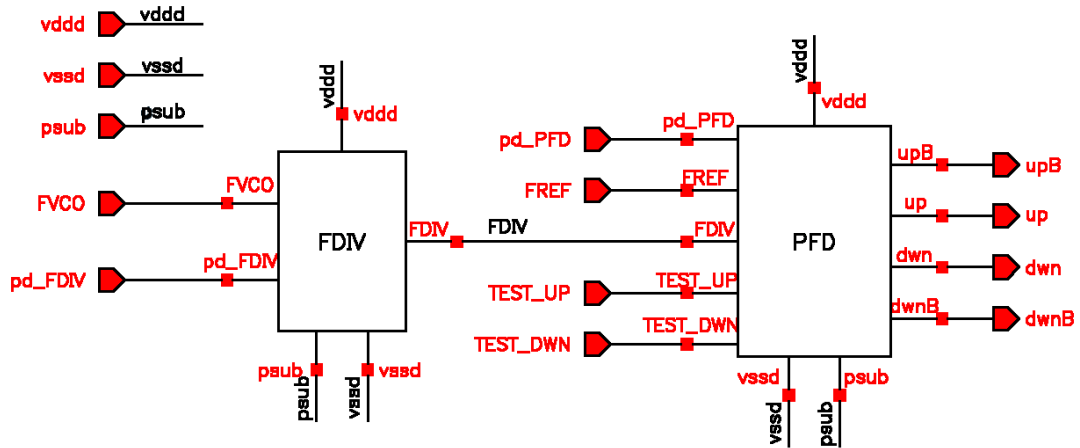
3.1. Uvod

Djelitelj frekvencije (engl. *frequency divider*, skraćeno FDIV) i fazno-frekvencijski detektor (engl. *phase-frequency detector*, skraćeno PFD) dijelovi su sklopa fazno sinkronizirane petlje (engl. *phase-locked loop*, skraćeno PLL).

U ovisnosti o vrsti signala unutar pojedinog dijela PLL-a, razlikuju se digitalni i analogni dio PLL-a. Djelitelj frekvencije i fazno-frekvencijski detektor čine digitalni dio PLL-a. To znači da su svi signali unutar sklopa digitalni, odnosno, pravokutnog oblika. Digitalni signali opisani su binarnim sustavom, odnosno, visokom i niskom razinom. Najčešće se niskoj razini pridjeljuje iznos napona 0 V, dok se visokoj razini pridjeljuje napon napajanja sklopa V_{DD} . Takvo definiranje razina naziva se pozitivna logika. Različite arhitekture FDIV-a prikazane su u radovima [18], [11] i [23]. Različite arhitekture PFD-a prikazane su u radovima [7], [14] i [10].



Slika 3.1: Najviša hijerarhijska razina digitalnog dijela PLL-a.



Slika 3.2: Srednja hijerarhijska razina digitalnog dijela PLL-a.

3.2. Projektiranje djelitelja frekvencije

3.2.1. Općenito o djeliteljima frekvencije

Kada je izlaz iz digitalnog sklopa funkcija ulaza i trenutnog stanja (izlaza) sklopa radi se o sekvencijskom sklopu. Tip sekvencijskih sklopova su bistabili. Bistabili su osnovni memorijski blokovi zato što čuvaju stanje na svom izlazu sve dok ih kontrolni signal (npr. signal takta) ne natjera na promjenu stanja. Zbog ovog se svojstva bistabili mogu koristiti u brojilima, djeliteljima, registrima itd. Osnovni gradivni element djelitelja frekvencije je D *flip-flop* bistabil (skraćeno D-ff bistabil). D-ff bistabil može se okidati na rastući brid ili na padajući brid signala takta. U ovom radu koristit će se D-ff bistabili koji se okidaju na rastući brid signala takta. U trenutku rastućeg brida, izlaz D-ff bistabila mijenja izlaz (stanje) tako da prosljeđuje stanje sa ulaza. Promjene stanja D-ff bistabila prikazane su u tablici 3.1.

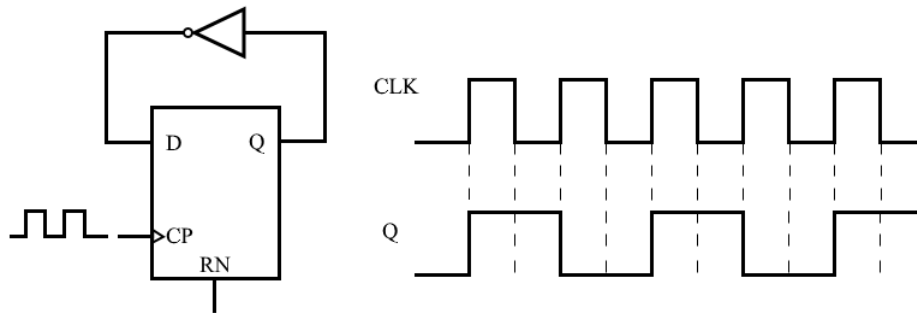
Tablica 3.1: Tablica promjene stanja D-ff bistabila.

Ulaz (D)	Trenutno stanje (Q^n)	Sljedeće stanje (Q^{n+1})
0	0	0
0	1	0
1	0	1
1	1	1

U djeliteljima je korisno da D-ff bistabil ima poseban ulaz za resetiranje bistabila. D-ff bistabil može se resetirati na visoku ili na nisku razinu signala. Resetiranje bistabila znači da izlaz bistabila ostaje u niskoj razini sve dok je signal za resetiranje aktivan. D-ff bistabili koji se koriste u ovom radu resetiraju se na nisku razinu (engl. *reset negative*, skraćeno *RN*).

Djelitelji frekvencije dijele se na asinkrone i sinkrone. D-ff bistabili mogu se okidati na zajednički signal takta. U tom slučaju radi se o sinkronom djelitelju. Kada izlaz prethodnog bistabila okida idući bistabil radi se o asinkronom djelitelju. Slijede dva jednostavna primjera djelitelja.

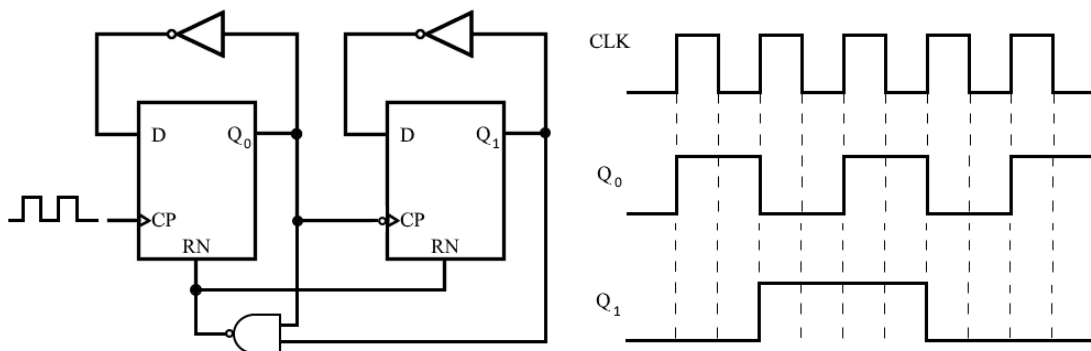
Dijeljenje frekvencije brojem 2 ostvaruje se tako da se izlaz iz D-ff bistabila invertira i spoji na ulaz bistabila. Ovaj sklop koristit će se u djelitelju frekvencije.



Slika 3.3: Sklop DIV2.

Valja napomenuti da postoje realizacije D-ff bistabila s dva izlaza: izlaz Q i \bar{Q} (komplement). U tom slučaju se izlaz \bar{Q} spaja na ulaz D-ff bistabila.

Ako bi se povezala dva sklopa DIV2 u seriju, onda bi se ulazna frekvencija dijelila brojem 4. Općenito, ako se želi ostvariti dijeljenje brojem N , onda sklop mora imati N stanja i mora imati $\log_2 N$ bistabila.



Slika 3.4: Dijeljenje frekvencije brojem 4.

Vidi se da je sklop sa slike 3.4 asinkroni djelitelj i da ima dva D-ff bistabila što znači da sklop ima četiri stanja. Drugi D-ff bistabil okida se na padajući brid signala takta. Kada su oba izlaza Q_0 i Q_1 u visokoj razini (dosegnuto je posljednje, četvrto stanje djelitelja), izlaz sklopa NI je u niskoj razini čime se resetiraju svi bistabili. Time se djelitelj ponovo nalazi u prvom stanju.

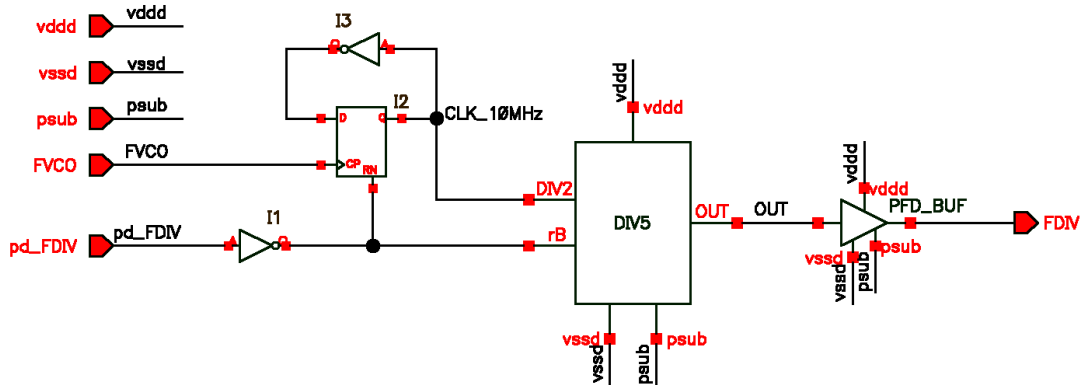
3.2.2. Analiza sklopa FDIV

Zadaća sklopa FDIV je dijeljenje frekvencije ulaznog signala brojem $N = 10$. Ulazni signal je izlazni signal iz sklopa VCO. Taj signal predstavlja signal takta za sve bistabile. FDIV je sinkrono djelilo realizirano u dva stupnja. Prvo se ulazna frekvencija dijeli s 2 (podsklop DIV2), a zatim s 5 (podsklop DIV5). Od prije je poznato da je

nominalna vrijednost ulazne frekvencije signala takta $f_{VCO} = 20$ MHz. Dakle, izlazna frekvencija iz FDIV-a bit će:

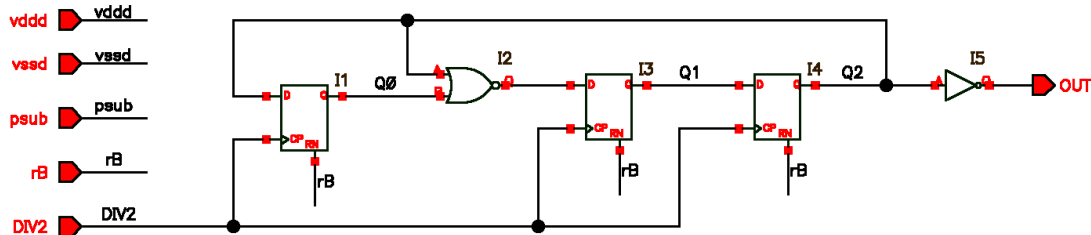
$$f_{FDIV} = \frac{f_{VCO}}{N} = 2 \text{ MHz} \quad (3.1)$$

Na izlazu iz sklopa FDIV nalazi se odvojno pojačalo (engl. *buffer*). Odvojno pojačalo služi da sklop FDIV ne opterećuje svojom izlaznom impedancijom sklop PFD. Izlazni signal iz FDIV-a ulazi u fazno-frekvencijski detektor gdje se uspoređuje s referentnim signalom $FREF$. Rad odvojnog pojačala i sklopa PFD bit će objašnjen u idućem poglavlju.



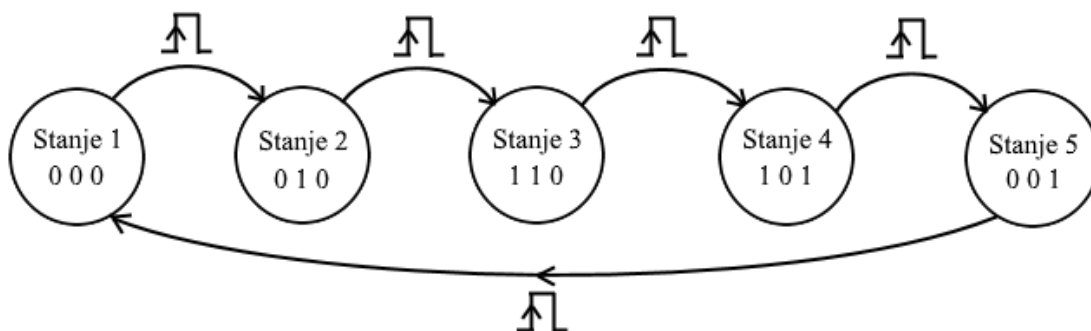
Slika 3.5: Shema sklopa FDIV.

Sa slike 3.5 prepoznaje se da način na koji je povezan D-ff bistabil I2 čini podsklop DIV2, čiji se izlaz spaja na podsklop DIV5. Ulazna frekvencija signala u podsklop DIV5 iznosi $f = 10$ MHz.



Slika 3.6: Shema podsklopa DIV5.

Sklop DIV5 mora imati pet stanja u svom ciklusu kako bi dijeljenje brojem 5 bilo moguće. Binarni zapis broja 5 je 101. Dakle, potrebna su tri bita za njegov zapis. Zbog toga sklop DIV5 mora imati tri D-ff bistabila. Njihovi izlazi označeni su redom Q_0 , Q_1 , Q_2 . Stanje djelitelja zapisano je u obliku: Stanje n , $Q_2 Q_1 Q_0$



Slika 3.7: Dijagram stanja sklopa DIV5.

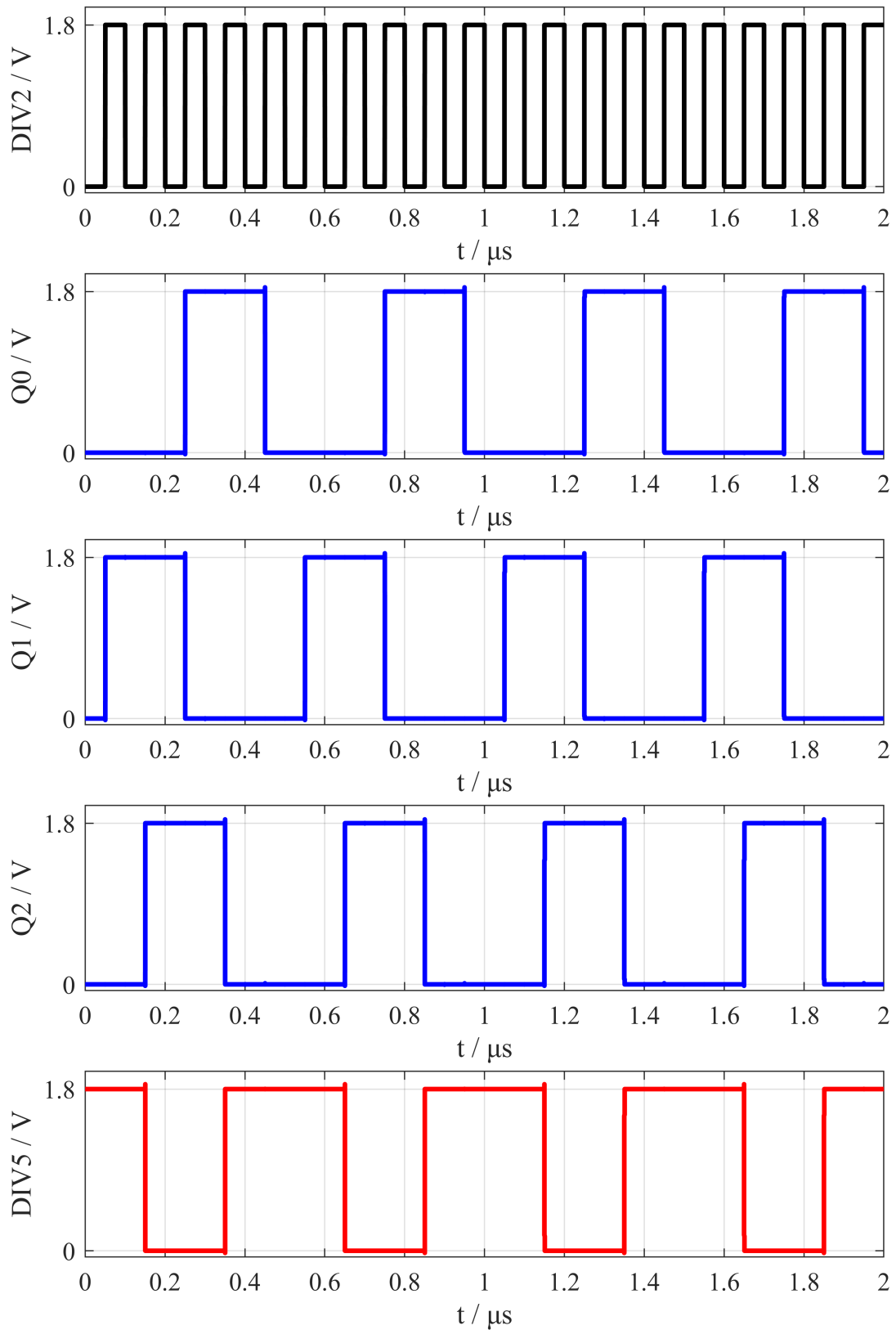
Pri uključanju rada djelitelja, potrebno je osigurati siguran start. To se postiže aktiviranjem signala pd_FDIV (engl. *power down*). Taj signal resetira sve bistabile. Također, aktiviranjem pd_FDIV sklop ne radi te se teži smanjenju struje potrošnje do 10 puta u odnosu normalni rad. Kod sklopa DIV5, taj signal povezan je na ulazni priključak rB (engl. *reset bar*).

Slijede simulacije podsklopa DIV5 i sklopa FDIV. Ponašanja sklopova simulirat će se tranzijentnom analizom. Signal takta $FVCO$ umjetno se generira iz tzv. *vpulse* izvora. Parametri *vpulse* izvora:

- frekvencija i period; $f_{VCO} = 20 \text{ MHz}$, $T = \frac{1}{f_{VCO}} = 50 \text{ ns}$
- visoka i niska razina; $V_1 = 1,8 \text{ V}$, $V_0 = 0 \text{ V}$
- vrijeme porasta; $t_{rise} = \frac{1}{100 \cdot f_{VCO}} = 500 \text{ ps}$
- trajanje visoke razine; $T_{pulse} = T - t_{rise} = 49,5 \text{ ns}$

Simulacije podsklopa DIV5

Simulacija za nominalne uvjete: signal takta frekvencije $f_{DIV2} = 10 \text{ MHz}$, temperatura $T = 27^\circ\text{C}$ i napon napajanja $V_{DD} = 1,8 \text{ V}$.



Slika 3.8: Interni signali sklopa DIV5.

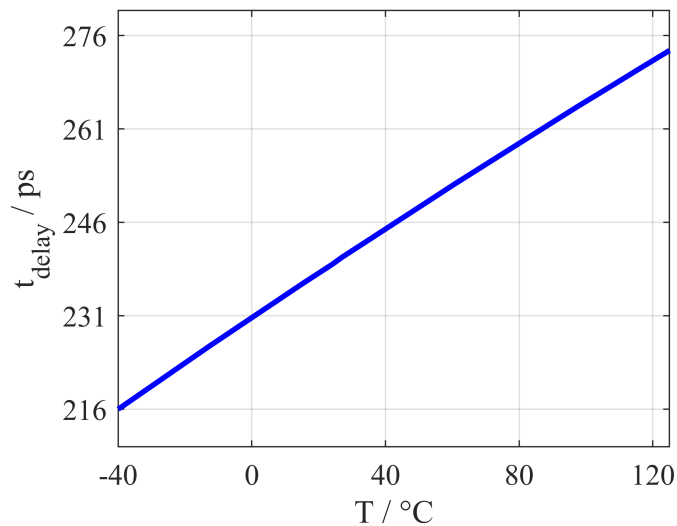
Na slici se vidi da je izlazni signal $DIV5$ frekvencije $f_{DIV5} = 2\text{MHz}$. Također,

radni ciklus nije simetričan, već je signal u 60 % vremena perioda u visokoj razini ($D = 0,6$). Svi izlazi iz D-ff bistabila prate stanja opisana na slici 3.7.

Kašnjenje (engl. *delay*) je bitan parametar za ispravan rad sklopa. Definiira se kao razlika u vremenu između izlaznog i ulaznog signala u trenutcima kada su doseguli 50 % maksimalne vrijednosti napona (0,9 V). Kašnjenje D-ff bistabila i ostalih sklopova pridonosi ukupnom kašnjenju sklopa. Provode se parametarske simulacije kašnjenja sklopa DIV5 u ovisnosti o temperaturi i naponu napajanja.

Izraz za računanje kašnjenja:

```
delay(?wf1 v("/OUT" ?result "tran"), ?value1 0.9, ?edge1 "falling", ?nth1 1, ?td1 nil,
?tol1 nil, ?wf2 v("/DIV2" ?result "tran"), ?value2 0.9, ?edge2 "rising", ?nth2 1, ?tol2
nil, ?td2r0 nil, ?stop nil, ?multiple nil)
```

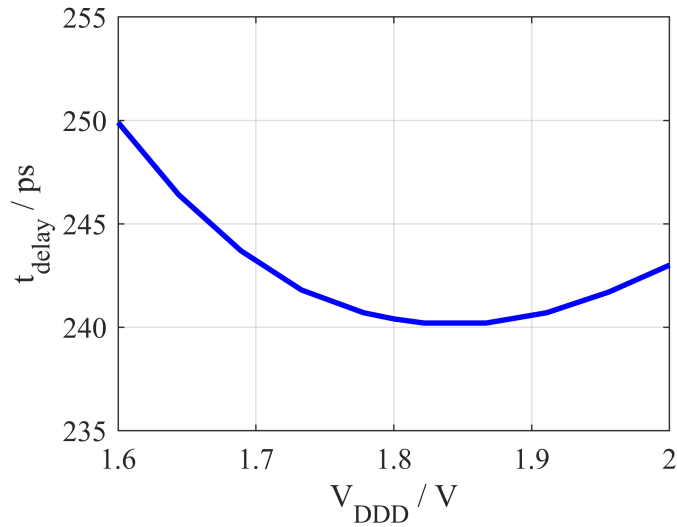


Slika 3.9: Kašnjenje sklopa DIV5 u ovisnosti o temperaturi.

Tablica 3.2: Kašnjenje sklopa DIV5 za minimalnu, nominalnu i maksimalnu temperaturu.

T [°C]	t_{delay} [ps]
-40	216
27	240,4
125	273,6

Porastom temperature raste i kašnjenje sklopa. Vrijeme kašnjenja sklopa DIV5 gotovo linearno ovisi o temperaturi.



Slika 3.10: Kašnjenje sklopa DIV5 u ovisnosti o naponu napajanja.

Tablica 3.3: Kašnjenje sklopa DIV5 za minimalni, nominalni i maksimalni napon napajanja.

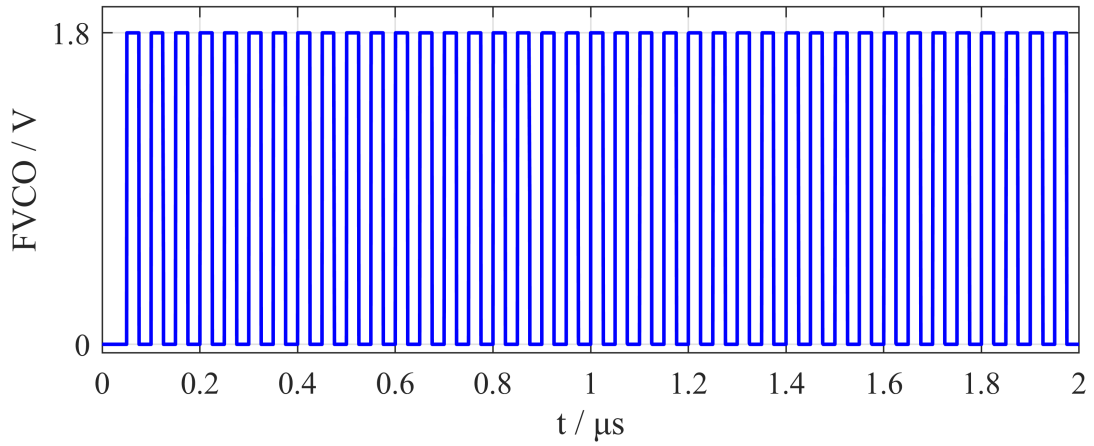
V_{DDD} [V]	t_{delay} [ps]
1,6	249,9
1,8	240,4
2,0	243,0

Najveća odstupanja od nominalne vrijednosti $t_{delay} = 240,4$ ps su:

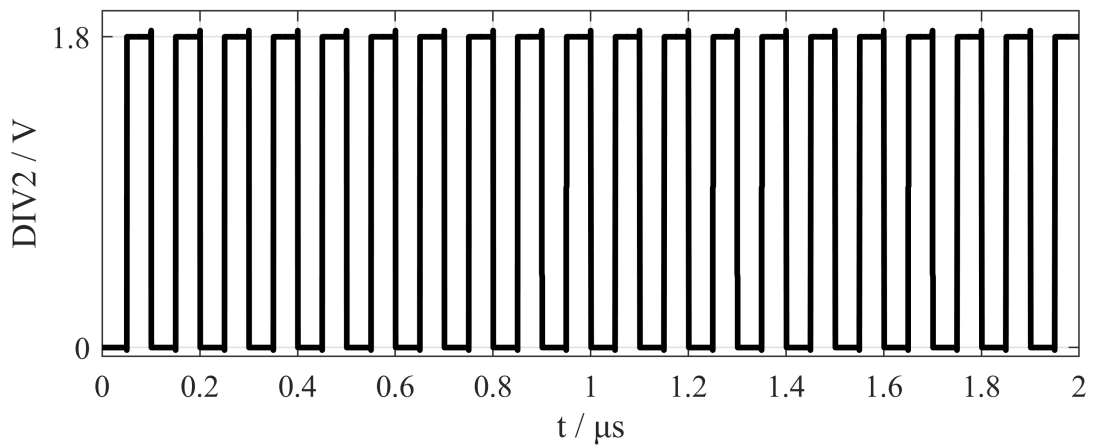
- pri temperaturi $T = 125$ °C kašnjenje je $t_{delay} = 273,6$ ps, tj. 13,81 % više od nominalne vrijednosti
- pri naponu napajanja $V_{DDD} = 1,6$ V kašnjenje je $t_{delay} = 249,9$ ps tj. 3,95 % više od nominalne vrijednosti

Simulacije sklopa FDIV

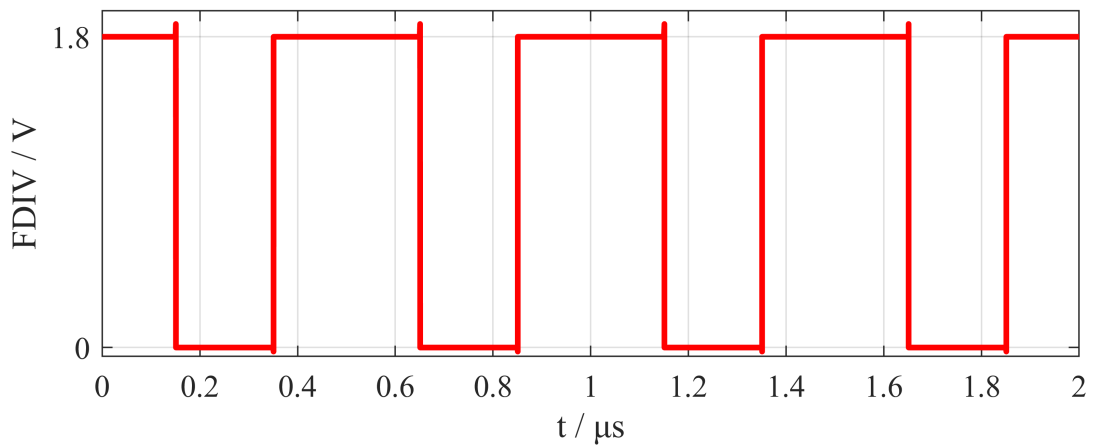
Ponašanje sklopa FDIV u nominalnim uvjetima: ulazna frekvencija $f_{VCO} = 20$ MHz, temperatura $T = 27$ °C i napon napajanja $V_{DDD} = 1,8$ V.



(a) Signal $FVCO$, $f = 20$ MHz.



(b) Signal $DIV2$, $f = 10$ MHz.



(c) Signal $FDIV$, $f = 2$ MHz.

Slika 3.11: Dijeljenje ulazne frekvencije f_{VCO} u dva stupnja.

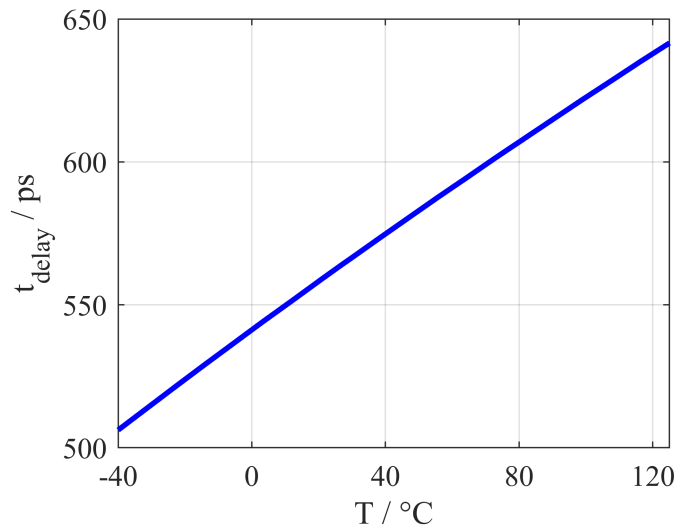
Sa slike se može lijepo primijetiti da se ulazna frekvencija signala $FVCO$ dijeli prvo brojem 2, a zatim brojem 5. Izlazni signal nema simetričan radni ciklus, već on iznosi 60%. Nesimetričan radni ciklus neće stvarati problem u daljnjem radu PLL-a

što će biti pokazano u idućem poglavlju.

U račun ukupnog kašnjenja sklopa FDIV ulazi kašnjenje podsklopova DIV2 i DIV5.

Izraz za računanje kašnjenja:

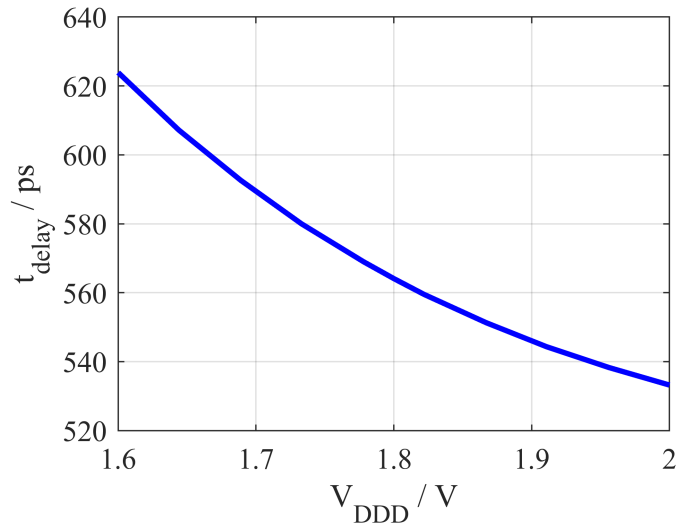
`delay(?wf1 v("/FDIV" ?result "tran"), ?value1 0.9, ?edge1 "falling", ?nth1 1, ?td1 nil, ?tol1 nil, ?wf2 v("/FVCO" ?result "tran"), ?value2 0.9, ?edge2 "rising", ?nth2 1, ?tol2 nil, ?td2r0 nil, ?stop nil, ?multiple nil)`



Slika 3.12: Ukupno kašnjenje sklopa FDIV u ovisnosti o temperaturi.

Tablica 3.4: Kašnjenje sklopa FDIV za minimalnu, nominalnu i maksimalnu temperaturu.

T [°C]	t_{delay} [ps]	postotna promjena
-40	506,2	10,26%
27	564,1	0%
125	641,6	13,74%



Slika 3.13: Kašnjenje sklopa FDIV u ovisnosti o naponu napajanja.

Tablica 3.5: Kašnjenje sklopa FDIV za minimalni, nominalni i maksimalni napon napajanja.

V_{DDD} [V]	t_{delay} [ps]	postotna promjena
1,6	623,9	10,06%
1,8	561,4	0%
2,0	533,2	5,8%

Kašnjenje sklopa FDIV može se aproksimirati linearnom ovisnosti o naponu napajanja i temperaturi. Najveća odstupanja od nominalne vrijednosti $t_{delay} = 240,4$ ps su:

- pri temperaturi $T = 125$ °C kašnjenje je $t_{delay} = 641,6$ ps
- pri naponu napajanja $V_{DDD} = 1,6$ V kašnjenje je $t_{delay} = 623,9$ ps

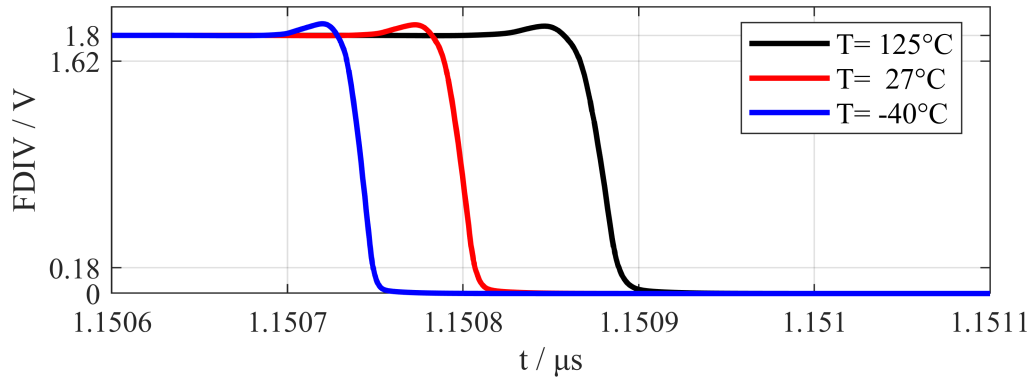
Bitno je izračunati još dva parametra: vrijeme porasta (engl. *rise time*) i vrijeme pada (engl. *fall time*) signala *FDIV*. Definiraju se od trenutka kada signal dosegne 10 % maksimalne vrijednosti (0,18 V) do trenutka kada signal dosegne 90 % maksimalne vrijednosti (1,62 V). Za njihovo računanje koriste se sljedeći izrazi:

```
riseTime(v("/FDIV" ?result "tran") 0 nil 1.8 nil 10 90 nil "time")
```

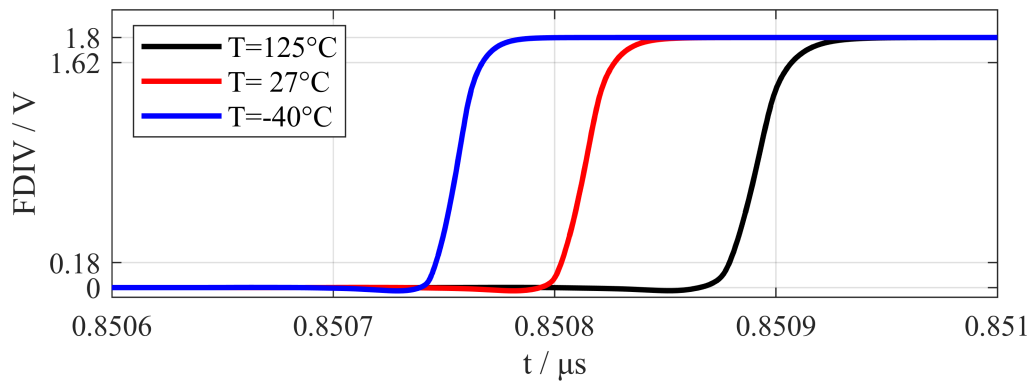
```
fallTime(v("/FDIV" ?result "tran") 1.8 nil 0 nil 10 90 nil "time")
```

Tablica 3.6: Vrijeme porasta i pada za različite temperature.

T [°C]	t_{rise} [ps]	t_{fall} [ps]
-40	21,02	14,97
27	24,06	17,08
125	28,1	22,1



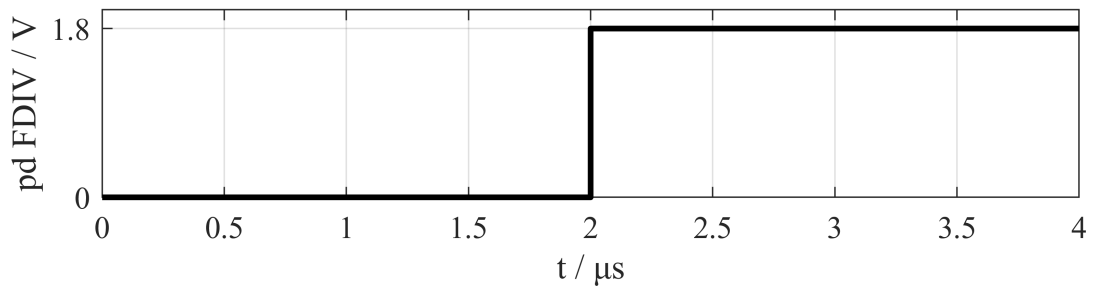
Slika 3.14: Pad signala FDIV.



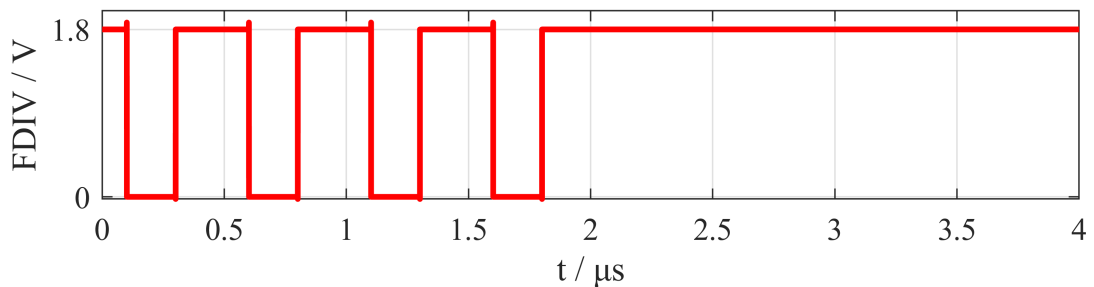
Slika 3.15: Porast signala FDIV.

Sa slika se primjećuje povećanje vremena kašnjenja signala *FDIV* porastom temperature. Sva tri signala kasne u odnosu na isti signal pobude (*FVCO*).

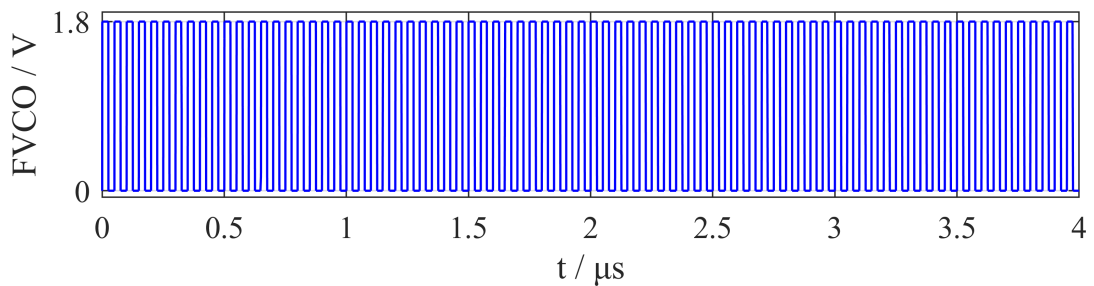
Kako je prije rečeno, kada je signal pd_FDIV u visokoj razini, sklop FDIV ne radi, odnosno, teži se da iznos struje potrošnje bude 10 puta manji nego inače.



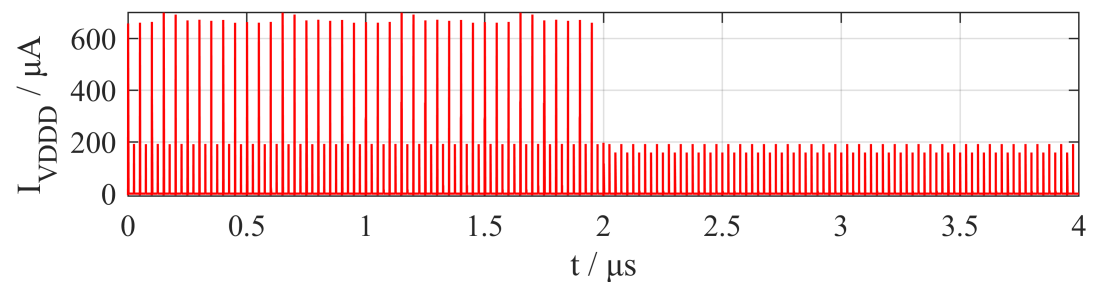
(a) Uključivanje signala pd_FDIV .



(b) Signal $FDIV$.



(c) Signal $FVCO$.



(d) Struja potrošnje I_{VDDDD} .

Slika 3.16: Mirovanje sklopa FDIV.

Sa slika je vidljivo da uključivanjem signala pd_FDIV u trenutku $t = 2\mu s$ sklop prestaje raditi, odnosno, izlazni signal $FDIV$ je u visokoj razini za vrijeme mirovanja i sklop ne dijeli ulaznu frekvenciju. Također, struja potrošnje pada što je u skladu s očekivanjem. Primjećuje se da struja potrošnje teče samo kada se D-ff bistabili okidaju

na rastući brid signala $FVCO$. Razlog tome je u CMOS tehnologiji, gdje sklopovi u statičkim uvjetima imaju gotovo zanemarivu potrošnju snage, odnosno, gotovo zanemarivu struju.

Slijede vrijednosti srednje struje potrošnje sklopa FDIV u normalnom načinu rada i u mirovanju. Kako bi se dobila što točnija srednja vrijednost struje potrošnje, trajanje tranzijentne analize je $t = 30 \mu\text{s}$ i signal pd_FDIV je ili uključen ili isključen u navedenom vremenu. Za računanje srednje potrošnje struje korišten je izraz: `average(IT("/I12/vddd"))`.

Tablica 3.7: Srednja struja potrošnje za različite temperature ($pd_FDIV = "0"$).

T [°C]	I [μA]
-40	2,362
27	2,460
125	2,627

Tablica 3.8: Srednja struja potrošnje za različite temperature ($pd_FDIV = "1"$).

T [°C]	I [nA]
-40	837,0
27	888,1
125	980,6

Iz tablica je vidljivo da srednja potrošnja struje raste s porastom temperature i napona napajanja. U stanju mirovanja srednja struja potrošnje je 2,8 puta manja nego u normalnom načinu rada.

3.3. Projektiranje fazno-frekvencijskog detektora

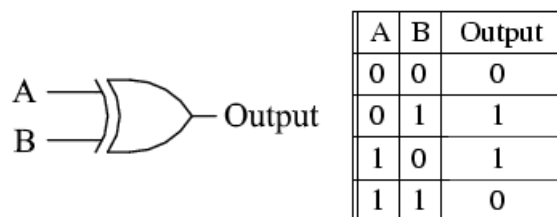
3.3.1. Općenito o fazno-frekvencijskim detektorima

Fazno-frekvencijski detektor (PFD) početni je sklop u PLL-u. Njegova zadaća je uspoređivanje faza i frekvencija ulaznih signala te generiranje signala pogreške na svojim izlazima u obliku kratkih ili dugih impulsa. Na jedan ulaz spaja se vanjski signal koji se smatra referentnim signalom ($FREF$). Poželjno je da je referentni signal stabilne frekvencije.

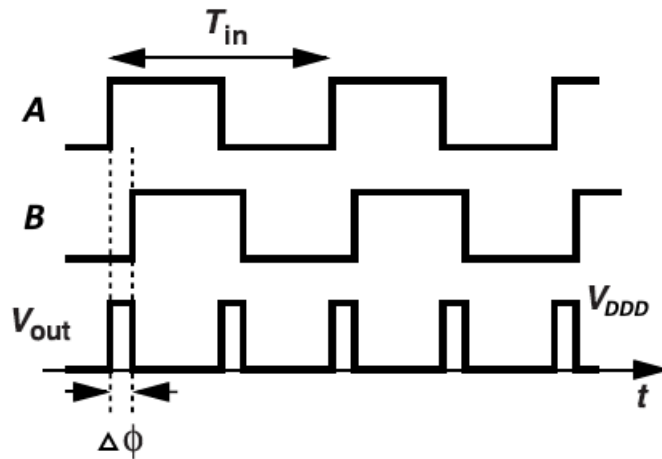
Za nominalnu frekvenciju signala $FREF$ uzima se $f_{REF} = 2,0$ MHz. Drugi ulazni signal je interni signal iz PLL-a, odnosno, izlazni signal iz sklopa FDIV. U stacionarnom stanju, frekvencije signala $FREF$ i $FDIV$ jednakog su iznosa. U praksi postoji puno različitih realizacija sklopa PFD. U ovom poglavlju bit će obrađena dva osnovna tipa sklopa PFD. Na jednom od njih bit će temeljen PFD ovog rada.

I. tip - Fazni detektor (PD)

Fazni detektor dio je jednostavnog modela PLL-a i realizira se korištenjem digitalnog sklopa isključivo-ILI (engl. *exclusive-OR*, skraćeno XOR). XOR detektira razliku faze između dva signala tako da kada su signali u suprotnim razinama, izlaz iz XOR-a je na visokoj razini, a kada su signali u istoj razini, to jest, u fazi, izlaz iz XOR-a je na niskoj razini.



Slika 3.17: Simbol sklopa XOR i tablica istinitosti.



Slika 3.18: Ulazi i izlazi faznog detektora [17].

Na slici 3.18 vidi se kako sklop XOR detektira razliku u fazi između ulaznih signala. U jednostavnom modelu PLL-a, nakon sklopa PD nalazi se niskopropusni filter. Na izlazu iz filtra dobiva se usrednjeni izlazni signal $\overline{V_{OUT}}$ iz sklopa PD. Filter je potreban kako bi se uklonile visoke frekvencije spektra izlaznog signala iz sklopa PD i kako bi sklop VCO bio upravljan stabilnim DC naponom.

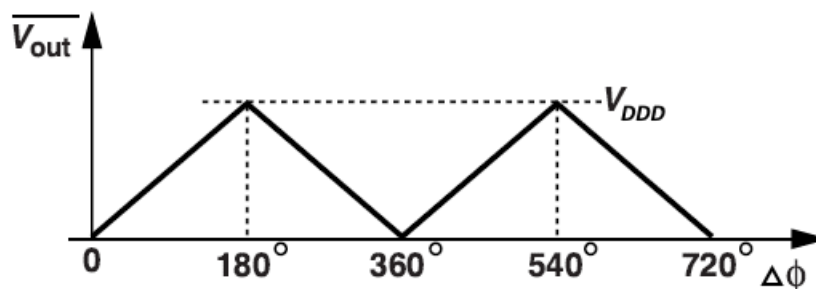
Što je veća razlika u fazi između ulaznih signala, to je veći srednji iznos izlaznog napona $\overline{V_{OUT}}$. Dakle, $\overline{V_{OUT}}$ postiže vrijednosti između 0 V i napona napajanja 1,8 V.

Jednadžba koja opisuje sklop PD glasi:

$$\overline{V_{OUT}} = K_{PD} \cdot \Delta\Phi \quad (3.2)$$

gdje je $\Delta\Phi$ razlika u fazi ulaznih signala, a K_{PD} konstanta proporcionalnosti faznog detektora koja je dana izrazom (3.3).

$$K_{PD} = \pm \frac{V_{DDDD}}{\pi} \quad (3.3)$$



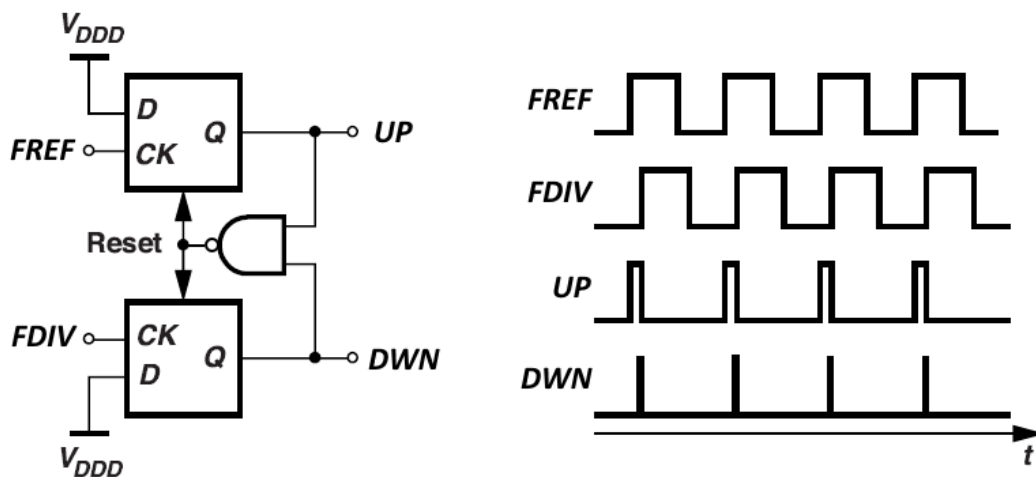
Slika 3.19: Karakteristika sklopa PD [17].

Sa slike je vidljiva linearna ovisnost signala $\overline{V_{OUT}}$ o razlici faza ulaznih signala. Također, karakteristika se ponavlja svakih 360° .

Ovakva realizacija faznog detektora ne radi dobro u praksi. Sklop XOR na svom izlazu ne može pokazati koji je od ulaznih signala prethodio kojem. Zatim, ako je razlika između frekvencija ulaznih signala prevelika, sklop neće moći generirati smislen kontrolni signal za sklop VCO. Rješenje ovog problema je sklop fazno-frekvencijski detektor.

II. tip - Fazno-frekvencijski detektor (PFD)

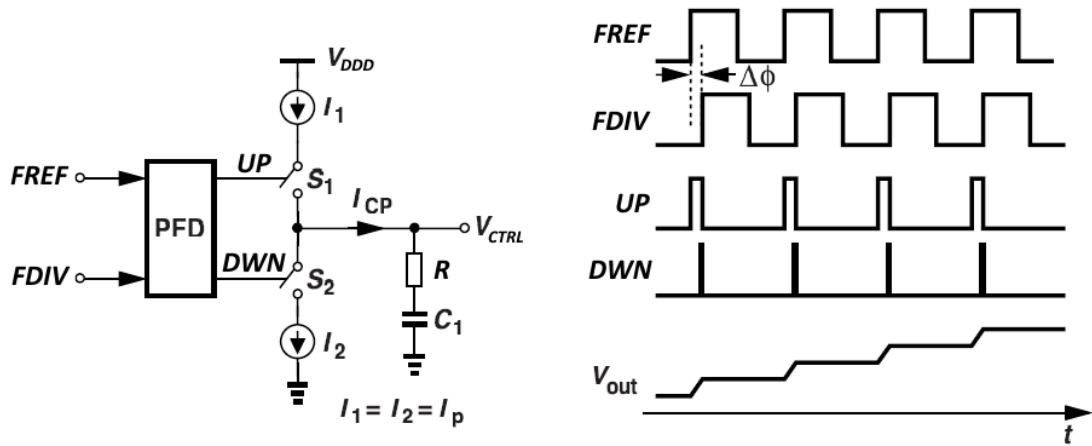
U praksi se uobičajeno koristi ovaj tip faznog detektora te će se i sklop PFD u ovom radu temeljiti na ovom tipu. Fazno-frekvencijski-detektor, za razliku od faznog detektora, ima dva izlaza: *up* i *dwn*. Stoga se sklop dijeli na gornji i donji dio. Oba dijela imaju D-ff bistabil koji okidaju ulazni signali. Ulazi bistabila spojeni su na visoku razinu, a resetiraju se signalom iz sklopa NI na čiji su ulaz spojeni signali *up* i *dwn*.



Slika 3.20: Sklop PFD i njegovi signali [17].

Ako referentni signal *FREF* prethodi signalu *FDIV*, onda će impulsi signala *up* biti širi od signala *dwn* čime će porasti kontrolni napon V_{CTRL} i izlazna frekvencija signala *FVCO* kako bi se smanjilo kašnjenje signala *FDIV*. U suprotnom slučaju, kada signal *FREF* kasni u odnosu na signal *FDIV*, signal *dwn* imat će šire impulse te će se time izlazna frekvencija *FVCO* smanjiti.

Često se na izlaz sklopa PFD spaja nabojnska pumpa (engl. *charge pump*) prikazana na slici 3.21. To je slučaj i kod PLL-a koji se koristi u ovom radu. Jednostavna nabojnska pumpa sastoji se od dva upravljiva strujna izvora jednakih struja spojena u zajednički



Slika 3.21: Sklopovi PFD, nabojna pumpa i signali [17].

čvor. Izlazi iz nabojne pumpe nabijaju ili prazne kondenzator niskopropusnog filtera.

U slučaju da rastući brid signala $FREF$ nastupa prije signala $FDIV$, sklopka S_1 će se zatvoriti te će poteći struja iz gornjeg strujnog izvora i kondenzator C_1 se nabija čime raste kontrolni napon V_{CTRL} . Nabijanje kondenzatora traje sve dok ne naiđe rastući brid signala $FDIV$. Tada se uključuje i sklopka S_2 te struja I_1 teče kroz S_2 i I_2 . Budući da struja više ne nabija kondenzator C_1 , napon V_{CTRL} ostaje konstantan. Sklopke S_1 i S_2 zatvorene su kratko vrijeme jer se iz sklopa NI generira signal koji resetira bistabile i proces se ponavlja. U obrnutom slučaju, dwn impulsi su širi čime se sklopka S_2 prva zatvara te se kondenzator izbijaja čime se kontrolni napon smanjuje i izlazna frekvencija iz sklopa VCO pada.

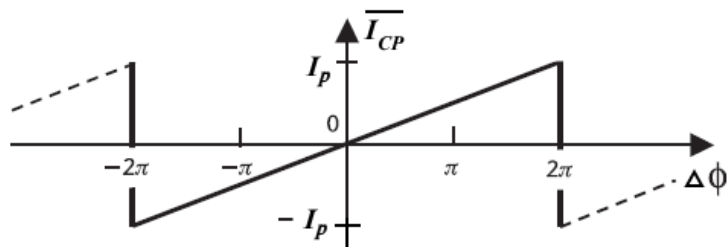
Srednji iznos struje koja će teći iz nabojne pumpe u jednom periodu računa se preko sljedećih izraza:

$$\overline{I_{CP}} = I_p \cdot \frac{\Delta t}{T} \quad (3.4)$$

$$\overline{I_{CP}} = \frac{I_p}{2\pi} \cdot \Delta\Phi \quad (3.5)$$

$$\overline{I_{CP}} = K_{PFD} \cdot \Delta\Phi \quad (3.6)$$

Karakteristika sklopa PFD prikazana je na slici 3.22.

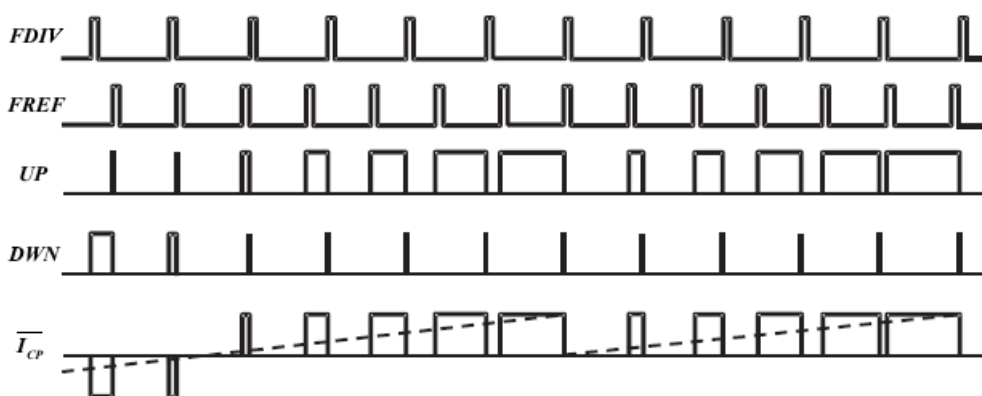


Slika 3.22: Karakteristika sklopa PFD [20].

Bitno je napomenuti da signali $FREF$ i $FDIV$ ne moraju imati simetričan iznos radnog omjera (engl. *duty-cycle*) zato što se bistabili okidaju na rastući brid ulaznih signala pa radni omjer ne igra nikakvu ulogu u radu sklopa PFD.

Preostaje analizirati slučaj kada su ulazne frekvencije različite (slika 3.23). Rastući brid signala $FDIV$ prvi nailazi čime su impulsi signala *dwn* širi. Zbog toga je srednja struja nabojne pumpe $\overline{I_{CP}}$ negativnog iznosa. Međutim, zbog razlike ulaznih frekvencija, *dwn* impulsi postaju uži zbog čega srednja struja pada u nulu. U nekom trenutku će rastući bridovi signala *up* dolaziti prije signala *dwn* i srednja struja će biti isključivo pozitivnog predznaka.

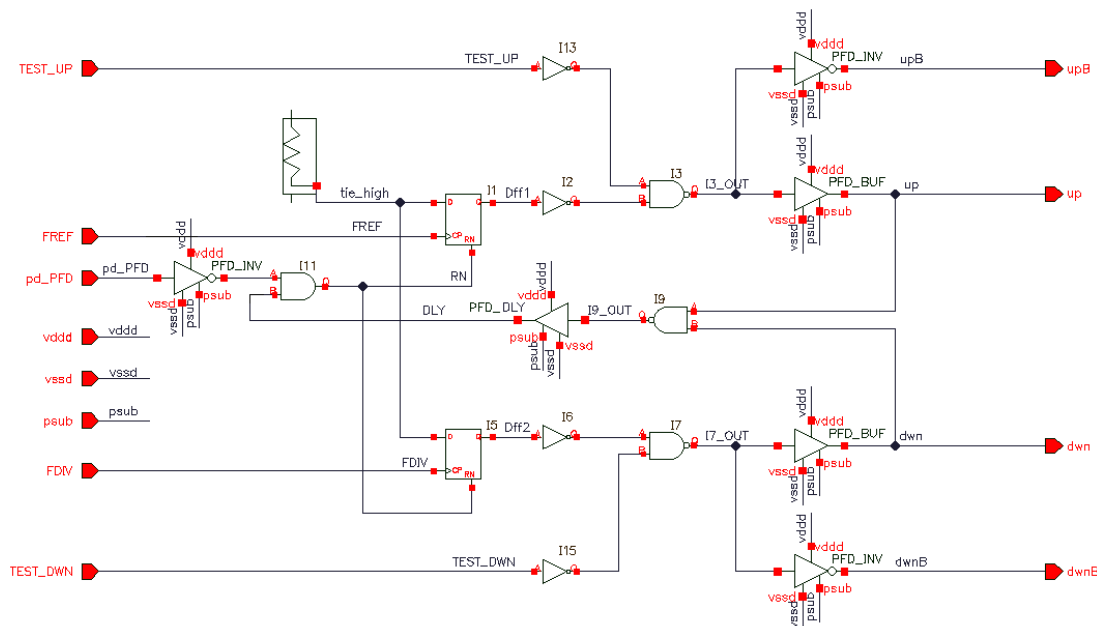
Ovime je pokazano da ako je referentna frekvencija veća od frekvencije signala $FDIV$, srednja struja će biti pozitivna. Slično, ako je frekvencija signala $FDIV$ veća od signala $FREF$, srednja struja će uvijek biti negativna. Stoga se zaključuje da je ovaj sklop i fazni, ali isto tako i frekvencijski detektor.



Slika 3.23: Ulazni signali sklopa PFD različitih frekvencija [20].

3.3.2. Analiza sklopa PFD

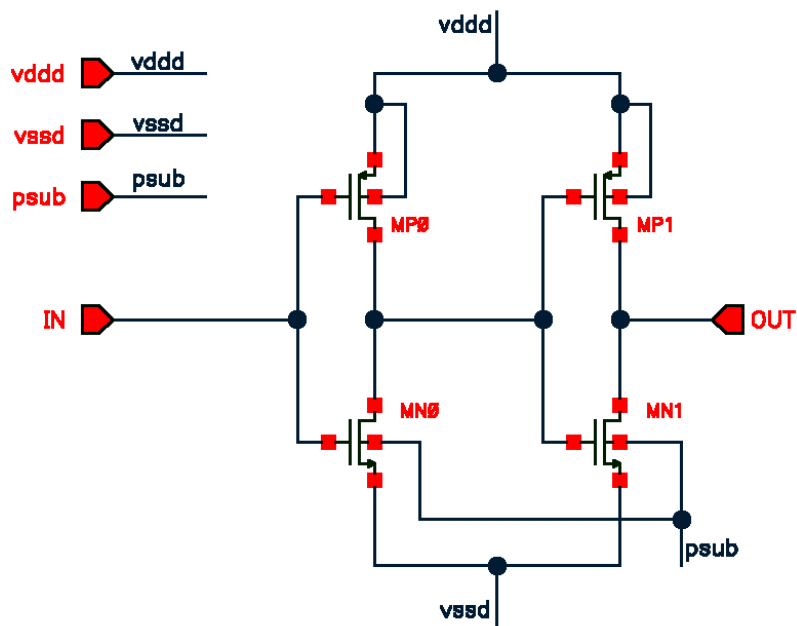
Fazno-frekvencijski detektor koji se obrađuje u ovom radu bazira se na II. tipu PFD-a. Međutim, potrebno je dodatno sklopovlje za ispravan rad PFD-a. Na izlazima su dodana odvojna pojačala i analogne sklopke kako PFD ne bi opterećivao idući stupanj PLL-a. Dodano je sklopovlje za stanje mirovanja (engl. *power down*) PFD-a kao i sklopovlje za testiranje izlaza.



Slika 3.24: Shema sklopa PFD.

Sa slike 3.24 uočava se simetričnost sklopa PFD. PFD se dijeli na gornji dio (*UP*) i donji dio (*DWN*). Gornji dio upravljan je ulaznim signalom *FREF*, a donji ulaznim signalom *FDIV*. Međuodnos ta dva signala određuje ponašanje cijelog PLL-a. Ta dva signala predstavljaju signal takta za gornji i donji D-ff bistabil. D-ff bistabili i sklop za kašnjenje signala čine srž II. tipa sklopa PFD. U ovom PFD-u, kašnjenje se realizira pomoću odvojnog pojačala (podsklop *PFD_DLY*). Za ispravan rad PFD-a odabrano je vrijeme kašnjenja $t_{delay} = 2 \text{ ns}$ (slika 3.26).

Na izlazima se primjećuju podsklopovi *PFD_INV* (analogna sklopka) i *PFD_BUF* (odvojno pojačalo) koji služe za odvajanje stupnjeva PLL-a. Ulazni signali u te podsklopove moraju ostati što manje promijenjeni kako se ne bi gomilala dodatna kašnjenja u PLL-u. Stoga oba podsklopa moraju imati idealno jednake i što manje iznose kašnjenja, vremena porasta i pada.



Slika 3.25: Shema odvojnog pojačala (podsklopovi PFD_BUF i PFD_DLY).

Tablica 3.9: Dimenzije tranzistora odvojnog pojačala PFD_BUF.

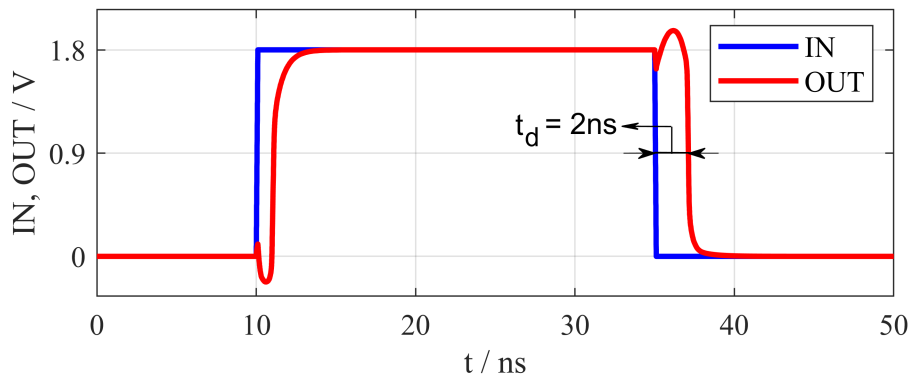
Oznaka tranzistora	W [μm]	L [μm]
<i>MN0</i>	1,4	0,18
<i>MN1</i>	2,0	0,18
<i>MP0</i>	1,4	0,18
<i>MP1</i>	2,0	0,18

Tablica 3.10: Dimenzije tranzistora odvojnog pojačala PFD_DLY.

Oznaka tranzistora	W [μm]	L [μm]
<i>MN0</i>	1,0	2,0
<i>MN1</i>	1,0	2,0
<i>MP0</i>	1,0	2,0
<i>MP1</i>	1,0	2,0

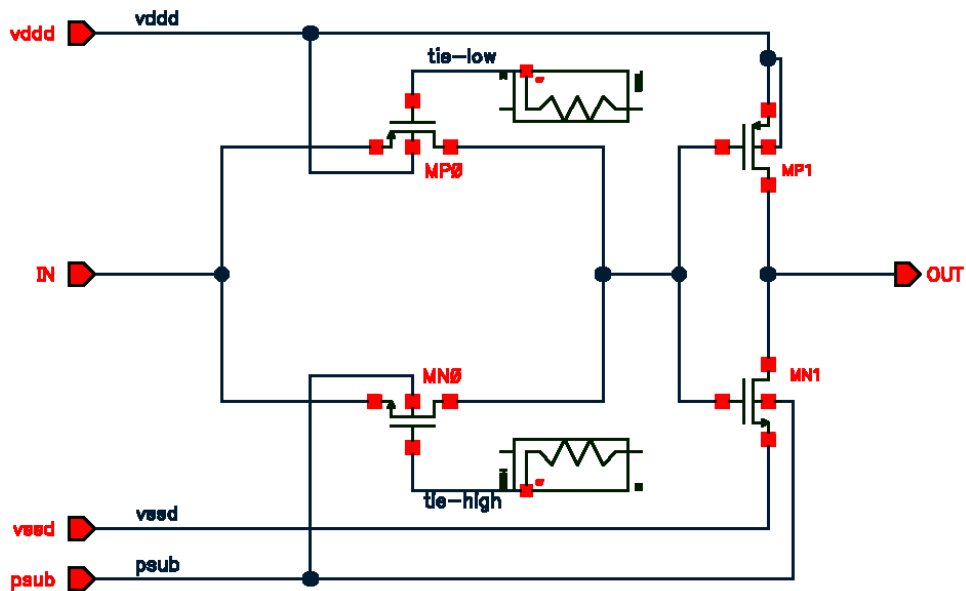
Odvojno pojačalo sastoji se od dva serijski spojena invertera zbog čega signal na izlazu ima istu logičku razinu kao i na ulazu. Iz tablica 3.9 i 3.10 vidi se da su duljine tranzistora podsklopa PFD_DLY puno veće od duljina tranzistora podsklopa

PFD_BUF. To je za očekivati jer je za postizanje kašnjenja od 2 ns potrebno podesiti veće duljine tranzistora L , dok je za manje duljine tranzistora iznos kašnjenja manji.



Slika 3.26: Prikaz kašnjenja podsklopa PFD_DLY.

Analogna sklopka izvedena je od dva tranzistora i jednog invertera. Prva dva tranzistora moraju biti nMOS i pMOS. Upravljačka elektroda nMOS-a spojena je na visoku razinu (engl. *tie-high*), a pMOS-a na nisku razinu (engl. *tie-low*). Ako je na ulaz doveden signal visoke razine, onda će samo pMOS tranzistor provesti ($V_{GS} < 0$) te će se visoka razina preslikati na ulaz invertera i na izlazu će se dobiti niska razina. U slučaju niske razine na ulazu, samo nMOS vodi ($V_{GS} > 0$) i signal na izlazu je u visokoj razini.



Slika 3.27: Shema analogne sklopke PFD_INV.

Tablica 3.11: Dimenzije tranzistora sklopa PFD_INV.

Oznaka tranzistora	W [μm]	L [μm]
<i>MN0</i>	1,7	0,25
<i>MN1</i>	1,6	0,18
<i>MP0</i>	1,7	0,25
<i>MP1</i>	1,6	0,18

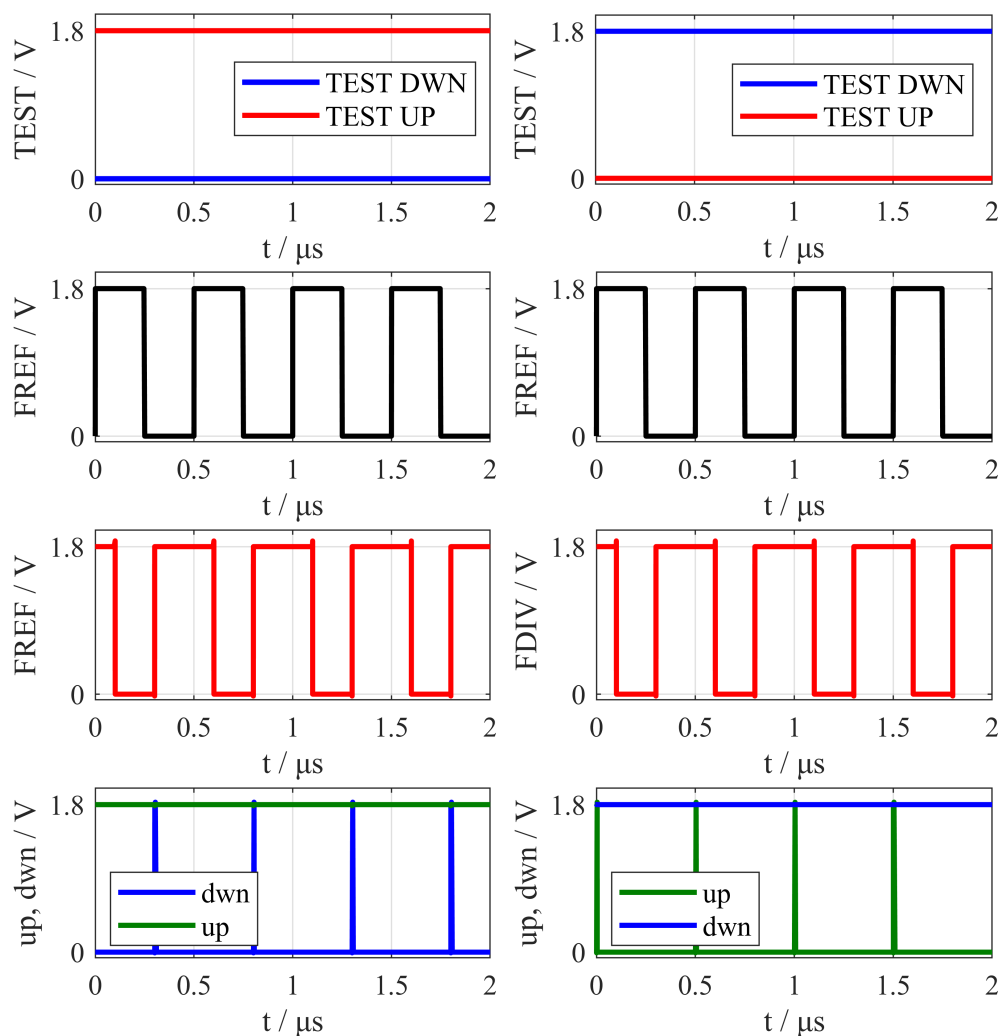
Za podešavanje vremena kašnjenja te vremena porasta i pada podsklopova PFD_INV i PFD_BUF napravljena je simulacija za ulazni signal *vpulse* čiji su parametri:

- period; $T = 20$ ns
- vrijeme porasta; $t_{rise} = 0,1$ ps
- trajanje visoke razine; $T_{pulse} = 10$ ns

Tablica 3.12: Vrijeme porasta, pada i kašnjenja podsklopova PFD_BUF i PFD_INV

Sklop	t_{rise} [ps]	t_{fall} [ps]	t_{delay} [ps]
PFD_BUF	19,30	16,21	29,98
PFD_INV	20,26	16,95	29,29

Signali *TEST_UP* i *TEST_DWN* služe testiranju izlaznih signala. To znači da ako se želi testirati izlazni signal *up*, onda je signal *TEST_DWN* u visokoj razini zbog čega je izlaz *dwn* stalno u visokoj razini. Isto, ali obrnuto, vrijedi za testiranje signala *dwn*. U tom je slučaju signal *TEST_UP* u visokoj razini te je izlaz *up* stalno u visokoj razini.



(a) Testiranje *dwn* signala.

(b) Testiranje *up* signala.

Slika 3.28: Testiranje *up* i *dwn* signala.

Valja napomenuti da kada je bilo koji *TEST* signal aktivan, uvijek će se generirati kratkotrajni impulsi na izlazu koji se htio testirati (neovisno o frekvenciji i fazi ulaznih signala). Ako su oba *TEST* signala aktivna, izlazi *up* i *dwn* su u visokoj razini.

Simulacije sklopa PFD

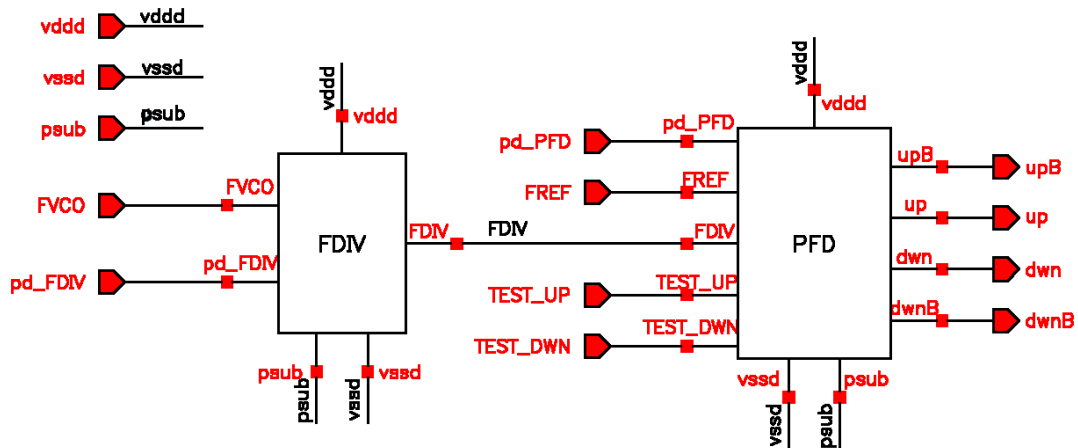
Prije je rečeno da međuočnos ulaznih signala *FREF* i *FDIV* definira rad sklopa PFD, odnosno, PLL-a. Kako bi se razumio rad sklopa PFD, potrebno je simulirati sljedeće osnovne situacije:

1. Interni signali
2. Signali *FREF* i *FDIV* su u fazi

3. Signal $FDIV$ kasni 100 ns u odnosu na signal $FREF$
4. Signal $FREF$ kasni 100 ns u odnosu na signal $FDIV$
5. Frekvencija signala $FDIV$ iznosi $f_{FDIV} = 1,7\text{ MHz}$
6. Frekvencija signala $FDIV$ iznosi $f_{FDIV} = 2,2\text{ MHz}$

Sve simulacije provedene su na srednjoj hijerarhijskoj razini digitalnog dijela PLL-

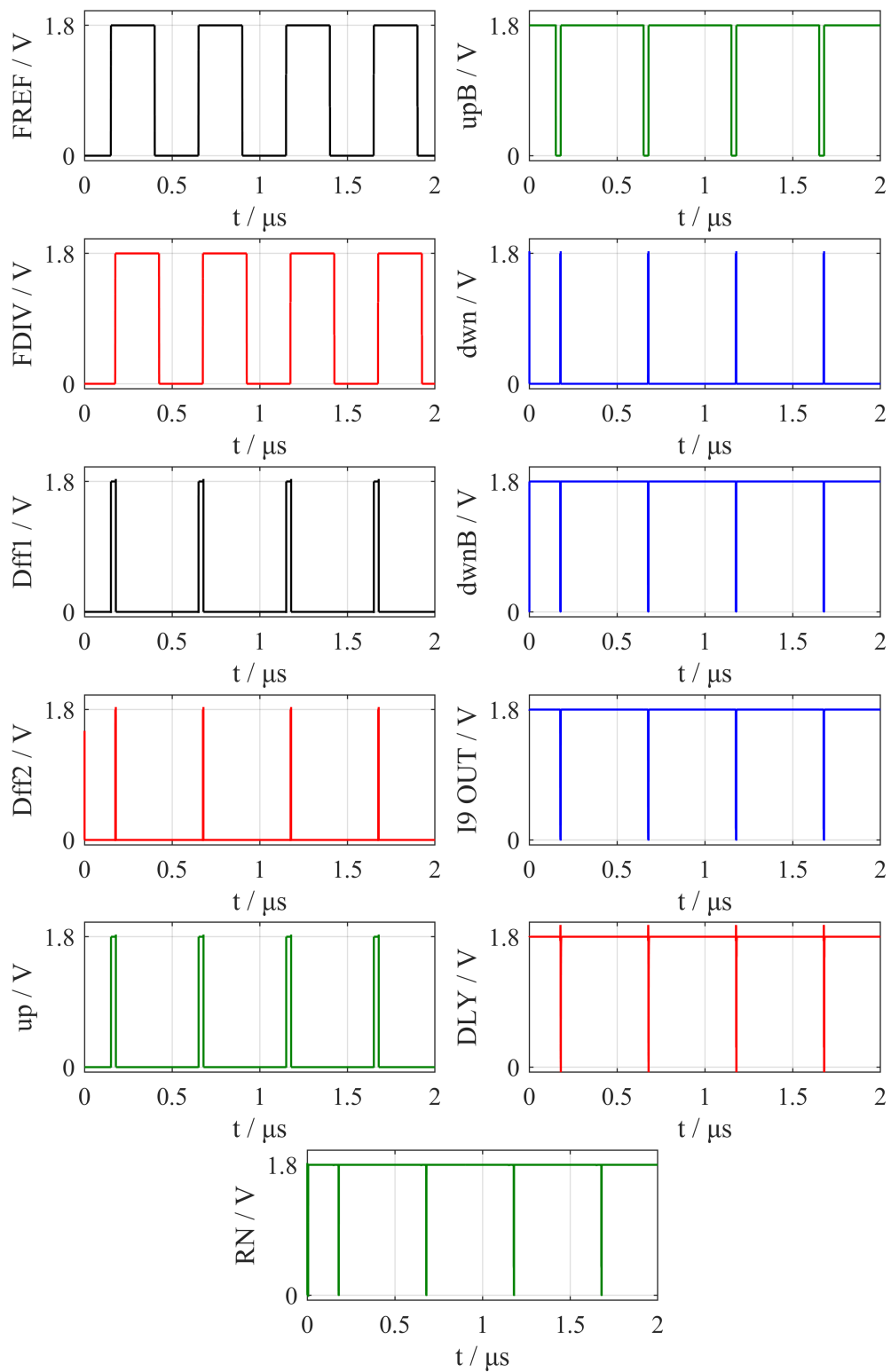
a.



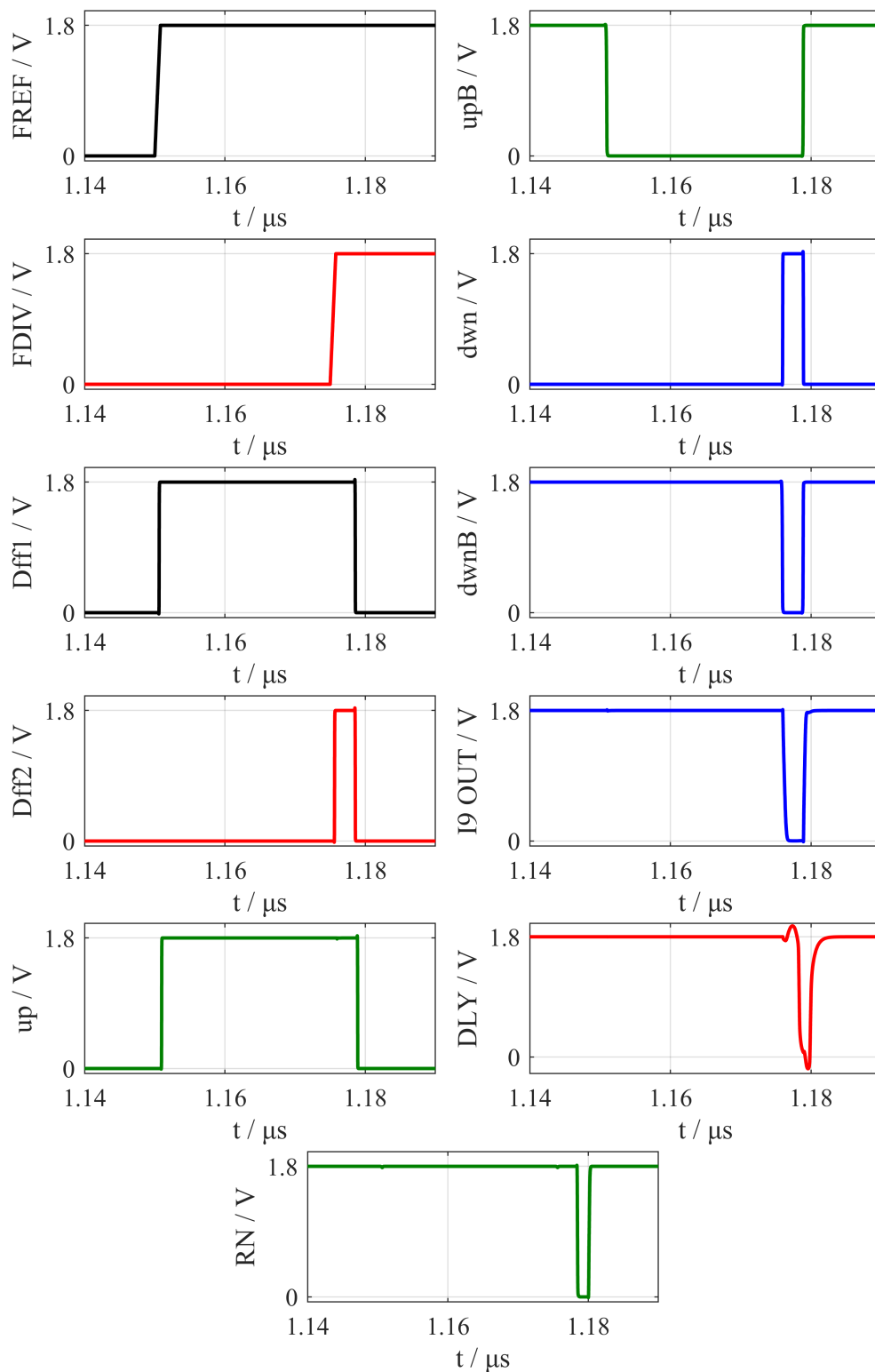
Slika 3.29: Srednja hijerarhijska razina.

Signal $FREF$ generiran je iz tzv. $vpulse$ izvora čiji su parametri:

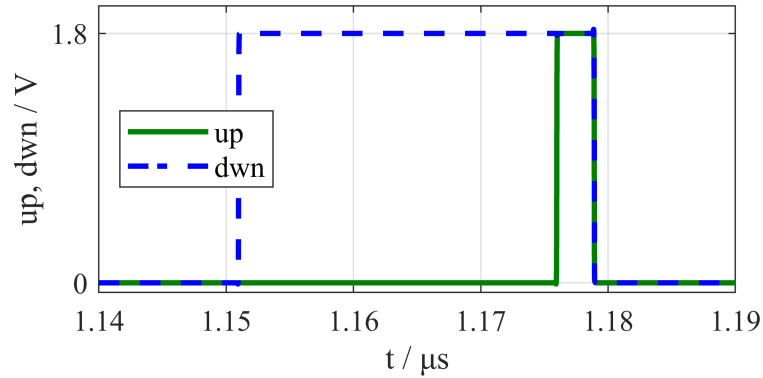
- frekvencija i period; $f_{REF} = 2\text{ MHz}$, $T = \frac{1}{f_{VCO}} = 500\text{ ns}$
- visoka i niska razina; $V_1 = 1,8\text{ V}$, $V_0 = 0\text{ V}$
- vrijeme porasta; $t_{rise} = \frac{1}{1000 \cdot f_{REF}} = 500\text{ ps}$
- trajanje visoke razine; $T_{pulse} = T - t_{rise} = 499,5\text{ ns}$



Slika 3.30: Interni signali sklopa PFD.

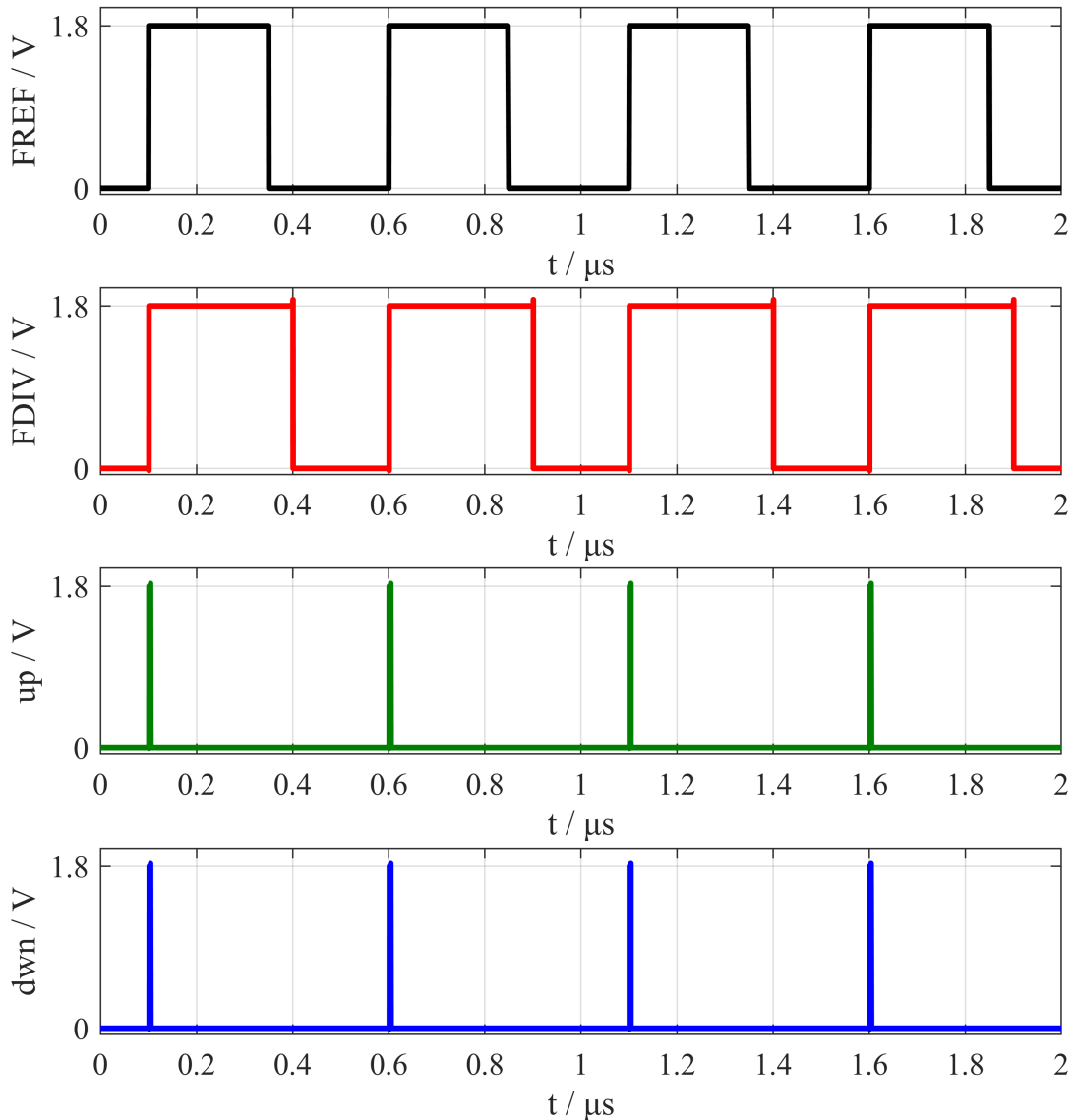


Slika 3.31: Uvećani prikaz internih signala sklopa PFD.



Slika 3.32: Uvećani prikaz izlaznih signala *up* i *dwn*.

Kako bi se dobro vidjeli svi interni signali, signal *F DIV* zakašnjen je za $t = 25$ ns. Signal *F REF* prvi okida D-ff bistabil zbog čega su svi impulsi signala gornjeg dijela PFD-a širi (signali *Dff1*, *up* i *upB*). U trenutku kada signal *F REF* okine donji bistabil (*Dff2*), izlaz iz sklopa NI padne u nisku razinu (signal *I9 OUT*). Taj se signal potom zakasni u odvojnomo pojačalu PFD_DLY za $t = 2$ ns. Zakašnjeni signal *DLY* ulazi u sklop AND te na kraju signal *RN* resetira oba D-ff bistabila i cijeli se ciklus ponavlja idućim rastućim bridom ulaznih signala.

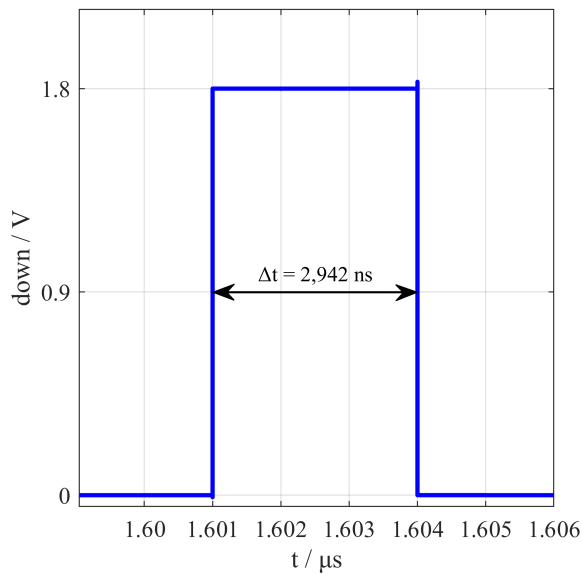


Slika 3.33: Signali *FREF* i *FDIV* u fazi.

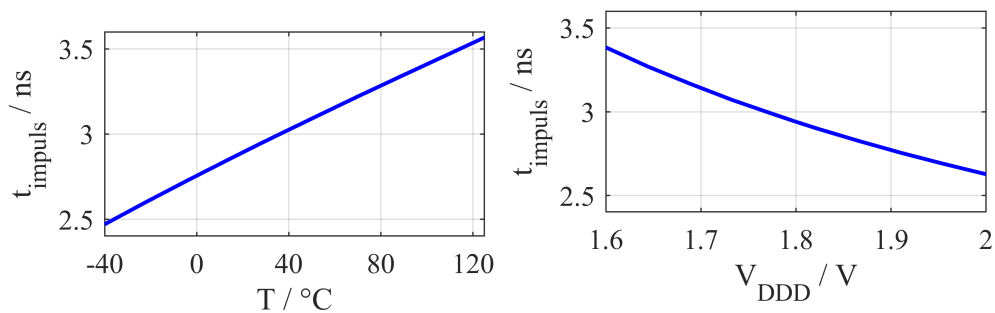
Sa slike 3.33 vidi se da rastući bridovi ulaznih signala nastupaju u isto vrijeme što znači da su signali u fazi. Stoga se u isto vrijeme izlazni signali dižu u visoku razinu i vraćaju u nisku razinu nakon aktiviranja signala za resetiranje. Svi impulsi imaju jednako i vrlo kratko trajanje.

Trajanje kratkotrajnih impulsa uvjetuje ispravan rad nabojske pumpe u idućem stupnju PLL-a. Zbog toga je potrebno izračunati ovisnost o temperaturi i naponu napajanja. Trajanje kratkotrajnih impulsa računa se prema sljedećem izrazu:

```
cross(v("/dwn" ?result "tran") 0.9 1 "falling" nil nil nil) - cross(v("/dwn" ?result "tran") 0.9 1 "rising" nil nil nil)
```

Slika 3.34: Trajanje kratkotrajnog impulsa.



(a) Trajanje šiljka u ovisnosti o temperaturi.

(b) Trajanje šiljka u ovisnosti o naponu napajanja.

Slika 3.35: Trajanje šiljka u ovisnosti o temperaturi i naponu napajanja.

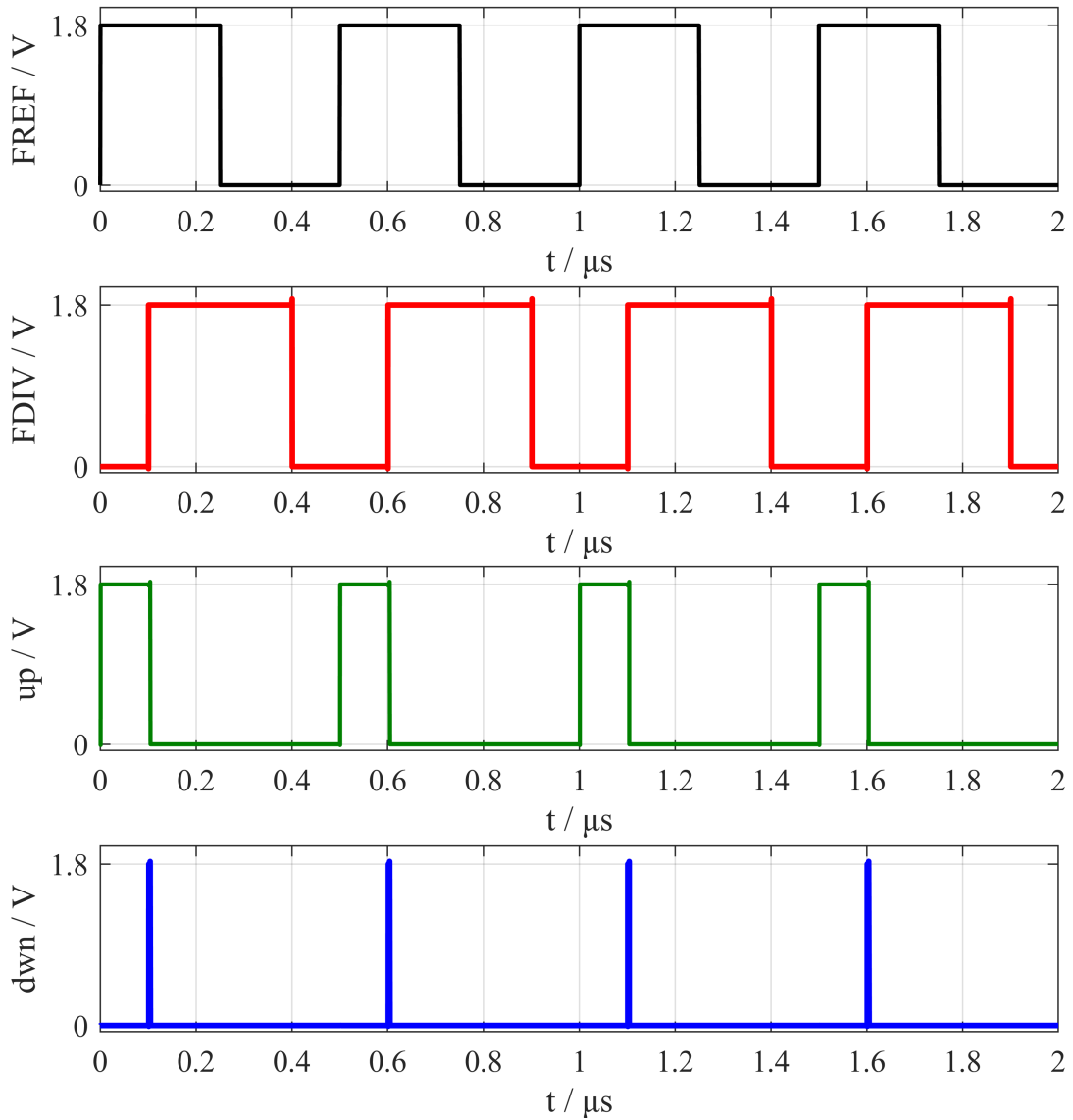
Iz priloženih slika zaključuje se da je trajanje impulsa gotovo linearna funkcija temperature i napona napajanja. Trajanje impulsa raste porastom temperature te pada porastom napona napajanja.

Tablica 3.13: Trajanje impulsa u ovisnosti o temperaturi.

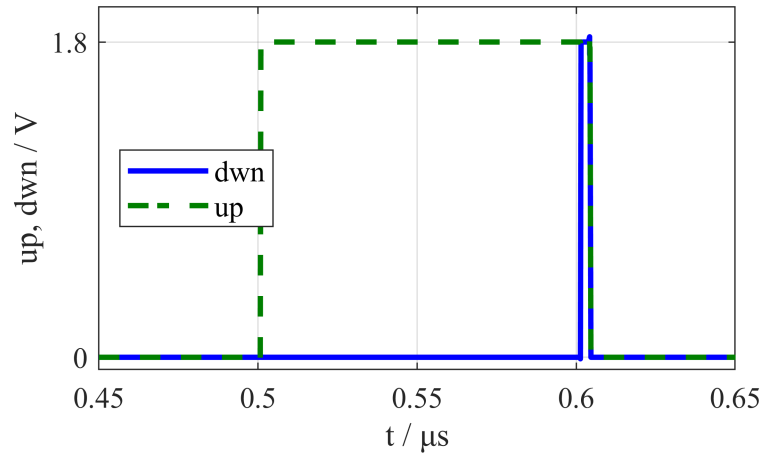
T [°C]	t_{impuls} [ps]
-40	2,47
27	2,942
125	3,57

Tablica 3.14: Trajanje impulsa u ovisnosti o naponu napajanja.

V_{DDD} [V]	t_{impuls} [ps]
1,6	3,38
1,8	2,942
2,0	2,63

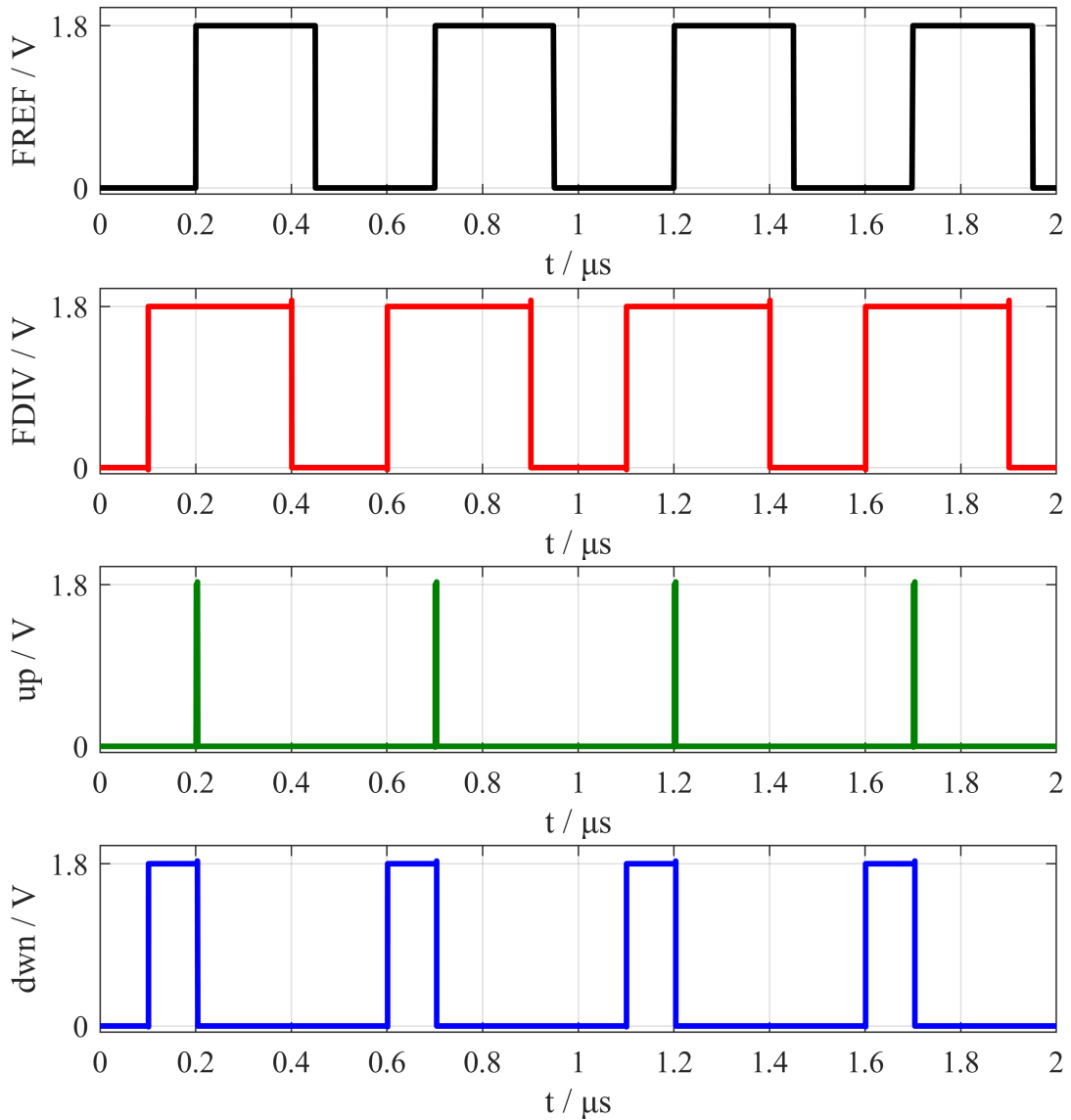


Slika 3.36: Odziv PFD-a na kašnjenje signala FDIV za $t = 100$ ns.

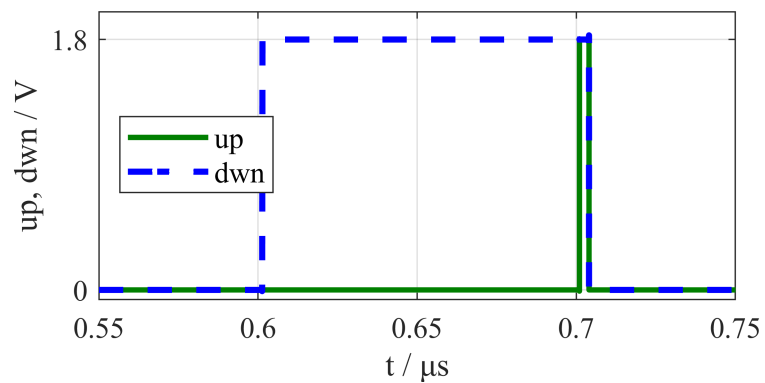


Slika 3.37: Uvećani *up* i *dwn* signali.

Vidljivo je da su impulsi signala *up* širi od impulsa signala *dwn*. To se događa upravo zbog toga što signal *FDIV* kasni 100 ns. Signal *FREF* postavlja izlaz iz D-ff bistabila prije signala *FDIV*. Signal *up* ostaje u visokoj razini sve dok ne dođe rastući brid signala *FDIV* koji uzrokuje resetiranje svih bistabila. Zbog širih *up* impulsa, nabojska pumpa nabija kondenzator niskopropusnog filtra čime će porasti kontrolni napon V_{CTRL} te će izlazna frekvencija iz sklopa VCO biti veća.

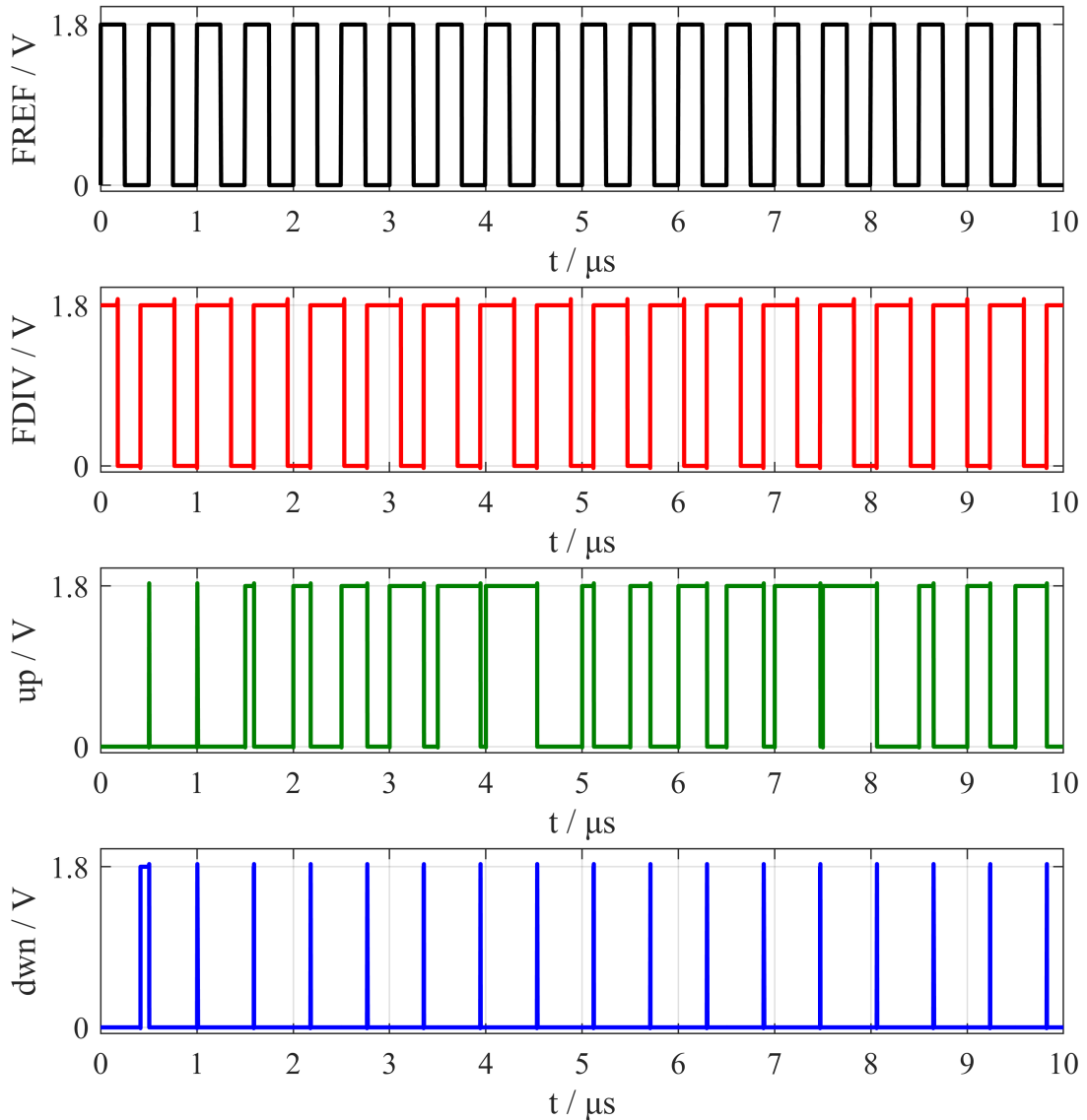


Slika 3.38: Odziv PFD-a na kašnjenje signala $FREF$ za $t = 100$ ns.



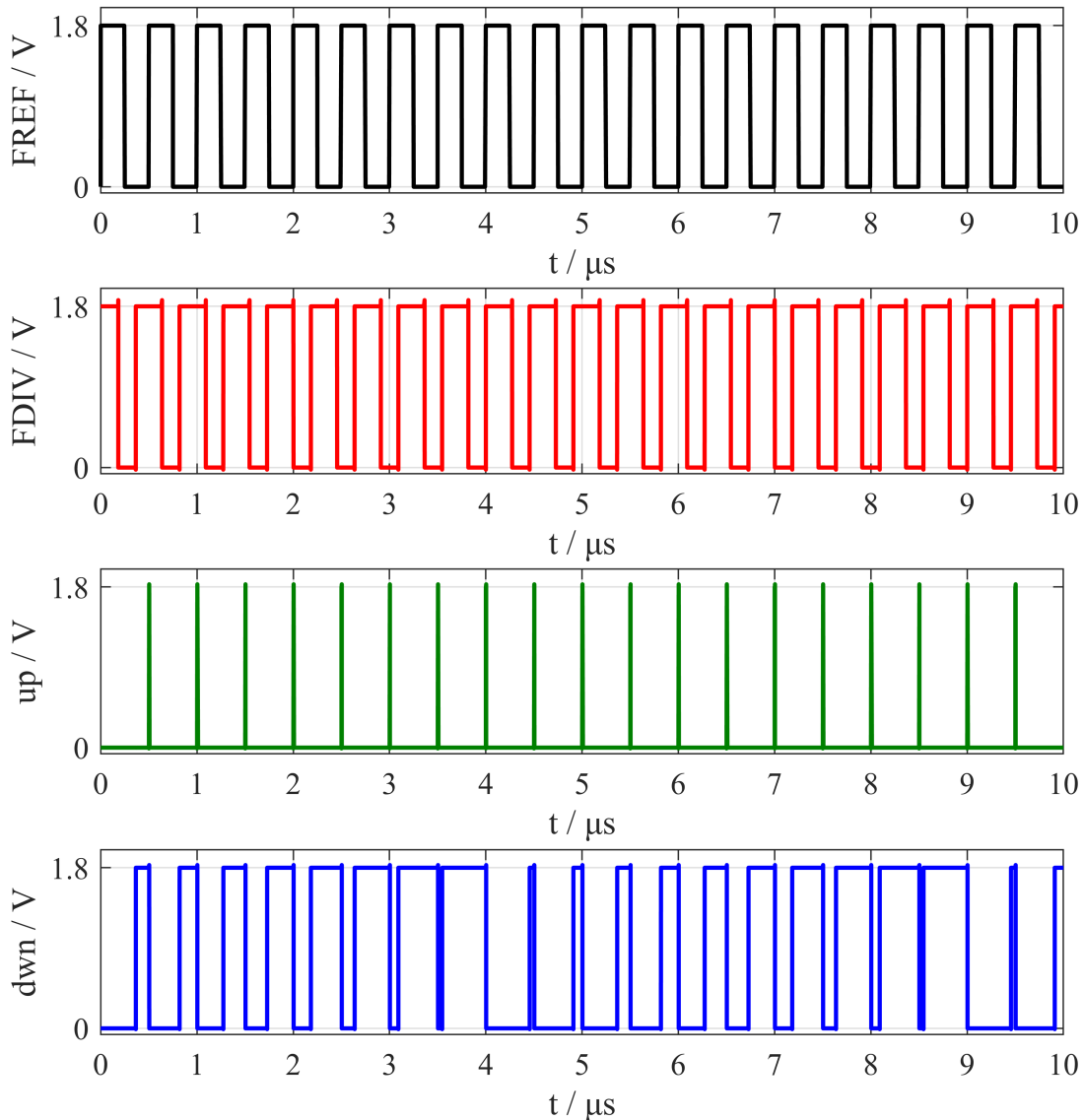
Slika 3.39: Uvećani up i dwn signali.

Ova je situacija slična prethodnoj, ali su sada impulsi signala *dwn* širi od impulsa signala *up*. To znači da se kondenzator niskopropusnog filtra prazni i da kontrolni napon pada čime izlazna frekvencija iz sklopa VCO pada.



Slika 3.40: Izlazi PFD-a za frekvenciju $f_{VCO} = 17$ MHz.

Sa slike 3.40 vidi se da su impulsi *dwn* signala konstantni i kratkotrajni, dok *up* impulsi mijenjaju svoju širinu u vremenu. To znači da će struja kroz nabojnsku pumpu biti pozitivna te da će kontrolni napon rasti kako bi se povećala izlazna frekvencija iz sklopa VCO. Razlika ulaznih frekvencija je $f_{REF} - f_{DIV} = 0,3$ MHz. Stoga će se *up* impulsi periodički ponavljati s periodom $T = 3,33$ μs što se i vidi sa slike 3.40.

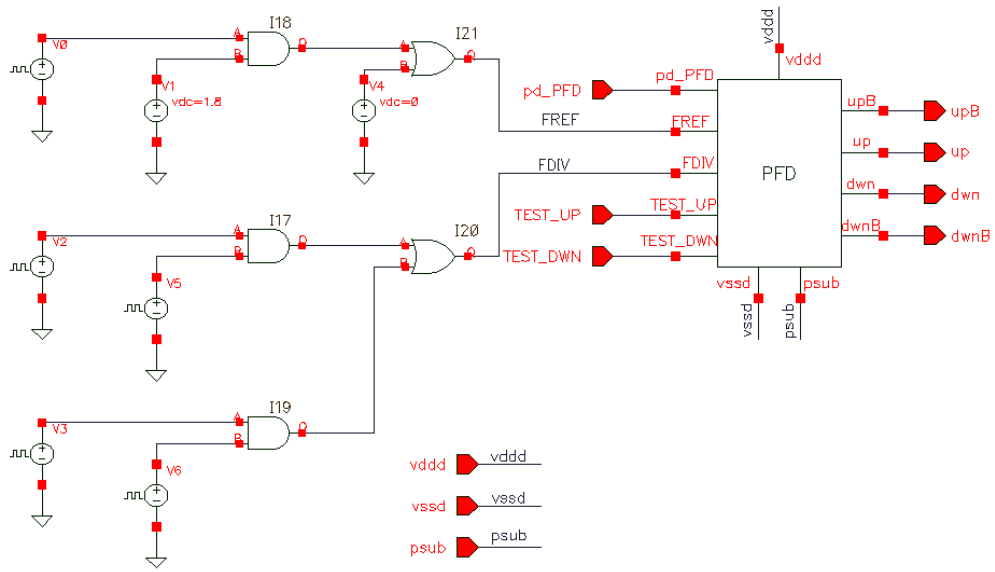


Slika 3.41: Izlazi PFD-a za frekvenciju $f_{VCO} = 22$ MHz.

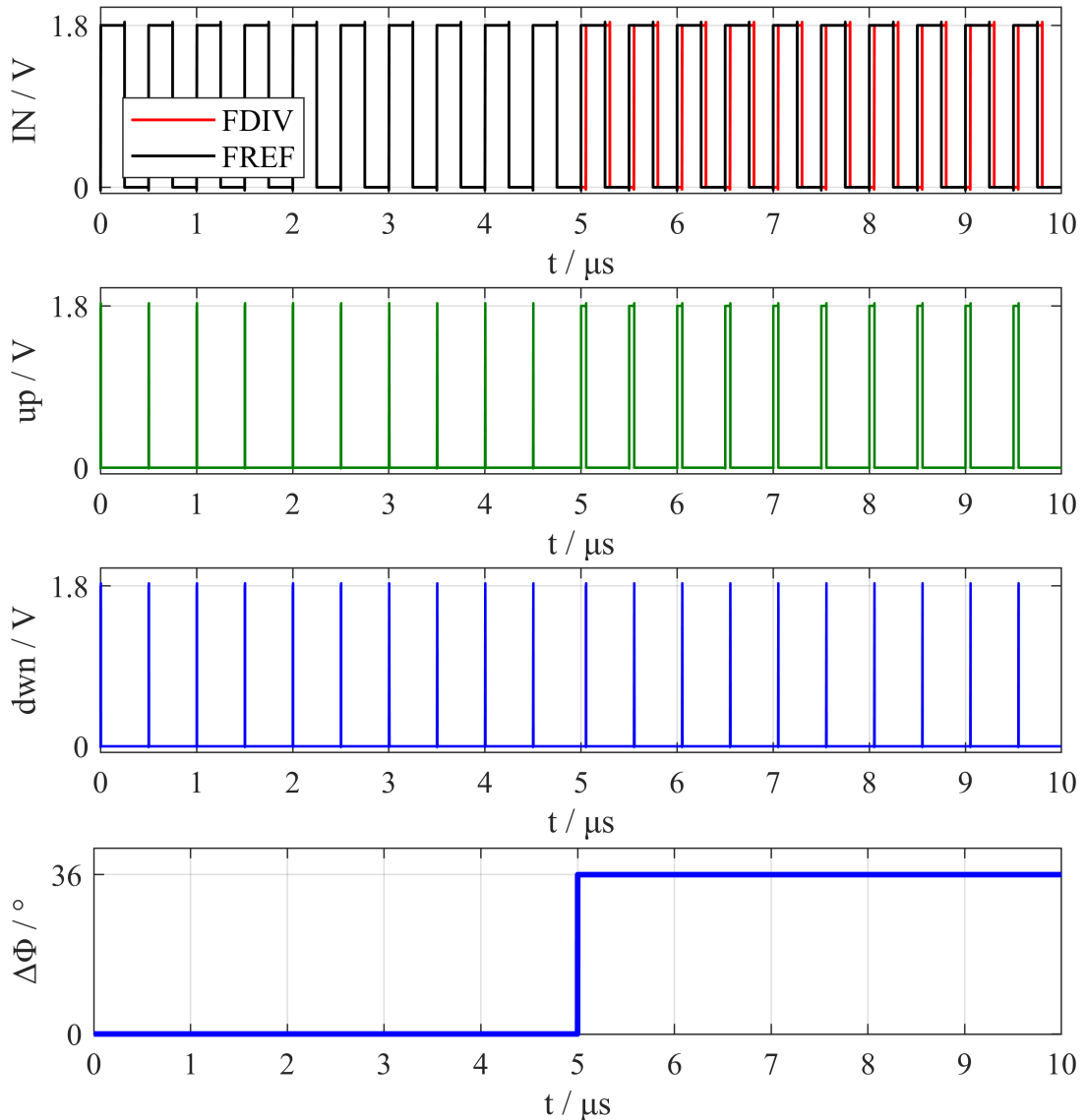
U ovoj situaciji su impulsi up signala konstantni i kratkotrajni, dok dwn impulsi mijenjaju svoju širinu u vremenu. To znači da će struja kroz nabojsku pumpu biti negativna te da će kontrolni napon padati kako bi se smanjila izlazna frekvencija iz sklopa VCO. Razlika ulaznih frekvencija je $f_{REF} - f_{FDIV} = 0,2$ MHz. Stoga će se, kako je u prethodnom slučaju objašnjeno, dwn impulsi periodički ponavljati s periodom $T = 5 \mu s$ što se i vidi sa slike 3.41.

Sada se promatra kako sklop PFD reagira na promjenu faze u nekom trenutku. U ovoj simulaciji uzet će se da su ulazni signali u fazi do trenutka $t = 5 \mu s$ kada se signal $FDIV$ zakasni za $t = 50$ ns. Kako bi se to realiziralo, napravljen je složeni izvor ulaznih signala. Signal $FDIV$ generiran je iz dva $vpusle$ izvora. Jedan izvor je aktivan od trenutka $t = 0$ s do trenutka $t = 5 \mu s$ kada se aktivira drugi zakašnjen

za $t = 50$ ns.



Slika 3.42: Složeni izvor.

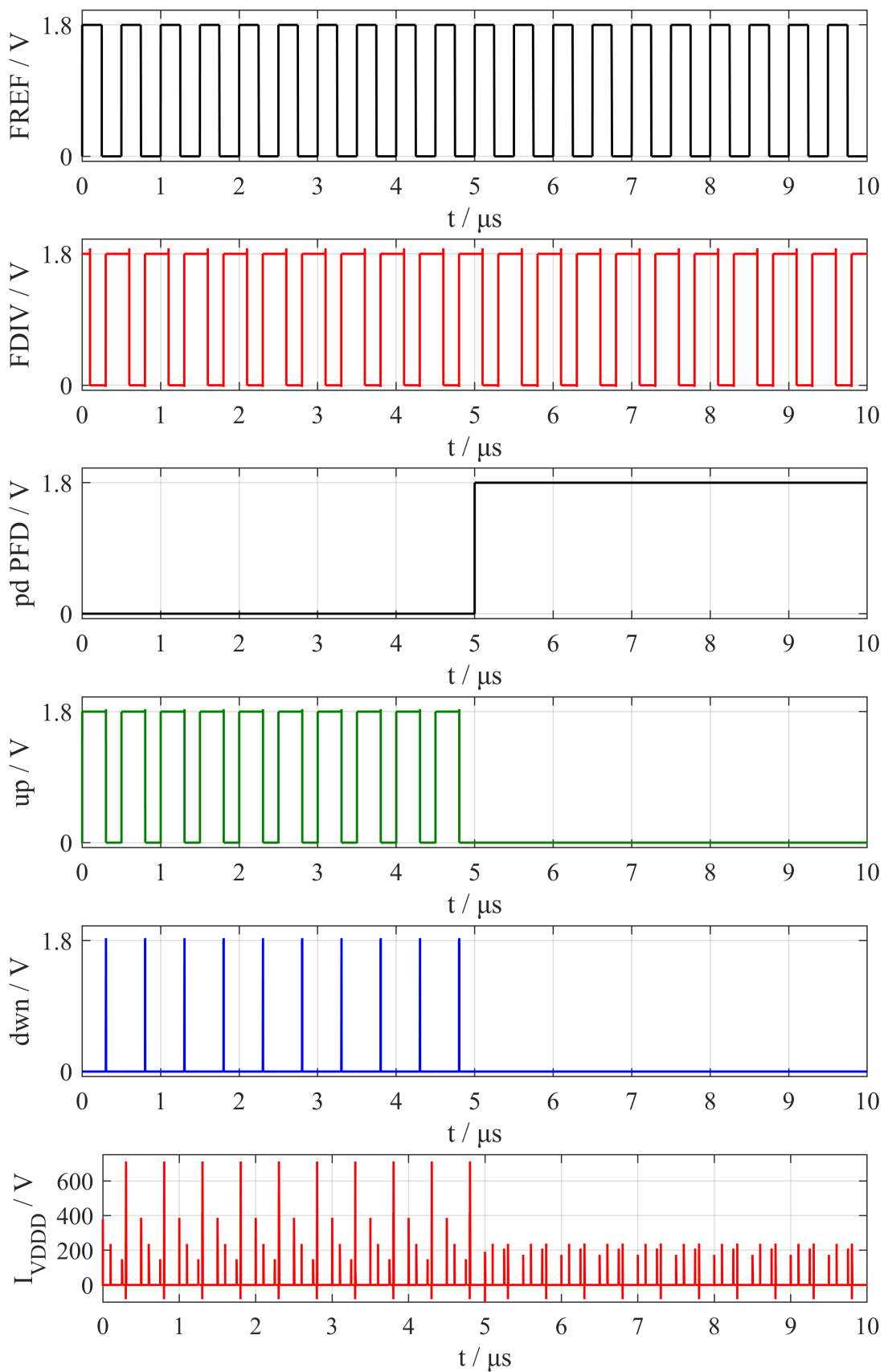


Slika 3.43: Odziv PFD-a na promjenu faze.

Zadnja slika prikazuje razliku faza $\Delta\Phi$ ulaznih signala u vremenu. Ta krivulja je upravo jedinična skokovita funkcija što je bio cilj ove simulacije. To pokazuje slika sa up signalom čiji impulsi postaju širi u trenutku $t = 5 \mu\text{s}$. Širina up impulsa iznosi $\Delta t = 50 \text{ ns}$, a period $T = 500 \text{ ns}$. Razlika faze u stupnjevima izračunata je preko sljedećeg izraza:

$$\frac{\Delta\Phi}{360^\circ} = \frac{\Delta t}{T} \quad (3.7)$$

Kada je signal pd_PFD u visokoj razini, sklop PFD prestaje raditi te je u stanju mirovanja. To znači da je signal RN za resetiranje oba D-ff bistabila aktivan (u niskoj razini) za vrijeme mirovanja. Teži se padu struje potrošnje $I_{V_{DD}}$ za 10 puta.



Slika 3.44: Mirovanje sklopa PFD.

Sa slika je vidljivo da kada se trenutku $t = 5 \mu\text{s}$ aktivira signal pd_PFD , izlazni signali up i dwn padaju u nisku razinu zato što su izlazi oba D-ff bistabila u niskoj razini. Također, struja potrošnje značajno se smanjuje u stanju mirovanja.

Potrebno je vidjeti u kakvim se rasponima kreće srednja struja potrošnje. Računa se srednja vrijednost u vremenskom rasponu od $t = 30 \mu\text{s}$ za što točnije vrijednosti. Signal pd_PFD je ili u niskoj ili u visokoj razini za vrijeme trajanja simulacije.

Tablica 3.15: Srednja struja potrošnje za različite temperature ($pd_PFD = "0"$).

T [$^{\circ}\text{C}$]	I [μA]
-40	1,01
27	1,09
125	1,25

Tablica 3.16: Srednja struja potrošnje za različite temperature ($pd_PFD = "1"$).

T [$^{\circ}\text{C}$]	I [nA]
-40	158,29
27	165,69
125	196,27

Iz tablica je vidljivo da srednja vrijednost struje potrošnje raste porastom temperature. U stanju mirovanja, struja potrošnje je 6,58 puta manja nego u normalnom načinu rada.

3.4. Zaključak

Ponašanje fazno-frekvencijskog detektora i djelitelja frekvencije simulirano je u programskom okruženju *Cadence Virtuoso*. Program omogućuje inženjerima da provjere kako rade sklopovi prije nego što se proizvedu prototipovi. Međutim, inženjeri se ne smiju u potpunosti osloniti na program. On služi isključivo kao pomoćni alat, a inženjer mora biti dobro teoretski potkovan znanjem kako bi znao interpretirati rezultate simulacija kao i eventualno odbaciti fizikalno nemoguće situacije.

Simulacije su pokazale da sklopovi FDIV i PFD rade na očekivan način. Sklop FDIV dijeli izlaznu frekvenciju iz sklopa VCO brojem 10, a sklop PFD generira ispravan signal pogreške u svim međuodnosima ulaznih signala. Stanje mirovanja za oba sklopa funkcionira; potrošnja struje je 2,7 puta manja za sklop FDIV i 6,58 puta manja za sklop PFD. Kašnjenja sklopova su unutar prihvatljivih intervala.

Kada je završeno projektiranje sklopova FDIV i PFD, simuliran je rad cijelog PLL-a. Nakon određenog vremena utitravanja, PLL uspijeva stabilizirati izlaznu frekvenciju na željenih $f_{VCO} = 20$ MHz i ulazi u stacionarno stanje.

4. Nabojna pumpa (CP) i niskopropusni filter (LPF)

4.1. Uvod

Nabojna pumpa (engl. *charge pump*, skraćeno CP) s niskopropusnim filterom (engl. *low-pass filter*, skraćeno LPF) jedan je od ključnih dijelova sklopa za faznu sinkronizaciju (engl. *phase-locked loop*, skraćeno PLL). Različite arhitekture CP-a prikazane su u radovima [8], [15] i [9]. Zajedno s naponski upravljanim oscilatorom (engl. *voltage-controlled oscillator*, skraćeno VCO), fazno-frekvencijskim detektorom (engl. *phase-frequency detector*, skraćeno PFD) i djelitelem frekvencije (engl. *frequency divider*, skraćeno FD) čini smislenu cjelinu kojoj je zadatak izjednačiti promjenu faze ulaznog i izlaznog signala.

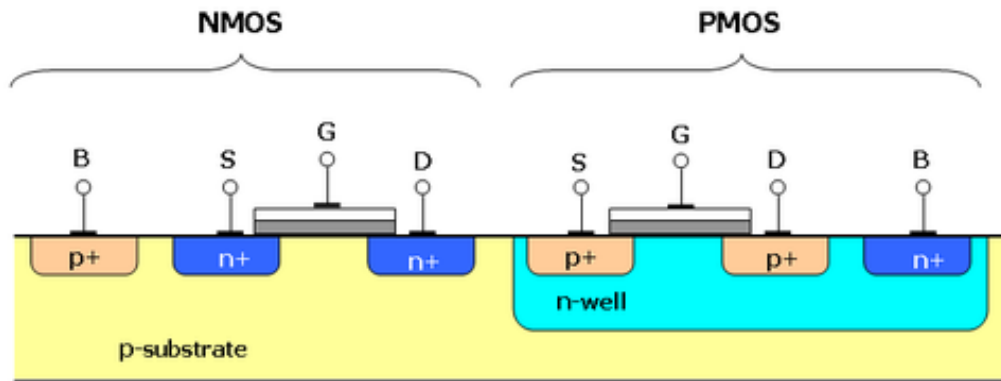
Projektiranje sklopa izvršeno je na razini tranzistora pomoću programskog alata za simulaciju sustava Cadence Virtuoso. Napretkom tehnologije, veličina tranzistora sve se više smanjuje. U ovome projektu koristi se 180 nm tehnologija. Danas su već postignute veličine tranzistora od 10-ak i manje nanometara, a daljnje smanjivanje tranzistora teško je postići jer bi pri još manjim veličinama bile osjetne kvantne pojave.

Nabojna pumpa na ulaz dobiva signale iz fazno-frekvencijskog detektora koji su dobiveni iz razlike u fazi i frekvenciji ulaznog i povratnog signala. Zadatak joj je iz njih konstruirati napon koji dalje upravlja frekvencijom naponski upravljanih oscilatora. Niskopropusni filter guši signale visoke frekvencije kako bi naponski upravljani oscilator dobio upravljački signal koji ima manje skokove napona.

U daljnjem tekstu prvo će biti iznesena teorijska podloga za razumijevanje rada sklopa, zatim rezultati simulacija sklopa za različite vrijednosti ulaznih parametara i naposljetku topološki nacrt.

4.2. Teorijski opis rada sklopa

4.2.1. Početne postavke pri projektiranju sklopa



Slika 4.1: CMOS struktura s n-kanalnim i p-kanalnim MOSFET-om u istoj silicijskoj pločici.

Za projektiranje sklopa koristi se CMOS (*Complementary metal-oxide-semiconductor*) tehnologija koja se standardno koristi u integriranim sklopovima. CMOS sadrži p-kanalne (PMOS) i n-kanalne (NMOS) tranzistore. Glavne prednosti CMOS tehnologije su niska cijena i malena disipacija snage u statičkim uvjetima jer je struja koja teče od napajanja prema masi reda veličine femtoampera.

Napon napajanja koji se koristi je 1,8 V. Sklop će se testirati za varijacije temperature od $-40\text{ }^{\circ}\text{C}$ do $125\text{ }^{\circ}\text{C}$ i varijacije napona napajanja od $\pm 10\%$. U sklop će biti uključen vanjski signal *EN* (*enable*) koji omogućuje rad sklopa kad je u stanju $EN = 1$, a kada je $EN = 0$ sklop ne radi.

Često se u idealiziranim modelima tranzistora smatra da tranzistor ne vodi struju u slučaju kada je napon upravljačke elektrode (engl. *gate*) prema izvodu (engl. *source*) tranzistora manji od napona praga (engl. *threshold voltage*). Za struju tranzistora kada je on u zasićenju vrijedi:

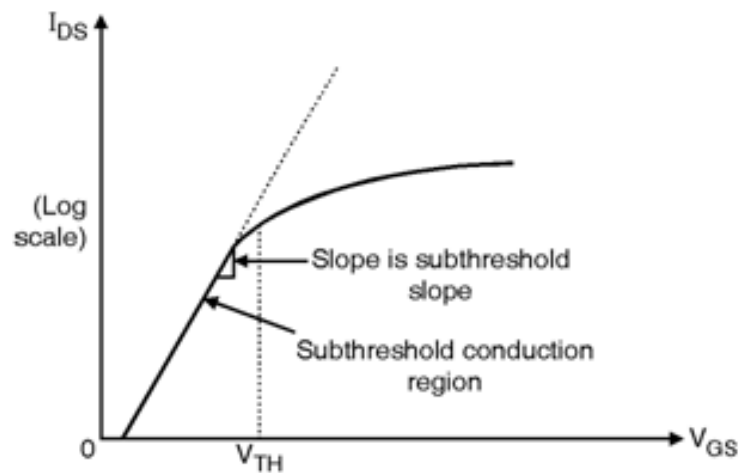
$$I_D = \frac{K}{2}(V_{GS} - V_{GS0})^2(1 + \lambda V_{DS}) \quad (4.1)$$

Za $V_{GS} < V_{GS0}$ pretpostavlja se da je $I_D = 0$.

Međutim, u realnoj situaciji to nije slučaj. Tranzistorom ipak teče mala struja kada je napon između upravljačke elektrode i izvoda tranzistora manji od napona praga i za struju tranzistora tada vrijedi [6]:

$$I_D = I_{SMOS} \frac{W}{L} e^{\frac{V_{GS} - V_{GS0}}{nU_T}} \quad (4.2)$$

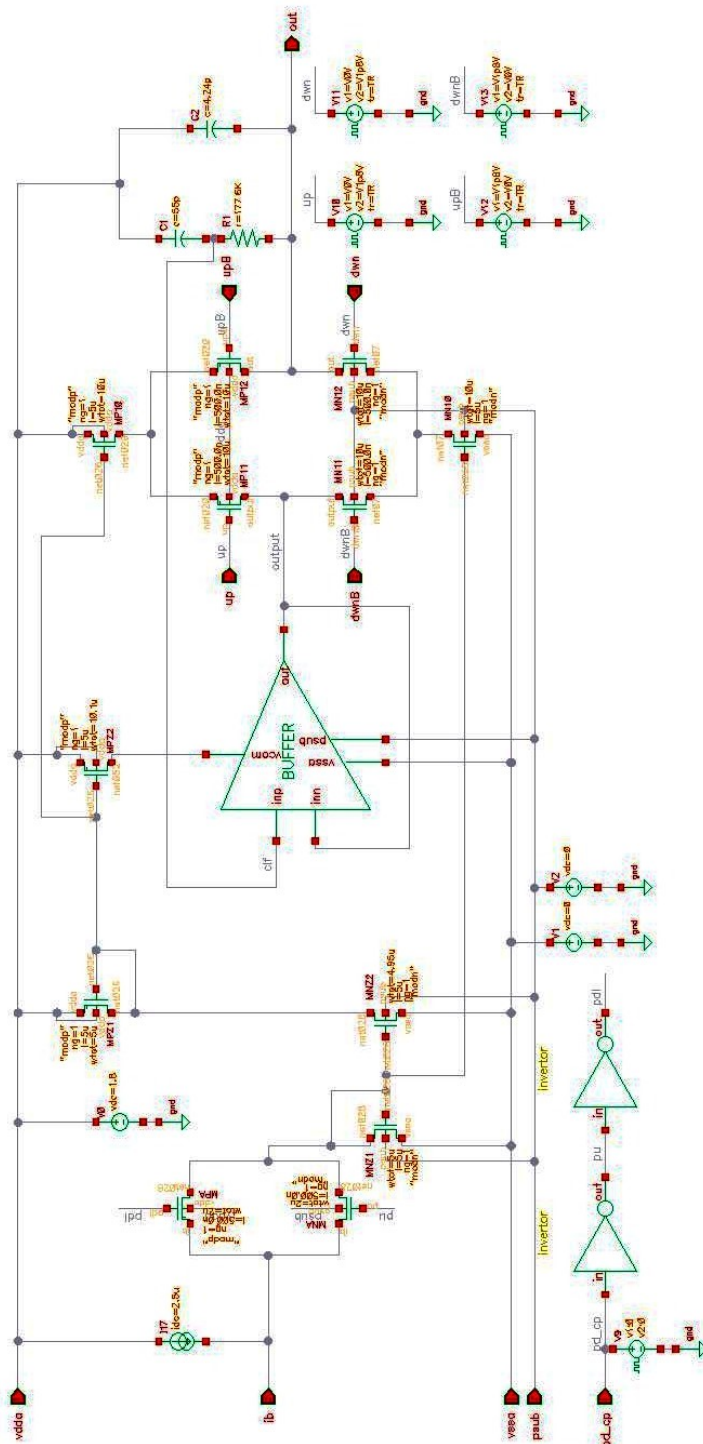
Ta je struja prilično manja od struje u području zasićenja. Ovisi o temperaturi koja je sadržana u naponskom ekvivalentu temperature ($U_T = \frac{k_B T}{q}$). Koeficijent n povezan je s padom napona u kvazineutralnom području u uvjetima visoke injekcije, pri čemu što je veći koeficijent n , to je veći pad napona V_{GS} za istu promjenu struje [3]. Kao dobra aproksimacija vrijedi da je u tom režimu rada potrebna promjena ΔV_{GS} od 80 mV da bi se struja promijenila 10 puta. Struja I_{SMOS} je struja po smislu slična struji zasićenja pn diode jer su obje struje povezane s eksponencijalnom karakteristikom.



I_{DS} Vs V_{GS} characteristics in log scale

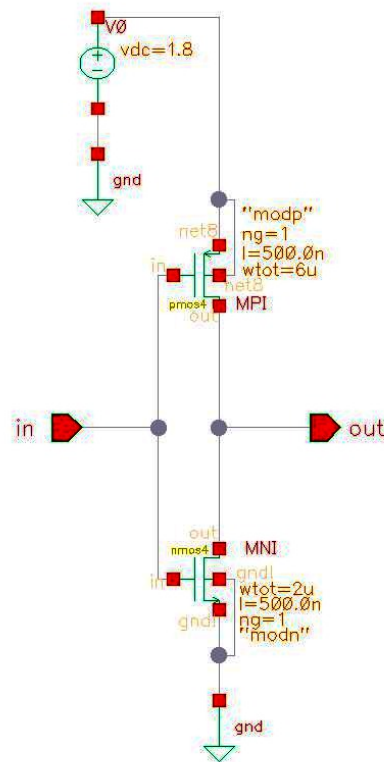
Slika 4.2: Karakteristika struje tranzistora.

4.2.2. Nabojna pumpa s niskopropusnim filterom



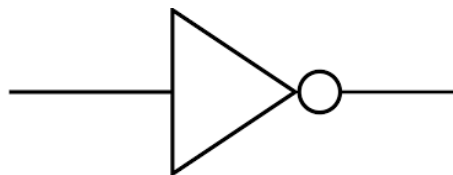
Slika 4.3: Shema cjelokupnog sklopa nabojne pumpe i niskopropusnog filtera.

Invertor



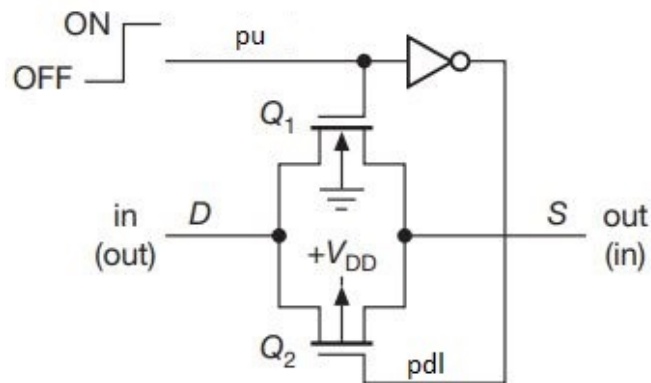
Slika 4.4: Shema CMOS invertora.

CMOS invertor osnovni je digitalni CMOS sklop. U slučaju kada je na ulazu visoki napon, PMOS tranzistor ne vodi, a NMOS tranzistor vodi i izlazni priključak kratko se spoji s referentnim naponom. U drugom slučaju, na ulazu je niski napon, PMOS tranzistor vodi, a NMOS tranzistor ne vodi pa se izlazni priključak kratko spoji s naponom napajanja.



Slika 4.5: Simbol invertora.

Analogna sklopka



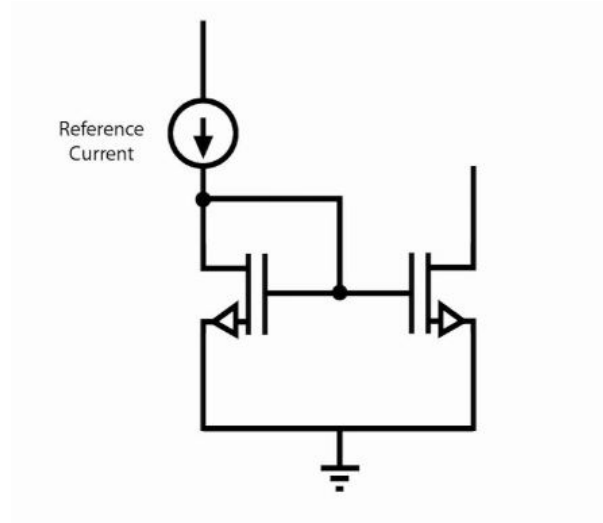
Slika 4.6: Shema CMOS analogne sklopke.

CMOS analogna sklopka (engl. *CMOS analog switch*) naponski je upravljana sklopka koja provodi struju kada je upravljački signal na visokoj razini $pu = 1$. Upravljački signal pu dovodi se na upravljačku elektrodu NMOS tranzistora, a na upravljačku elektrodu PMOS tranzistora dovodi se signal pdl , komplement tog signala. Ukoliko je visoki napon na upravljačkoj elektrodi n-kanalnog tranzistora, bit će nizak napon na upravljačkoj elektrodi p-kanalnog tranzistora i za oba tranzistora vrijedi:

$$|V_{GS}| > |V_{GS0}| \quad (4.3)$$

Oba tranzistora vode struju i sklopka je uključena. U suprotnom, sklopka praktički ne vodi. U predmetnom sklopu, na ulaz analogne sklopke dovodi se struja od $2,5 \mu\text{A}$ koja dalje odlazi na strujno zrcalo.

Strujno zrcalo



Slika 4.7: Shema strujnog zrcala.

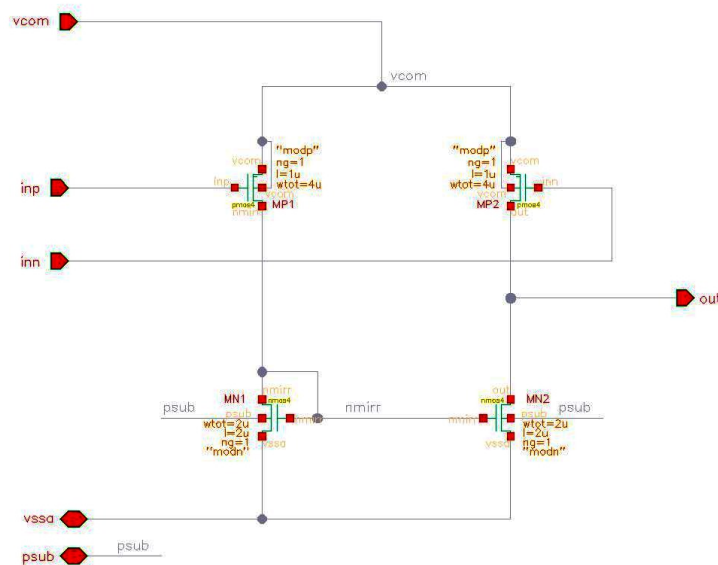
Strujno zrcalo (engl. *current mirror*) je elektronički sklop koji preslikava referentnu struju iz jedne grane u drugu granu [4]. Izvodi i upravljačke elektrode tranzistora nalaze se na istom potencijalu. To znači da im je napon V_{GS} jednak i tranzistorima teče jednaka struja. Struje i širine tranzistora uz jednake duljine tranzistora otprilike se odnose:

$$\frac{I_{D2}}{I_{D1}} = \frac{W_2}{W_1} \quad (4.4)$$

Te su struje relativno konstantne i neovisne o parametrima komponenata i naponu. Međutim, dobro je da tranzistori imaju veću duljinu L zato što je tada dinamički otpor MOSFET-a u zasićenju veći (karakteristike su položnije i struja manje ovisi o naponu V_{DS}).

U predmetnom sklopu, iz analogne sklopke dolazi struja od $2,5 \mu\text{A}$ na lijevi tranzistor prvog strujnog zrcala gdje se preslika na drugi tranzistor. Taj drugi tranzistor služi kao strujni ponor za drugo strujno zrcalo koje napaja odvojno pojačalo strujom od $5 \mu\text{A}$. Nadalje, postoje još dva strujna zrcala koja predstavljaju strujni izvor, odnosno, ponor nabojske pumpe od $5 \mu\text{A}$.

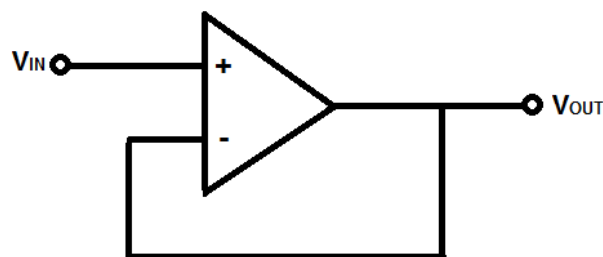
Naponsko odvojno pojačalo



Slika 4.8: Shema naponskog odvojnog pojačala.

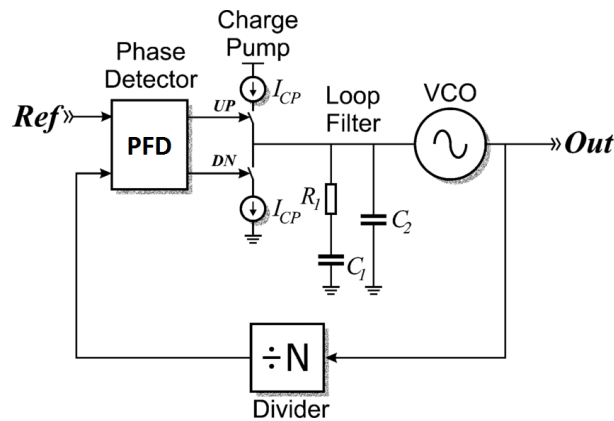
Naponsko odvojno pojačalo (engl. *voltage buffer*) je naponsko pojačalo koje ima pojačanje napona 1 ($V_{OUT} = V_{IN}$). Služi da bi se napon na ulazu preslikao na izlaz. Ima jako velik ulazni otpor i mali izlazni otpor. Negativna povratna veza kontrolira izjednačavanje ulaznog i izlaznog napona. Crpi jako malu struju iz ulaznog kruga pa ne remeti rad ulaznog kruga. Istovremeno izlazni krug crpi dovoljno struje, a izlazni napon jednak je ulaznom.

U predmetnom sklopu, odvojno pojačalo ima ulogu preslikavanja filtriranog izlaznog napona clf na lijevu granu nabojne pumpe kako bi u svakom trenutku tekla nekakva struja kroz tranzistor koji predstavlja strujni ponor nabojne pumpe (između tranzistora $MP11$ i $MN11$) kako bi se smanjili šiljci struje pri ukapčanju i iskapčanju tranzistora, to jest, omogućuje da tranzistorom $MN10$ konstantno teče struja.



Slika 4.9: Simbol odvojnog pojačala.

Nabojska pumpa i niskopropusni filter

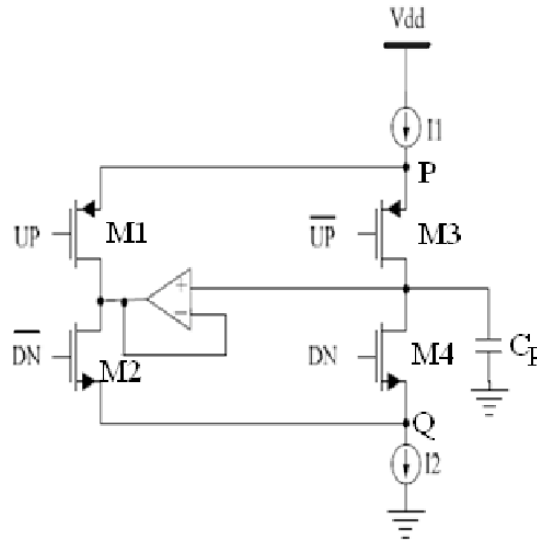


Slika 4.10: Pojednostavljena shema nabojske pumpe s niskopropusnim filterom u sklopu PLL-a.

Nabojska pumpa (engl. *charge pump*) je sklop koji upravlja naponski upravljanim oscilatorom. Njegova je zadaća pretvoriti digitalne signale UP i DWN , koje je fazno-frekvencijski detektor izveo iz signala $FREF$ i $FDIV$, u analogni naponski signal koji dalje ide na VCO. Dakle, pretvara digitalni signal (razlika u fazi) u analogni signal (napon).

Nabojska pumpa sastoji se od lijeve i desne grane (slika 4.11). U lijevoj i u desnoj grani nalaze se po jedan p-kanalni i n-kanalni tranzistor. Na izvodima PMOS tranzistora nalazi se strujni izvor I_1 , a na izvodima NMOS tranzistora nalazi se strujni ponor I_2 . Oba vode struju od $5 \mu A$. Izlazni napon out nalazi se između desnog para tranzistora. Kao što je već napomenuto, filtrirani izlazni napon preslikava se preko odvojnog pojačala između lijevog para tranzistora. Ovakva konfiguracija sklopa omogućuje da tranzistori koji predstavljaju strujni izvor odnosno ponor konstantno vode struju od približno $5 \mu A$ te se tako eliminiraju strujni i naponski šiljci koji se generiraju pri uključivanju tranzistora i sklop može raditi pri višim frekvencijama.

U slučaju da signal $FDIV$ kasni za signalom $FREF$, signal UP bit će širi od signala DWN , trajat će od rastućeg brida signala $FREF$ do rastućeg brida signala $FDIV$, a signal DWN porast će pri rastućem bridu signala DWN i trajat će vrlo kratko vrijeme. Ovaj slučaj rezultira postupnim povećavanjem izlaznog napona nabojske pumpe koja će naposljetku povećati izlaznu frekvenciju. U drugom slučaju, signal $FREF$ kasni za signalom $FDIV$ i vrijedi sve suprotno u odnosu na prvi slučaj, dakle, u ovom slučaju naposljetku se smanjuje izlazna frekvencija u cilju izjednačavanja s referentnom frekvencijom.



Slika 4.11: Nabojna pumpa poboljšane strukture.

Hoće li određeni tranzistor voditi struju od približno $5 \mu\text{A}$ ovisi o naponu na njegovoj upravljačkoj elektrodi. Jasno je da PMOS tranzistori vode struju pri niskom naponu, a NMOS tranzistori pri visokom naponu. Ako vodi tranzistor $MP12$, izlazni napon raste, a ako vodi tranzistor $MN12$, izlazni napon pada. Ulazni signal u niskopropusni filter je električna struja, a izlazni signal je napon. Iznos tog napona ovisi o impedanciji filtera. Filter se sastoji od dvije paralelne grane koje su jednim krajem spojene na izlazni napon, a drugim na napon napajanja. U prvoj grani nalaze se otpornik $R1$ i kondenzator $C1$, a u drugoj kondenzator $C2$ koji je otprilike 10 puta manji od kondenzatora $C1$. Impedancija niskopropusnog filtera računa se kao:

$$\begin{aligned}
 Z(s) &= \left(R_1 + \frac{1}{sC_1} \right) \parallel \left(\frac{1}{sC_2} \right) = \\
 &= \frac{\frac{sR_1C_1+1}{sC_1} \cdot \frac{1}{sC_2}}{\frac{sR_1C_1+1}{sC_1} + \frac{1}{sC_2}} = \\
 &= \frac{1 + sC_1R_1}{(1 + sC_1R_1)sC_2 + sC_1} = \\
 &= \frac{1 + sC_1R_1}{s^2C_1R_1C_2 + s(C_1 + C_2)} = \\
 &= \frac{1 + sC_1R_1}{s(C_1 + C_2) \left(1 + s\frac{C_1C_2R_1}{C_1+C_2} \right)}
 \end{aligned} \tag{4.5}$$

Pasivni niskopropusni filter (engl. *passive low-pass filter*) prigušuje visoke frekvencije i tako ujednačava napon na izlazu kako naponski upravljani oscilator ne bi imao velike skokove napona na ulazu. Time se bitno smanjuje fazni šum oscilatora.

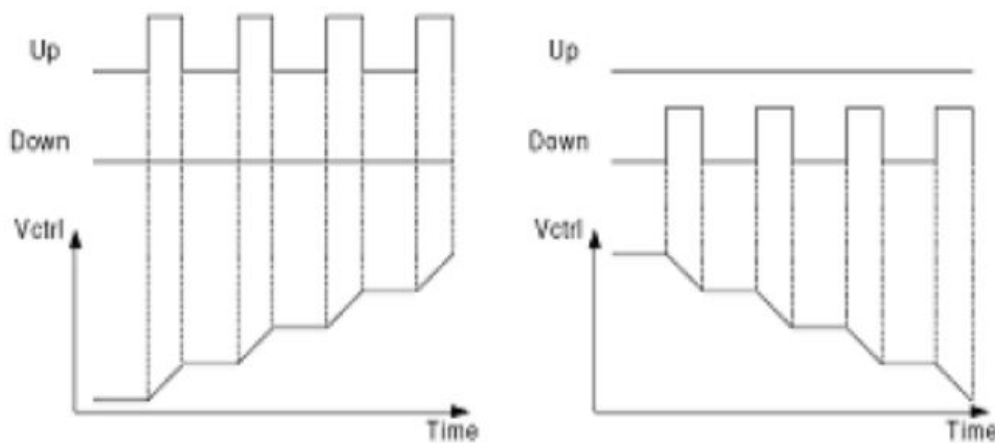
Prijenosna funkcija nabojne pumpe i niskopropusnog filtera

Prijenosnu funkciju sklopa intuitivno je teško zamisliti jer je na ulazu u sklop fazna razlika signala, a izlaz iz sklopa naponski signal.

Upravljačke signale *UP* i *DWN* nabojne pumpe određuju pravokutni signali *FREF* i *FDIV*. Ti signali iste su frekvencije, ali različitih faza. Vremensko i fazno kašnjenje mogu se staviti u proporciju [2]:

$$\frac{\Delta t}{T} = \frac{\Delta \Phi}{2\pi} \quad (4.6)$$

Pretpostavlja se da signal *FDIV* kasni za signalom *FREF* i kompleksniji filter zamjenjuje se jednim kondenzatorom. Izlazni napon raste kada struja teče gornjim tranzistorom, za vrijeme Δt , a izlazni napon stagnira u preostalom dijelu perioda.



Slika 4.12: Ponašanje izlaznog napona kada signal *FDIV* kasni i kada signal *FREF* kasni.

Izlazni napon može se aproksimirati pravcem:

$$V_{OUT}(t) = \frac{\Delta V}{T} \cdot t \quad (4.7)$$

Napon na kondenzatoru raste jer ga nabija struja I_{CP} iz nabojne pumpe:

$$V_{OUT} = \frac{1}{C} \int_0^{\Delta t} i(t) dt = \frac{I_{CP}}{C} \cdot t|_0^{\Delta t} + V_0 = \frac{I_{CP} \Delta t}{C} = \Delta V \quad (4.8)$$

$$\Delta V = \frac{I_{CP} \Delta t}{C} = \frac{I_{CP} \Delta \Phi T}{2\pi C} \quad (4.9)$$

$$V_{OUT}(t) = \frac{I_{CP} \Delta \Phi}{2\pi C} \cdot t \quad (4.10)$$

Prelaskom u Laplaceovu domenu za izlazni napon i ulaznu razliku u fazi dobiva se:

$$V_{OUT}(s) = \frac{I_{CP} \Delta \Phi}{2\pi C} \cdot \frac{1}{s^2} \quad (4.11)$$

$$\Delta\Phi(s) = \frac{\Delta\Phi}{s} \quad (4.12)$$

Prijenosna funkcija u slučaju kada je filter ostvaren u vidu jednog kondenzatora glasi:

$$H(s) = \frac{V_{OUT}(s)}{\Delta\Phi(s)} = \frac{I_{CP}}{2\pi} \cdot \frac{1}{Cs} = \frac{I_{CP}}{2\pi} \cdot Z(s) \quad (4.13)$$

Funkcija izlaznog napona računa se iz prijenosne funkcije i razlike u fazi inverznom Laplaceovom transformacijom. Izlazni napon je linearna funkcija:

$$V_{OUT}(t) = \frac{I_{CP}\Delta\Phi}{2\pi C} \cdot tS(t) \quad (4.14)$$

Prijenosna funkcija u slučaju kada je korišten kompleksni filter glasi:

$$H(s) = \frac{V_{OUT}(s)}{\Delta\Phi(s)} = \frac{I_{CP}}{2\pi} \cdot \frac{1 + sC_1R_1}{s(C_1 + C_2)(1 + s\frac{C_1C_2R_1}{C_1+C_2})} \quad (4.15)$$

Funkcija izlaznog napona suma je linearne i eksponencijalne funkcije:

$$V_{OUT}(s) = \frac{I_{CP}\Delta\Phi}{2\pi} \cdot \frac{1 + sC_1R_1}{s^2(C_1 + C_2)(1 + s\frac{C_1C_2R_1}{C_1+C_2})} \quad (4.16)$$

$$V_{OUT}(t) = \frac{I_{CP}\Delta\Phi}{2\pi} \left(R1 \left(\frac{C1}{C1 + C2} \right)^2 (1 - e^{-\frac{t}{\frac{C1C2}{C1+C2}R1}}) + \frac{1}{C1 + C2} \cdot t \right) S(t) \quad (4.17)$$

Tablica 4.1: Otpor u niskopropusnom filteru.

Otpornik	Otpor [kΩ]
<i>R1</i>	177,6

Tablica 4.2: Kapaciteti u niskopropusnom filteru.

Kondenzator	Kapacitet [pF]
<i>C1</i>	55
<i>C2</i>	4,24

4.3. Rezultati simulacija

4.3.1. Odabir parametara tranzistora, kondenzatora i otpornika

Tablica 4.3: Realni parametri tranzistora.

Tranzistor	W [μm]	L [μm]
<i>MNI</i>	2	0,5
<i>MPI</i>	6	0,5
<i>MN1</i>	2	2
<i>MN2</i>	2	2
<i>MP1</i>	4	1
<i>MP2</i>	4	1
<i>MNA</i>	2	0,5
<i>MPA</i>	2	0,5
<i>MNZ1</i>	5	5
<i>MNZ2</i>	4,95	5
<i>MPZ1</i>	5	5
<i>MPZ2</i>	10,1	5
<i>MN10</i>	10	5
<i>MN11</i>	10	0,5
<i>MN12</i>	10	0,5
<i>MP10</i>	10	5
<i>MP11</i>	10	0,5
<i>MP12</i>	10	0,5

Vrijednosti širina i duljina tranzistora odabrani su s obzirom na to želi li se njima, na primjer, postići maksimalno dobro vođenje struje ili konstantnost struje. Uobičajeno je to da su duljine tranzistora strujnih zrcala prilično velike jer se želi osigurati konstantna struja bez obzira na to koliki je napon između uvoda i odvoda tog tranzistora. Prema tom principu odabrani su parametri tranzistora strujnih zrcala u ovome sklopu jer se želi osigurati konstantna struja napajanja od $5 \mu\text{A}$ u odvojno pojačalo i u nabojsku pumpu. Tranzistori u sklopu nabojske pumpe imaju ulogu sklopki i njihov je zadatak maksimalno dobro voditi struju kada su uključeni i zato se odabire velika širina i mala duljina tranzistora.

Budući da je pokretljivost nosilaca NMOS-a (elektroni) otprilike tri puta veća od

pokretljivosti nosilaca PMOS-a (šupljine), širina PMOS tranzistora MPI postavlja se da je tri puta veća od širine NMOS tranzistora MNI kako bi se dobila simetrična prijenosna karakteristika.

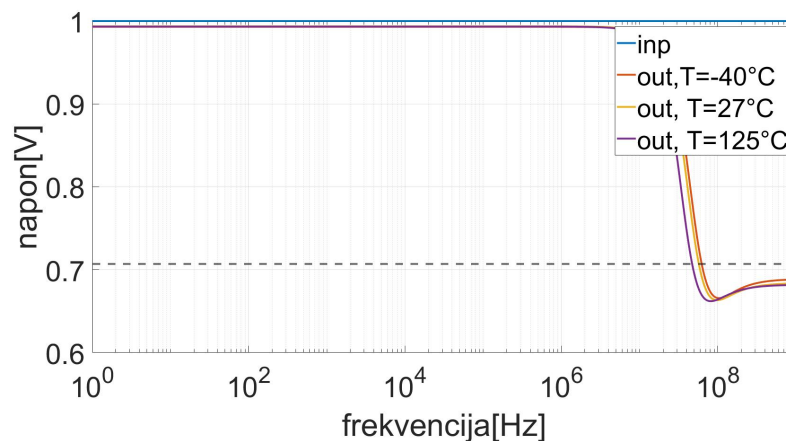
Tablica 4.4: Realni parametri niskopropusnog filtera.

Oznaka	Ime	Parametri
<i>R1</i>	<i>rpoly1pc</i>	$W = 0,5 \mu\text{m}, L = 259 \mu\text{m}$
<i>C1</i>	<i>cmim2</i>	$W = 29,31 \mu\text{m}, L = 30,4 \mu\text{m}, C1 = 31 \times 1,774 \text{ pF}$
<i>C2</i>	<i>cmim2</i>	$W = 26,07 \mu\text{m}, L = 27,16 \mu\text{m}, C2 = 3 \times 1,413 \text{ pF}$

Idealni kondenzatori i otpornik zamjenjuju se realnim elementima. Kapacitet kondenzatora i otpor otpornika određeni su širinom i duljinom tog elementa. Budući da postoje maksimalna duljina i širina kondenzatora, nije moguće postići željene vrijednosti kapaciteta pa je rješenje to da se više jednakih kondenzatora stavi u paralelni spoj. Otpornik *rpoly1pc* ima negativan temperaturni koeficijent što znači da se povećanjem temperature njegov otpor smanjuje.

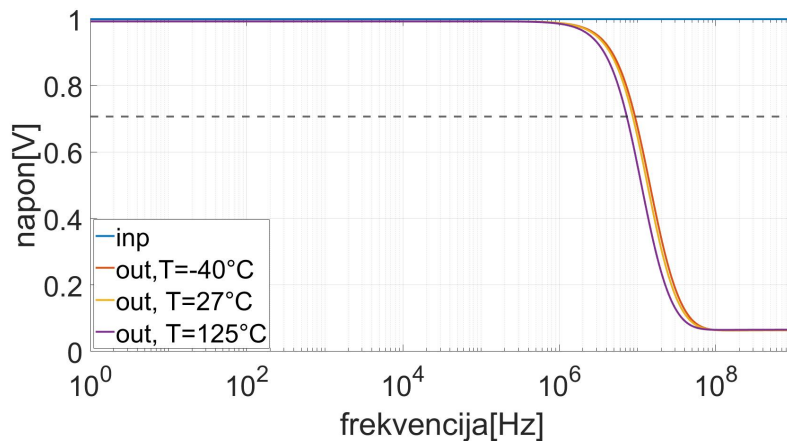
4.3.2. Analiza odvojnog pojačala

Frekvencijska analiza odvojnog pojačala



Slika 4.13: Amplitudno-frekvencijska karakteristika odvojnog pojačala u negativnoj povratnoj vezi za sinusnu pobudu amplitude 1 V.

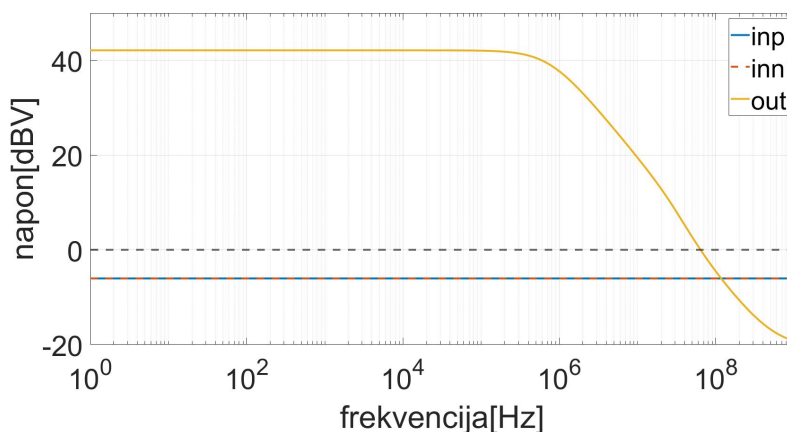
Karakteristika odvojnog pojačala je oblika niskopropusnog filtera. Gornja granična frekvencija ovisi o temperaturi i nalazi se na otprilike 60 MHz.



Slika 4.14: Amplitudno-frekvencijska karakteristika odvojnog pojačala u negativnoj povratnoj vezi za sinusnu pobudu amplitude 1 V uz spojeni kondenzator od 100 fF na izlazu prema referentnom naponu.

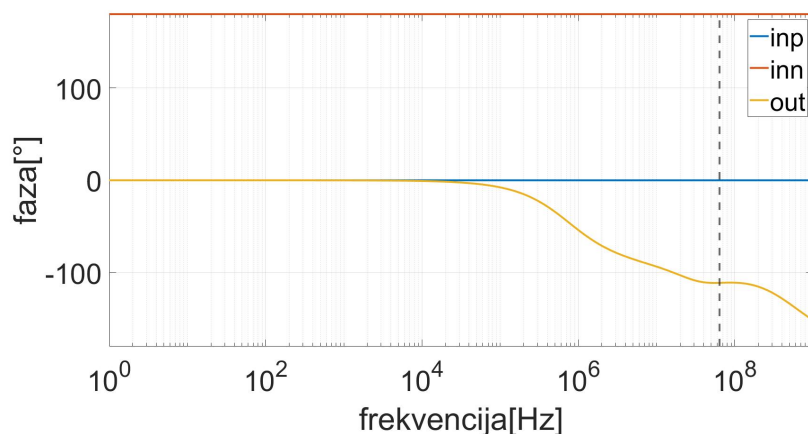
U realnom slučaju postojat će određeni parazitni kapacitet izlaza odvojnog pojačala prema referentnom potencijalu koji će, iako je malog iznosa, smanjiti gornju graničnu frekvenciju desetak puta.

Na slikama 4.15, 4.16, 4.17 i 4.18 prikazane su simulacije odvojnog pojačala kojemu nisu kratko spojeni negativna priključnica *inn* i izlazna priključnica *out*. Na pozitivnu priključnicu *inp* doveden je napon $U_{inp} = 0,5 \sin(\omega t)$ V, a na negativnu priključnicu napon $U_{inn} = -0,5 \sin(\omega t)$ V. Na slikama 4.15 i 4.16 su simulacije odvojnog pojačala bez parazitnog kapaciteta na izlazu, a na slikama 4.17 i 4.18 s parazitnim kapacitetom na izlazu.



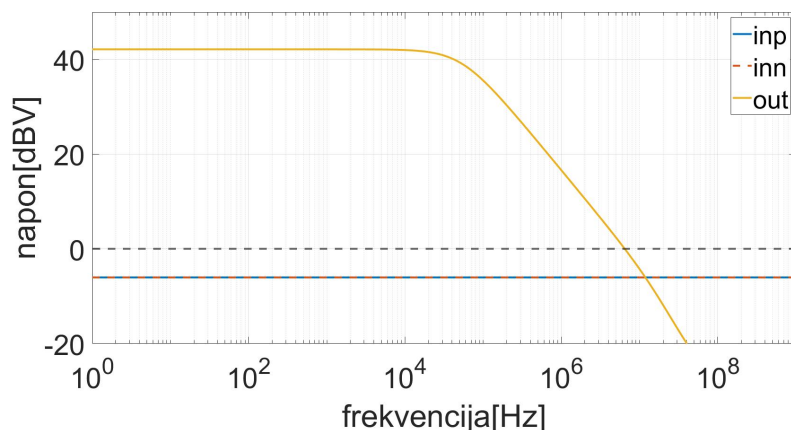
Slika 4.15: Amplitudno-frekvencijska karakteristika odvojnog pojačala za sinusnu diferencijalnu pobudu amplitude 1 V.

Jedinično pojačanje postiže se pri presječnoj frekvenciji $f_c = 64,056$ MHz.



Slika 4.16: Fazno-frekvencijska karakteristika odvojnog pojačala za sinusnu diferencijalnu pobudu amplitude 1 V.

Očekivano je da se povećanjem frekvencije povećava fazno kašnjenje izlaznog napona za ulaznima. Pri frekvenciji $f_c = 64,056$ MHz faza izlaznog signala je $\arg(G_0(j\omega_c)) = -111,13^\circ$, dakle, fazno osiguranje je $\gamma = 68,87^\circ$.

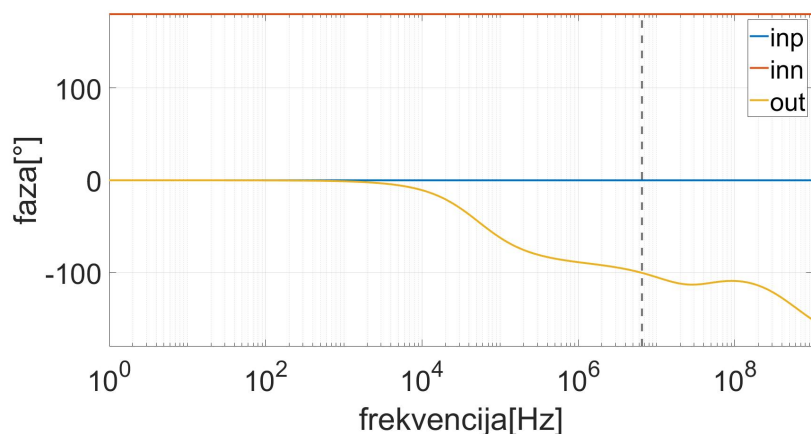


Slika 4.17: Amplitudno-frekvencijska karakteristika odvojnog pojačala za sinusnu diferencijalnu pobudu amplitude 1 V uz spojeni kondenzator od 100 fF na izlazu prema referentnom naponu.

Jedinično pojačanje postiže se pri presječnoj frekvenciji $f_c = 6,476$ MHz. Pri frekvenciji $f_c = 6,476$ MHz faza izlaznog signala je $\arg(G_0(j\omega_c)) = -100,25^\circ$, dakle, fazno osiguranje je $\gamma = 79,75^\circ$.

Veza između jediničnog pojačanja i kružne frekvencije ω :

$$|G_0(j\omega_c)| = 1 \quad (4.18)$$



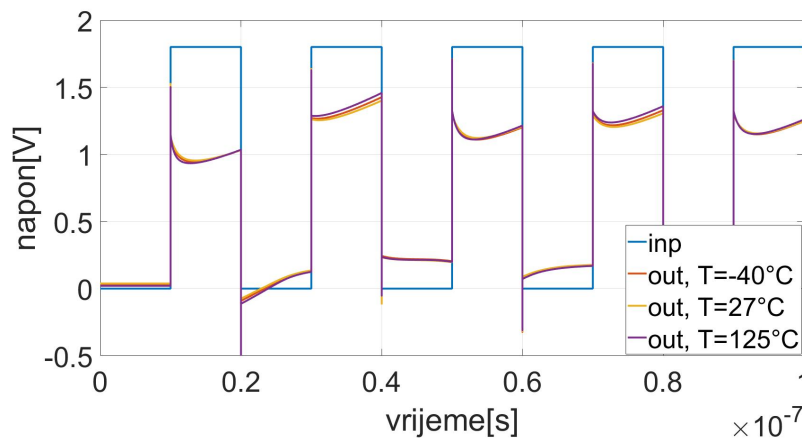
Slika 4.18: Fazno-frekvencijska karakteristika odvojnog pojačala za sinusnu diferencijalnu pobudu amplitude 1 V uz spojeni kondenzator od 100 fF na izlazu prema referentnom naponu.

Veza između faznog osiguranja γ i kružne frekvencije ω :

$$\gamma = 180^\circ + \arg(G_0(j\omega_c)) \quad (4.19)$$

Vremenska analiza odvojnog pojačala

Odvojno pojačalo ima zadatak kopirati napon s ulaza na izlaz, ali mu je potrebno određeno vrijeme da uđe u stacionarno stanje.

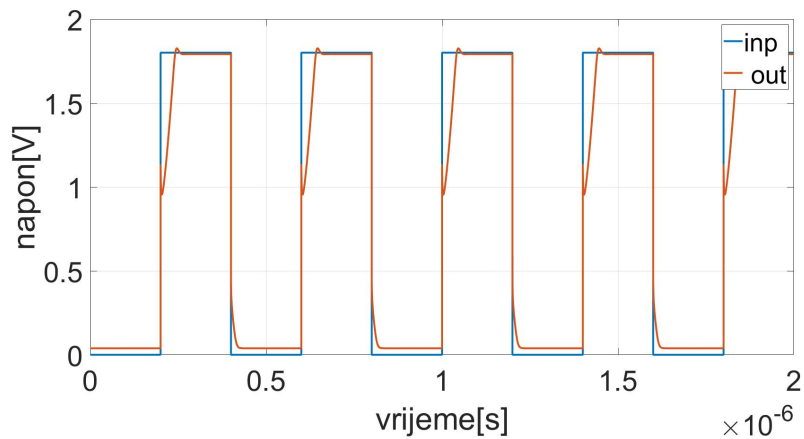


Slika 4.19: Vremenska analiza odvojnog pojačala za pravokutnu pobudu.

Period ulaznog signala je $T = 20$ ns. Širina pulsa je $T_p = 10$ ns. Vrijeme porasta je

$$t_r = 10 \text{ ps. Vrijeme pada je } t_f = 10 \text{ ps.}$$

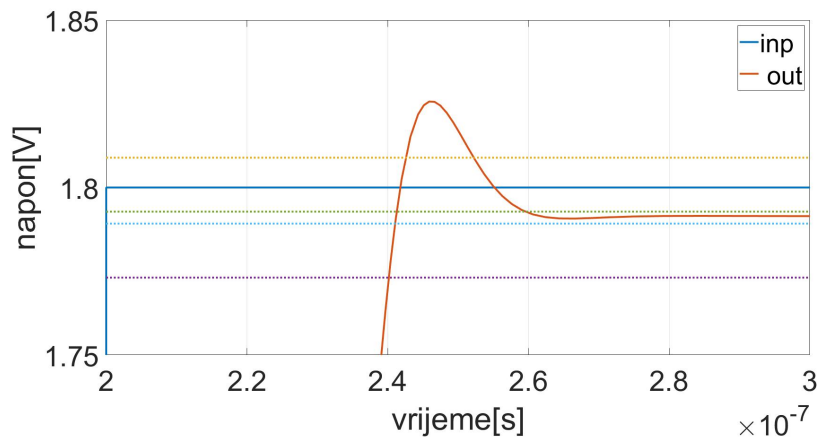
Na slici 4.19 vidi se da je frekvencija signala vrlo visoka i napon na izlazu odvojnog pojačala nema dovoljno vremena porasti do vrijednosti napona na ulazu.



Slika 4.20: Vremenska analiza odvojnog pojačala za pravokutnu pobudu i temperaturu 27 °C.

Period ulaznog signala je $T = 200$ ns. Širina pulsa je $T_p = 100$ ns. Vrijeme porasta je $t_r = 10$ ps. Vrijeme pada je $t_f = 10$ ps.

U PLL-u se očekuje da je frekvencija ulaznog signala u odvojno pojačalo 2 MHz. Frekvencija pravokutnog signala na slici 4.20 je 2,5 MHz, dakle, malo viša od toga. Iz slike 4.20 vidi se da napon postiže stacionarnu vrijednost nakon otprilike trećine poluperioda signala i može se zaključiti da odvojno pojačalo ima zadovoljavajuću izvedbu.



Slika 4.21: Uvećani prikaz vremenske analize odvojnog pojačala za pravokutnu pobudu i temperaturu 27 °C.

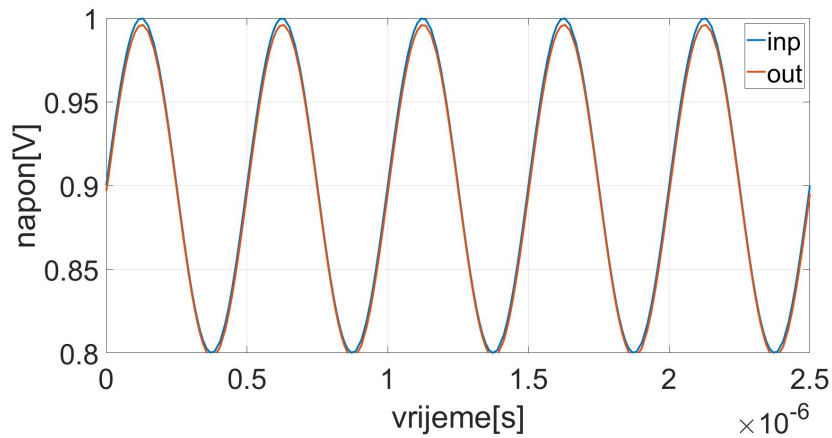
Period ulaznog signala je $T = 200$ ns. Širina pulsa je $T_p = 100$ ns. Vrijeme porasta je $t_r = 10$ ps. Vrijeme pada je $t_f = 10$ ps.

Na slici 4.21 i tablici 4.5 prikazano je vrijeme smirivanja izlaznog signala unutar kojeg postigne 1%, odnosno, 0,1% stacionarne vrijednosti. Vrijeme poluperioda ulaznog signala u PLL-u je 250 ns.

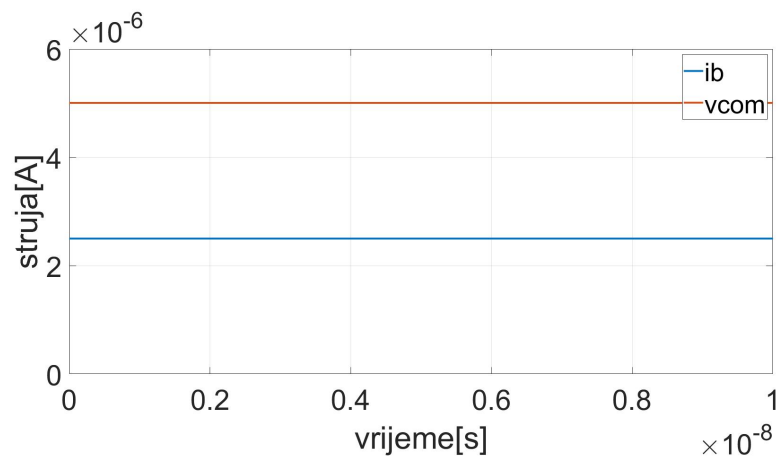
Na slici 4.22 vidi se da izlazni signal gotovo potpuno prati ulazni sinusni signal.

Tablica 4.5: Vrijeme smirivanja napona odvojnog pojačala.

Vrijeme smirivanja [ns]	
1 %	52,235
0,1 %	59,639



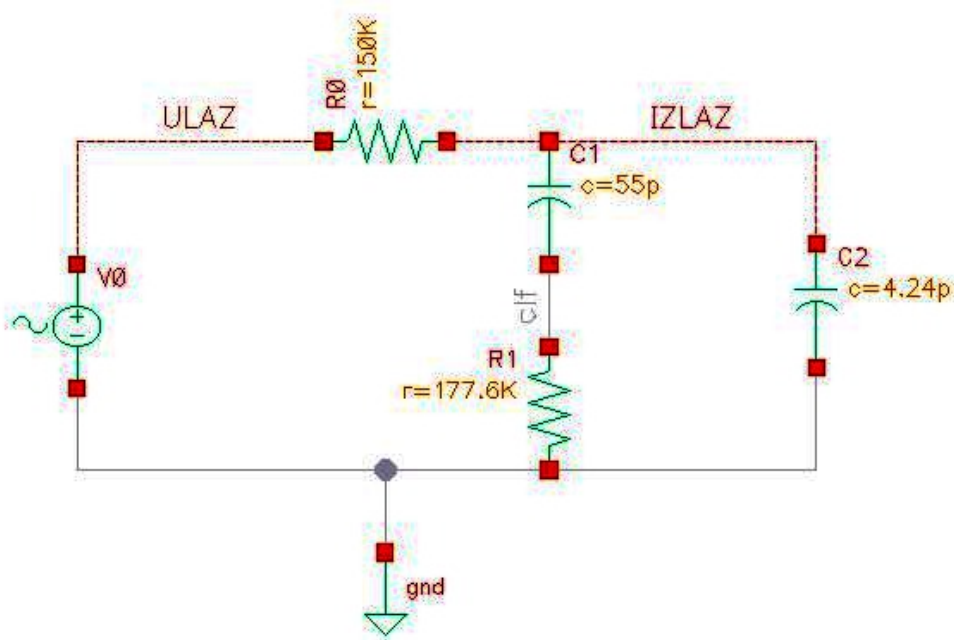
Slika 4.22: Vremenska analiza odvojnog pojačala za sinusnu pobudu frekvencije $f = 2$ MHz.



Slika 4.23: Prikaz struje na ulazu u analognu sklopku i na ulazu u odvojno pojačalo.

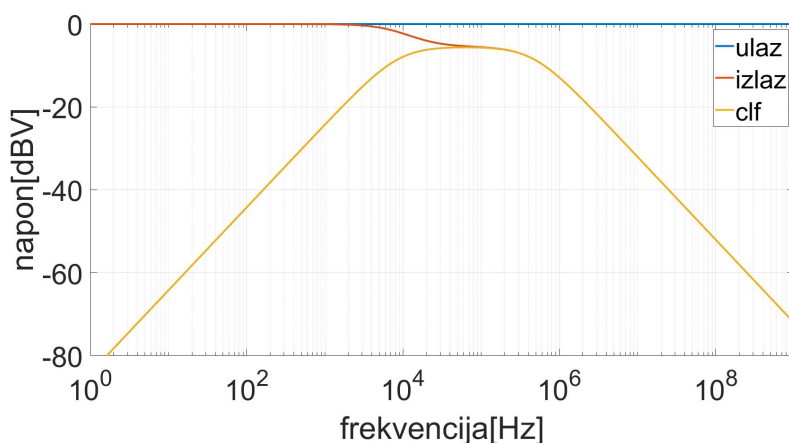
Grafovi na slici 4.23 pokazuju da su strujna zrcala pravilno obavila zadatak udvostručivanja struje s ulaza u analognu sklopku ib na ulaz u odvojno pojačalo $vcom$.

4.3.3. Analiza niskopropusnog filtera

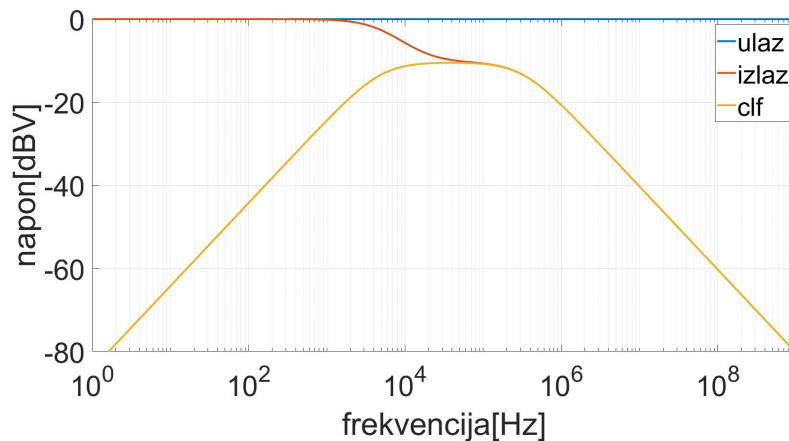


Slika 4.24: Shema niskopropusnog filtera.

Na slici 4.24 prikazana je shema niskopropusnog filtera. Otpornik R_0 predstavlja otpor nabojne pumpe, a kondenzatori C_1 i C_2 te otpornik R_1 niskopropusni filter. Iz karakteristika ovog sklopa predvidjet će se ponašanje niskopropusnog filtera u pravom sklopu.



Slika 4.25: Amplitudno-frekvencijska karakteristika niskopropusnog filtera za ulazni otpor $R_0 = 150 \Omega$.

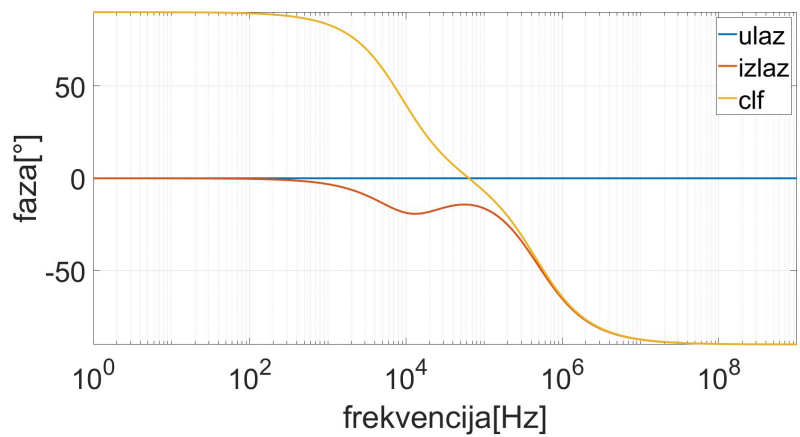


Slika 4.26: Amplitudno-frekvencijska karakteristika niskopropusnog filtera za ulazni otpor $R_0 = 388 \Omega$.

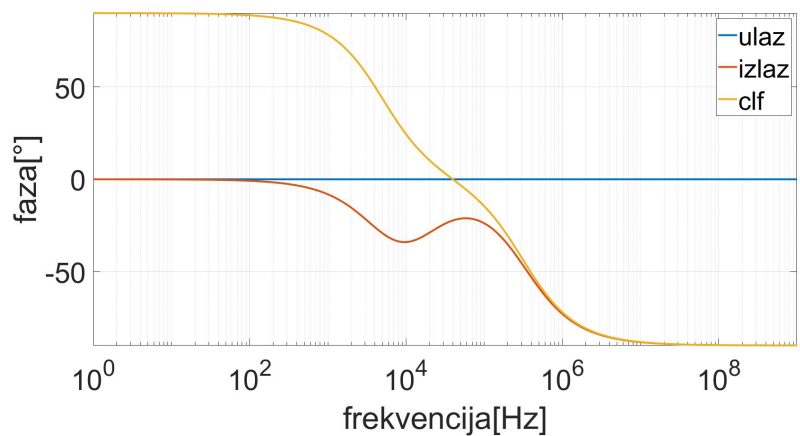
Valja primijetiti da je vrijednost kapaciteta kondenzatora C_2 desetak puta veća od vrijednosti kapaciteta kondenzatora C_1 . Budući da je reaktancija kondenzatora obrnuto proporcionalna kapacitetu kondenzatora ($X_C = 1/\omega C$), a vrijednost kapaciteta kondenzatora C_2 je vrlo mala, impedancija cijelog niskopropusnog filtera bit će puno veća od ulaznog otpora R_0 , dakle, napon na izlazu bit će približan naponu na ulazu.

Napon clf će na vrlo niskim frekvencijama biti malen unatoč visokom izlaznom naponu jer je impedancija kondenzatora C_1 puno veća od otpora otpornika R_1 . Rastom frekvencije padaju reaktancije kondenzatora C_1 i C_2 . To rezultira time da će sve veći dio pada napona u lijevoj grani filtera biti na otporniku R_1 , ali i padom napona na izlazu zbog čega napon clf počinje padati nakon što je na početku rastao.

Karakteristika napona clf ima oblik pojasnog propusta, a izlazni napon oblik niskog propusta. Vrijednost ulaznog otpora utjecat će na karakteristiku izlaznog napona i napona clf tako da će ih pomaknuti prema dolje, odnosno smanjiti im vrijednost.



Slika 4.27: Fazno-frekvencijska karakteristika niskopropusnog filtera za ulazni otpor $RO = 150 \Omega$.



Slika 4.28: Fazno-frekvencijska karakteristika niskopropusnog filtera za ulazni otpor $RO = 388 \Omega$.

Izlazni napon za sve frekvencije ima kapacitivno ponašanje. Fazna karakteristika napona *clf* na nižim frekvencijama poprima pozitivne vrijednosti (induktivna karakteristika), a na višim frekvencijama negativne (kapacitivna karakteristika).

4.3.4. Analiza nabojske pumpe i niskopropusnog filtera s umjetno generiranim ulaznim signalima

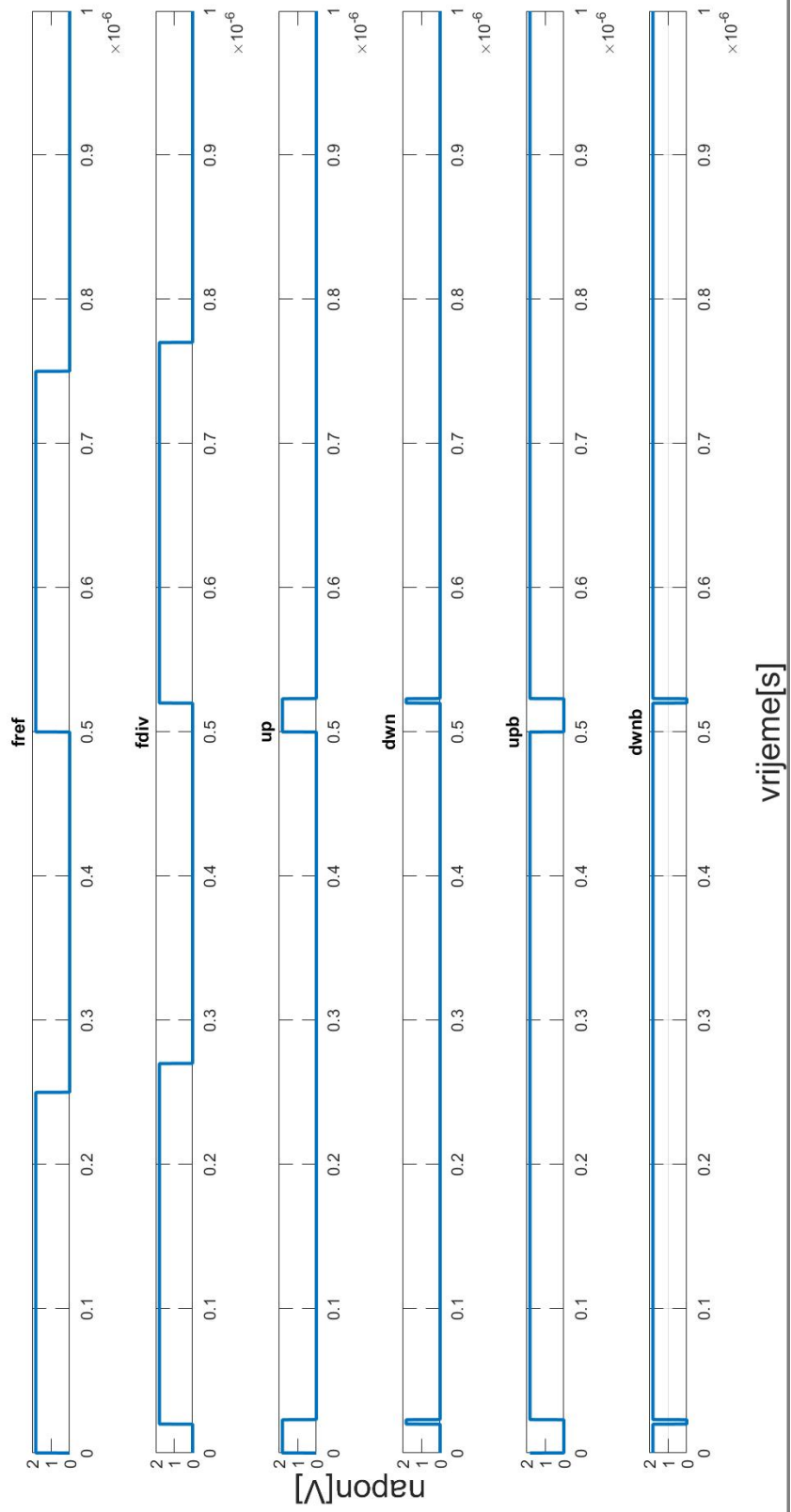
Tablica 4.6: Parametri upravljačkih signala *FREF* i *FDIV*.

Parametar	Vrijednost
<i>T</i>	500 ns
<i>TDFDIV</i>	20 ns
<i>TDFREF</i>	0
<i>TF</i>	100 ps
<i>TP</i>	250 ns
<i>TPRST</i>	3 ns
<i>TR</i>	100 ps
<i>VOV</i>	0
<i>VIp8V</i>	1,8 V

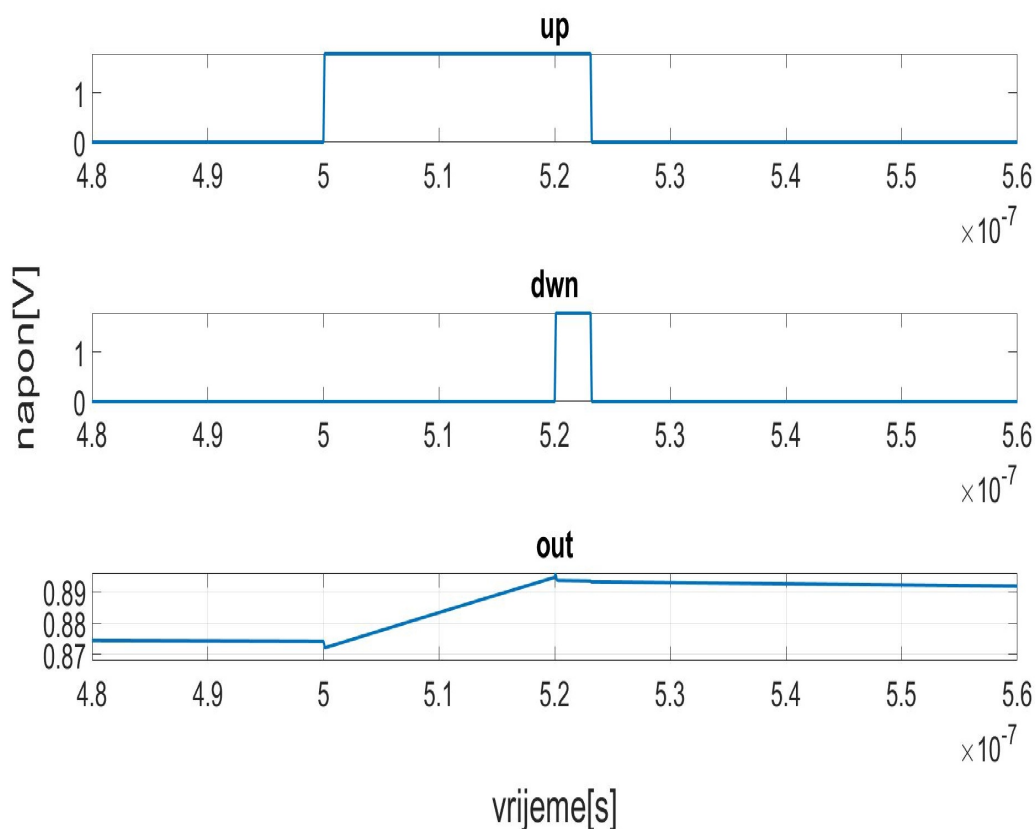
U tablici 4.6 definirani su parametri koji određuju signale *fref*, *fdiv*, *up*, *dwn*, *upB* i *dwnB* prikazane na slici 4.29. Signali su pravokutni i periodični. Početna pretpostavka za signale *fref* i *fdiv* je da počinju visokom razinom. Parametar *T* označava duljinu perioda, *TDFDIV* vrijeme kašnjenja signala *fdiv*, *TDFREF* vrijeme kašnjenja signala *fref*, *TF* vrijeme pada signala od 100 % do 0 %, *TP* širinu pulsa signala *fref* i *fdiv*, *TPRST* širinu pulsa signala *dwn*, *TR* vrijeme porasta signala od od 0 % do 100 %, *VOV* nisku naponsku razinu i *VIp8V* visoku naponsku razinu.

Signal *up* definiran je kao razlika signala *fref* i *fdiv* uz dodanu širinu pulsa signala *dwn* *TPRST*. Signal *dwn* ima širinu pulsa *TPRST* koji ima kašnjenje *TDFDIV*. Signali *upB* i *dwnB* su invertirani signali *up* i *dwn*.

Signali *up*, *dwn*, *upB* i *dwnB* spojeni su na upravljačke elektrode tranzistora nabojske pumpe i upravljaju hoće li se tranzistori ponašati kao uključena ili isključena sklopka.



Slika 4.29: Prikaz upravljačkih signala u vremenu.



Slika 4.30: Prikaz izlaznog signala *out* u vremenu.

Pri analizi nabojne pumpe treba imati na umu da PMOS tranzistori vode struju pri niskom naponu na upravljačkoj elektrodi, a NMOS tranzistori pri visokom. Na slici 4.30 prikazan je isječak iz vremenske analize izlaznog napona *out*.

Izlazni napon *out* raste kada tranzistor *MP12* vodi struju, a tranzistor *MN12* ne vodi. Nakon toga, u jednom kratkom vremenskom razdoblju vode oba tranzistora i izlazni napon se gotovo ne mijenja zato što struja prestaje teći u filter, nego teče direktno prema tranzistoru *MN12*. Zatim u većini perioda ne vode ni tranzistor *MP12* ni tranzistor *MN12*. Struja bi jedino mogla teći s izlaza u odvojno pojačalo, no odvojno pojačalo ima veliki ulazni otpor pa se ni to ne događa. Razlog pada napona u tom razdoblju je u tome što se kondenzatori *C1* i *C2*, koji su na sebe preuzeli određeni napon tijekom rasta napona *out*, izbijaju preko otpornika *R1*.

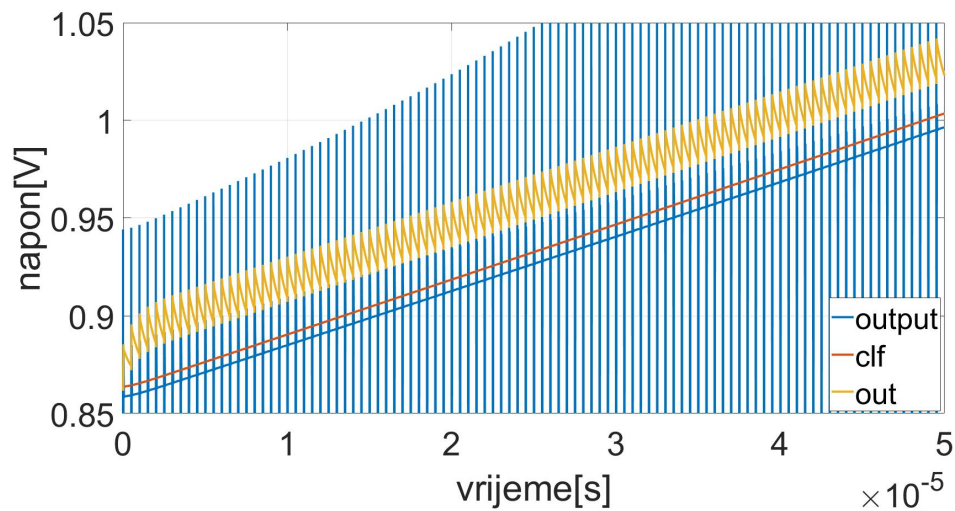
Vremenska konstanta izbijanja kondenzatora τ je:

$$\tau = R1 \cdot \frac{C1 \cdot C2}{C1 + C2} \approx R1 \cdot C2 \quad (4.20)$$

S obzirom na to da je kapacitet kondenzatora *C2* desetak puta manji od kapaciteta kondenzatora *C1*, jednadžba (4.20) vrijedi. Vremenska konstanta izbijanja kondenzatora je puno manja od vremenske konstante nabijanja.

Unatoč tome što u tom dugačkom vremenskom razdoblju napon pada, na kraju perioda će napon ipak porasti u odnosu na početak perioda jer je porast napona u početnom kratkom vremenskom razdoblju veći od pada napona u duljem vremenskom razdoblju.

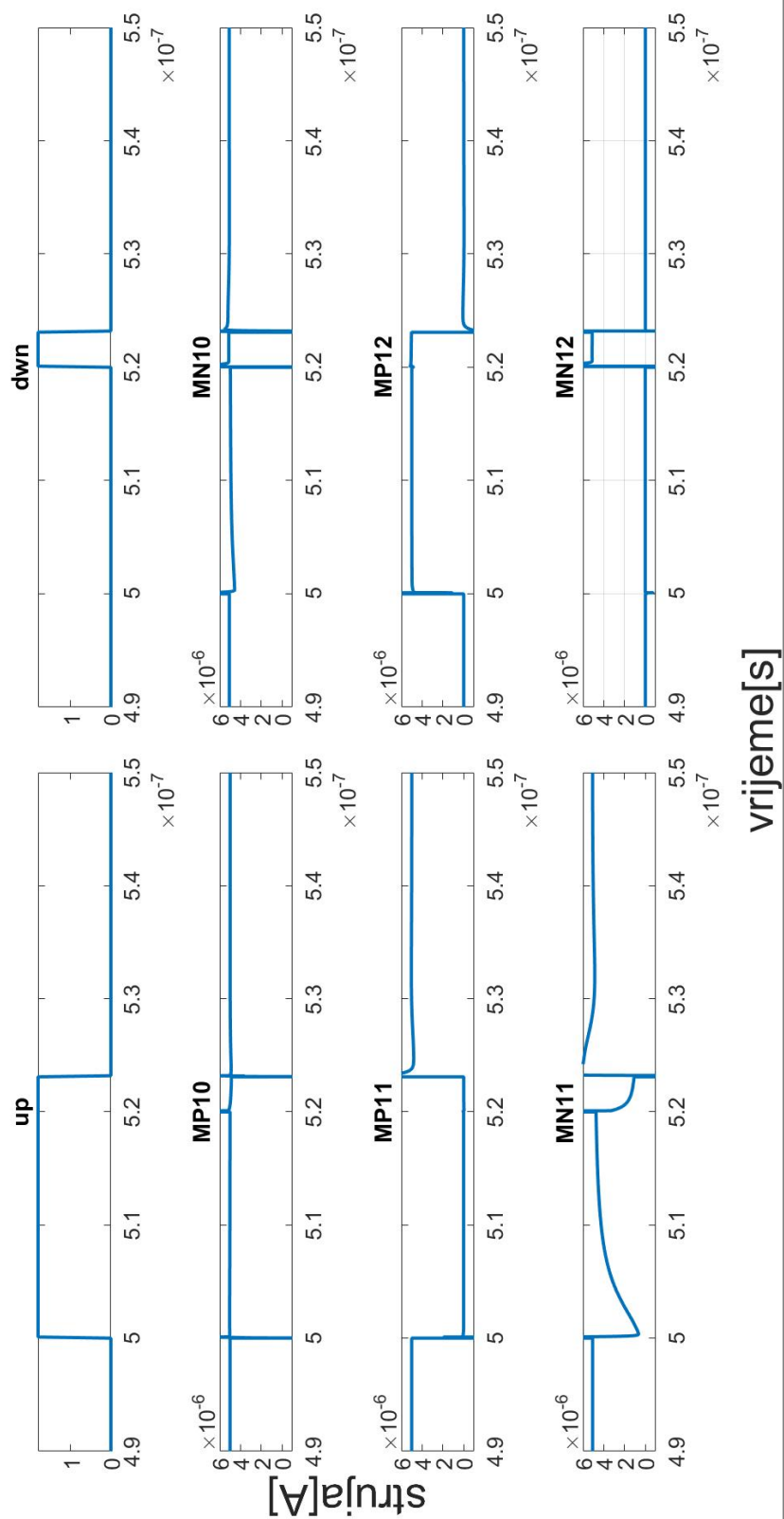
Kada bi signal f_{ref} kasnio za signalom f_{div} , stanje bi bilo suprotno.



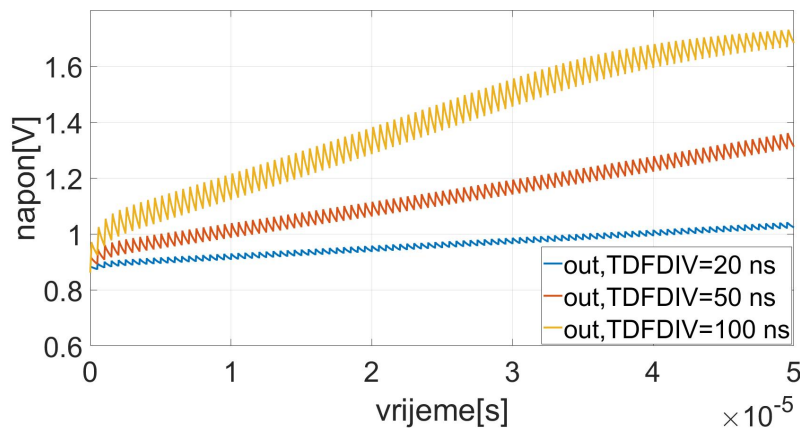
Slika 4.31: Usporedni prikaz rasta signala out , clf i $output$.

Na slici 4.31 vidi se da su signali out , clf i $output$ približne vrijednosti. Napon clf je nastao filtriranjem napona out i vidljivo je da ima konstantan rast. Napon out je ulaz u odvojno pojačalo i preslika se na izlazu u napon $output$. Kod njega se vidi da ima šiljke. Oni nastaju pri ukapčanju i iskapčanju tranzistora $MP11$ i $MN11$. Ovakvom konfiguracijom nabojske pumpe postignuto je preslikavanje napona s izlaza na čvor između odvoda tranzistora $MP11$ i $MN11$.

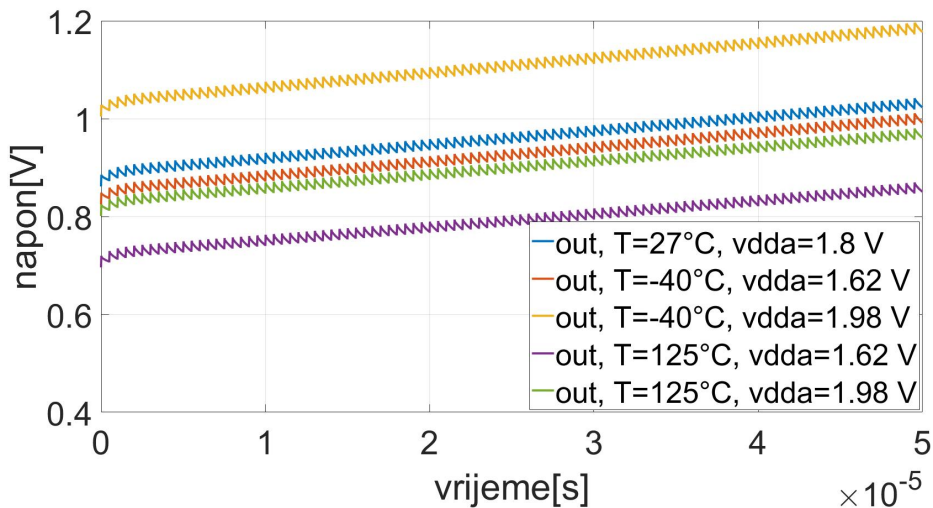
Na slici 4.32 prikazane su vrijednosti struja tranzistora nabojske pumpe i tranzistora koji imaju ulogu strujnog izvora i strujnog ponora nabojske pumpe. Izuzev strujnih šiljaka koji se događaju kao prijelazna pojava kod mijenjanja režima rada tranzistora, primjetno je da tranzistori $MP10$ i $MN10$ konstantno vode struju od $5 \mu A$. U bilo kojem trenutku vodit će ili tranzistor $MP11$ ili tranzistor $MP12$. Isto vrijedi za tranzistore $MN11$ i $MN12$. Smisao konfiguracije nabojske pumpe s dvjema granama je da struja konstantno teče u i iz nabojske pumpe kako bi se spriječili još veći strujni i naponski šiljci uslijed ukapčanja i iskapčanja tranzistora $MP10$ i $MN10$.



Slika 4.32: Vremenska analiza struja tranzistora nabojске pumpe.



Slika 4.33: Usporedni prikaz signala *out* za različita kašnjenja signala *FREF* za signalom *FDIV*.



Slika 4.34: Vremenska analiza izlaznog napona *out* za rubne vrijednosti temperature i napona napajanja.

Što je veće kašnjenje među signalima *fref* i *fdiv*, to će biti veća širina *up* signala i izlazni napon *out* brže će rasti zato što tranzistor *MP12* dulje vrijeme vodi struju u filter. Ovo, naravno, vrijedi za slučaj da signal *fdiv* kasni za signalom *fref*. Upravo to je prikazano na slici 4.33. Grafovi se mogu aproksimirati afinom funkcijom, ali je vidljivo da graf s parametrom $TDFDIV = 100$ ns ima položeniju karakteristiku nakon otprilike 40 μ s. To je zato što je napon napajanja sklopa jednak 1,8 V, što je i najveća moguća vrijednost koju može postići napon *out*.

Iz slike 4.34 vidi se da temperatura i napon napajanja nemaju značajan utjecaj na brzinu rasta izlaznog napona *out*, već ga samo transliraju po ordinati.

Tablica 4.7: Koeficijent rasta napona *out* u vremenu za temperaturu $T = 27\text{ }^{\circ}\text{C}$ i napon napajanja $v_{dda} = 1,8\text{ V}$.

$TDFDIV$ [ns]	$U(t = 3,25\ \mu\text{s})$ [mV]	$U(t = 15,25\ \mu\text{s})$ [mV]	$\Delta U/\Delta t$ [V s^{-1}]
0	863,23	862,90	-27,50
10	879,36	894,75	1282,50
20	898,53	932,46	2827,50
30	918,49	971,56	4422,50
40	938,81	1011,27	6038,33
50	959,40	1051,48	7673,33
100	1066,41	1261,08	16222,50
150	1180,60	1481,01	25034,17
200	1301,46	1658,10	29720,00

Tablica 4.8: Koeficijent rasta napona *out* u vremenu za parametar $TDFDIV = 100\text{ ns}$ i napon napajanja $v_{dda} = 1,8\text{ V}$.

T [$^{\circ}\text{C}$]	$U(t = 3,25\ \mu\text{s})$ [mV]	$U(t = 15,25\ \mu\text{s})$ [mV]	$\Delta U/\Delta t$ [V s^{-1}]
-40	1120,54	1322,94	16866,67
27	1066,41	1261,08	16222,50
125	949,47	1138,23	15730,00

Tablica 4.9: Koeficijent rasta napona *out* u vremenu za parametar $TDFDIV = 100\text{ ns}$ i temperaturu $T = 27\text{ }^{\circ}\text{C}$.

v_{dda} [V]	$U(t = 3,25\ \mu\text{s})$ [mV]	$U(t = 15,25\ \mu\text{s})$ [mV]	$\Delta U/\Delta t$ [V s^{-1}]
1,62	983,64	1179,50	16321,67
1,8	1066,41	1261,08	16222,50
1,98	1152,81	1348,92	16342,50

Tablica 4.7 potvrđuje ponašanje napona *out* na slici 4.33.

Tablica 4.8 pokazuje da koeficijent rasta napona *out* blago ovisi o temperaturi, a tablica 4.9 da koeficijent rasta napona *out* ne ovisi o naponu napajanja.

4.4. Zaključak

Projektiranje integriranog sklopa vrlo je zahtjevan posao jer treba postići funkcioniranje sklopa na svim hijerarhijskim razinama. Utjecaji realnih uvjeta rada sklopa, ali i utjecaj drugih sklopova s kojima je predmetni sklop električki povezan trebaju se uzeti u obzir kako bi sklop radio pri svim realnim uvjetima i bio pouzdan. Pri projektiranju, često je potrebno mijenjati parametre komponenata kako bi se poboljšala izvedba sklopa.

Nabojska pumpa je vrlo zanimljiv sklop jer pretvara digitalni signal u analogni signal. Pretvara informaciju o kašnjenju između dvaju signala u naponski signal. Njezine karakteristike ispitane su različitim parametrima, na različitim temperaturama i naponima napajanja.

Logičan nastavak rada na ovom projektu je izrada topološkog nacrt, izrada testne pločice i mjerenje signala na pločici u realnim uvjetima.

5. Naponski upravljani oscilator (VCO)

5.1. Uvod

Mikroelektronika i integrirani sklopovi predstavljaju okosnicu moderne civilizacije. Oscilatori koji generiraju signal takta među najvažnijim su gradivnim blokovima integriranih sklopova. Zbog male potrošnje, često se koriste prstenasti oscilatori kao generatori takta.

Zadatak je projektirati naponski upravljani oscilator (engl. *voltage-controlled oscillator*, skraćeno VCO) na bazi prstenastog oscilatora u 180 nm CMOS tehnologiji. Arhitektura oscilatora zasniva se na prstenastoj strukturi triju ćelija za kašnjenje koje na ulazu i na izlazu imaju diferencijske signale. Različite arhitekture VCO-a prikazane su u radovima [13], [19] i [12]. Oscilator treba davati nominalnu frekvenciju signala od 20 MHz pri naponu napajanja od 1,8 V. Kašnjenje pojedinih ćelija treba regulirati pomoću njihovih struja napajanja.

Po završetku projektiranja treba provesti niz analiza kojima se provjerava ovisnost bitnih parametara oscilatora o promjenama ulaznih i vanjskih veličina.

Potpoglavlje 5.2 pruža temeljnu teorijsku podlogu o funkciji i karakterističnim veličinama naponski upravljanog oscilatora koji se obrađuje u ovom radu.

Potpoglavlje 5.3 opisuje postupak projektiranja naponski upravljanog oscilatora promatrajući pojedine sheme počevši od sheme na najnižoj razini.

Potpoglavlje 5.4 opisuje različite vrste korištenih analiza sklopa, prikazuje njihove rezultate u obliku grafova i objašnjava ih.

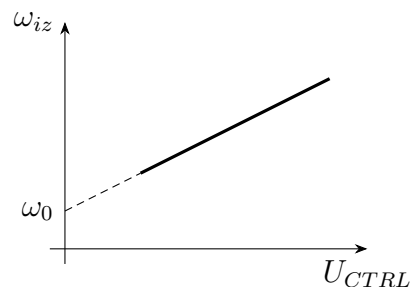
5.2. Teorijska podloga

Naponski upravljani oscilator (engl. *voltage-controlled oscillator*, skraćeno VCO) je oscilator čijom se izlaznom frekvencijom, u nekom rasponu, upravlja kontrolnim naponom U_{CTRL} .

Idealna karakteristika upravljanja VCO-a nalazi se na slici 5.1. Ona prikazuje ovisnost kružne frekvencije izlaza VCO-a o kontrolnom naponu dovedenom na VCO. U idealnom slučaju, ta karakteristika leži na pravcu određenom izrazom (5.1)

$$\omega_{iz} = K_{VCO} \cdot U_{CTRL} + \omega_0 \quad (5.1)$$

u kojem je K_{VCO} nagib tog pravca i označava promjenu frekvencije VCO-a s promjenom napona U_{CTRL} . Mjerna jedinica za K_{VCO} je $[(\text{rad/s}) / \text{V}]$ i nju se preferira. Umjesto nje ponekad se koristi i $[\text{Hz} / \text{V}]$, ali je takvu vrijednost potrebno pomnožiti s 2π ako ju se namjerava koristiti u analizi PLL-a. Karakteristika iz (5.1) predstavlja karakteristiku mirnog sustava iz čega slijedi da promjena U_{CTRL} rezultira trenutnom promjenom ω_{iz} . To, dakako, ne odgovara stvarnosti, ali je dovoljno dobra aproksimacija za većinu slučajeva.



Slika 5.1: Idealna karakteristika upravljanja VCO-a.

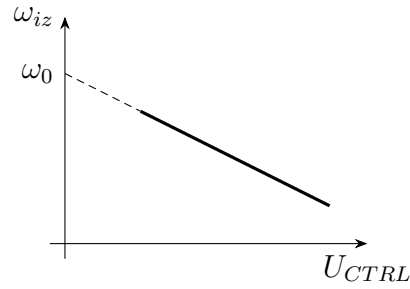
VCO koji se projektira u ovom radu ima jednu razliku u svojoj idealnoj karakteristici upravljanja frekvencijom u odnosu na onu prikazanu na slici 5.1; K_{VCO} je u ovom radu negativan što znači da s porastom napona U_{CTRL} frekvencija pada. Karakteristika obilježena negativnom vrijednosti K_{VCO} nalazi se na slici 5.2.

U općenitom slučaju, izraz za sinusni signal može se zapisati kao

$$U(t) = U_0 \cdot \cos(\omega_0 t) \quad (5.2)$$

gdje je U_0 amplituda, a ω_0 kružna frekvencija.

Argument funkcije kosinus iz izraza (5.2) naziva se faza. Ta je faza u tom slučaju linearna funkcija vremena s nagibom ω_0 .



Slika 5.2: Idealna karakteristika upravljanja VCO-a u ovom radu.

Izlazni napon iz VCO-a, pod pretpostavkom da je U_{CTRL} konstantan, korištenjem zapisa iz izraza (5.2) glasi

$$U_{iz}(t) = U_0 \cdot \cos[(K_{VCO} \cdot U_{CTRL} + \omega_0)t] \quad (5.3)$$

Promjena faze iz izraza (5.3) je $\omega_{iz} = K_{VCO} \cdot U_{CTRL} + \omega_0$. U općenitom slučaju U_{CTRL} se mijenja s vremenom. Ako se U_{CTRL} mijenja s vremenom, kružna frekvencija ω_{iz} postaje trenutna kružna frekvencija s oznakom $\omega_{iz}(t)$.

Odnos između faze $\Phi(t)$ i trenutne kružne frekvencije $\omega(t)$ poznat je i definira se preko

$$\Phi(t) = \int \omega(t) dt \quad (5.4)$$

Primijeni li se izraz (5.4) na izraz (5.3), dobiva se konačni izraz za izlazni signal VCO-a koji glasi

$$U_{iz}(t) = U_0 \cdot \cos\left[\omega_0 t + K_{VCO} \int U_{CTRL}(t) dt\right] \quad (5.5)$$

U argumentu funkcije kosinus iz izraza (5.5), osim početne faze $\omega_0 t$ na VCO-u, nalazi se i dodatna promjena faze $\Phi_{iz}(t) = K_{VCO} \int U_{CTRL}(t) dt$ koju je unio VCO. Ta dodatna promjena faze zapravo je izlazna faza VCO-a, a time i cijelog PLL-a. Prebacivanjem izlazne faze iz vremenske domene u frekvencijsku domenu korištenjem Laplaceove transformacije dobiva se izraz

$$\Phi_{iz}(s) = K_{VCO} \cdot \frac{U_{CTRL}}{s} \quad (5.6)$$

Iz izraza (5.6) dobiva se prijenosna funkcija VCO-a:

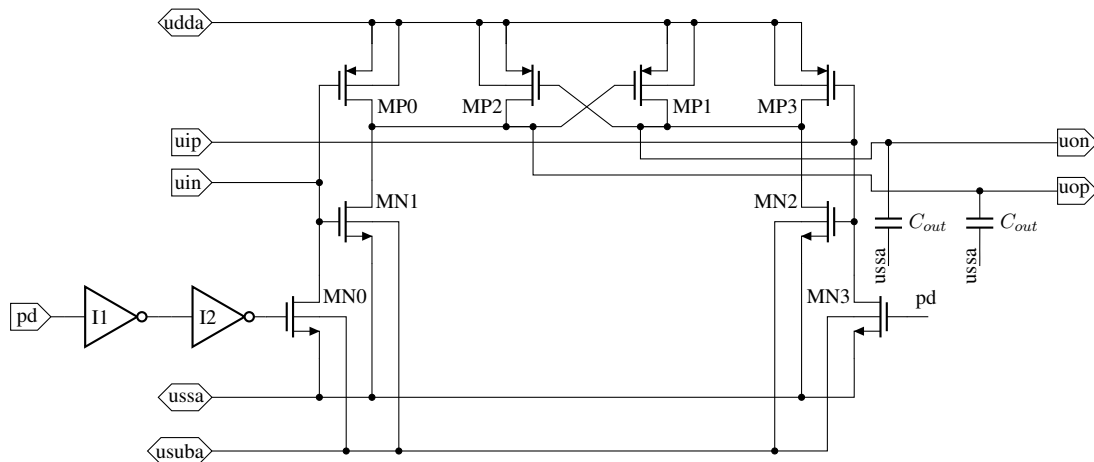
$$\frac{\Phi_{iz}(s)}{U_{CTRL}} = \frac{K_{VCO}}{s} \quad (5.7)$$

Prijenosna funkcija VCO-a iz (5.7) svojim integracijskim djelovanjem implicira da je VCO ipak dinamički sustav. To znači da trenutna promjena U_{CTRL} ne povlači trenutnu promjenu Φ_{iz} , već je potrebno neko vrijeme da se Φ_{iz} promijeni nakon što nastupi pobuda.

5.3. Postupak projektiranja

5.3.1. Čelija za kašnjenje (DLY)

Na slici 5.3 nalazi se shema ćelije za kašnjenje (engl. *delay cell*, skraćeno DLY). Čelija za kašnjenje predstavlja temeljni gradivni element VCO-a u sklopovskom smislu, odnosno, ona je po hijerarhiji na najnižoj razini. Njena funkcija je unos kašnjenja u propagaciju signala.



Slika 5.3: Shema ćelije za kašnjenje.

Napon u_{dda} je istosmjerni napon napajanja. Signali u_{in} i u_{ip} su ulazni protufazni analogni signali koje se u ćeliji za kašnjenje zakasni. Signal pd je digitalni signal koji služi za isključivanje i uključivanje ćelije za kašnjenje. Visoka razina signala pd odgovara naponu od 1,8 V i pritom je ćelija za kašnjenje isključena, a niska razina signala pd odgovara naponu od 0 V i pritom je ćelija za kašnjenje uključena. Napon u_{ssa} je referentni potencijal koji odgovara potencijalu mase. Napon u_{suba} je napon supstrata i spaja ga se na referentni potencijal u_{ssa} . Signali u_{on} i u_{op} su izlazni protufazni analogni signali.

Komponente sa sheme na slici 5.3 moguće je podijeliti prema njihovim funkcijama. Tranzistori $MN1$, $MP0$, $MP2$, $MP1$, $MP3$ i $MN2$ ostvaruju funkciju kašnjenja. Tranzistori $MN0$ i $MN3$ omogućavaju isključivanje ćelije za kašnjenje signalom pd . Kada je signal pd u visokoj razini, tranzistori $MN0$ i $MN3$ pritežu ulaze u_{in} i u_{ip} na referentni potencijal čime je sklop isključen. Inverteri $I1$ i $I2$ koriste se isključivo zbog svog kašnjenja. Oni osiguravaju dovoljnu asimetriju u pojavi ulaznih signala prilikom uključivanja ćelije za kašnjenje čime se osigurava početak oscilacija cijelog VCO-a. Detalji o razlogu dodavanja invertera $I1$ i $I2$ opisani su u odjeljku 5.3.2. Kondenzatori C_{out} iznosom svog kapaciteta upravljaju izlaznom frekvencijom VCO-a; što je iznos

kapaciteta veći, to je izlazna frekvencija manja i obrnuto. Izlazna frekvencija PLL-a od 20 MHz postiže se za nominalnu vrijednost C_{out} od 91 fF uz nominalne vrijednosti ostalih bitnih parametara.

U tablici 5.1 nalaze se dimenzije svih tranzistora ćelije za kašnjenje.

Tablica 5.1: Dimenzije tranzistora ćelije za kašnjenje sa slike 5.3.

Oznaka tranzistora	W [μm]	L [μm]
<i>MN0</i>	0,7	0,35
<i>MN1</i>	4	3
<i>MN2</i>	4	3
<i>MN3</i>	0,7	0,35
<i>MP0</i>	5	3
<i>MP1</i>	4	1,5
<i>MP2</i>	4	1,5
<i>MP3</i>	5	3

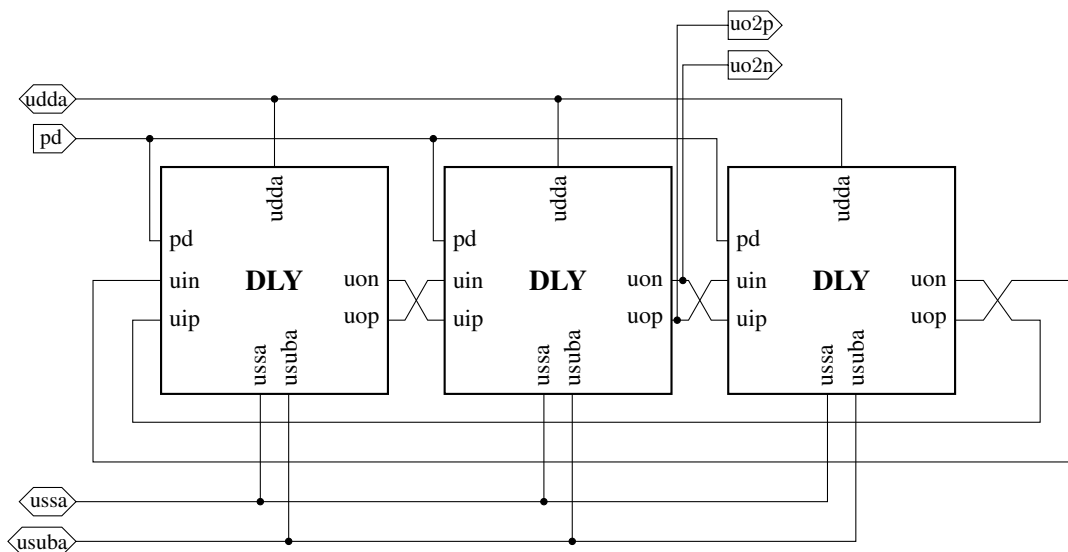
5.3.2. Prstenasti oscilator (RO)

Na slici 5.4 nalazi se shema prstenastog oscilatora (engl. *ring oscillator*, skraćeno RO). Prstenasti oscilator je po hijerarhiji na razini iznad ćelije za kašnjenje. Njegova funkcija je generiranje oscilacija.

Naponi *udda*, *ussa* i *usuba* te signal *pd* imaju isto značenje kao istoimeni naponi i signal iz sheme ćelije za kašnjenje sa slike 5.3. Signali *uo2p* i *uo2n* zapravo su signali *uop* i *uon* druge ćelije za kašnjenje i oni su izlazi prstenastog oscilatora.

Prstenasti oscilator je oscilator uobičajeno sastavljen od neparnog broja invertera kojih mora biti tri ili više i koji su u prsten povezani jediničnom povratnom vezom. Drugim riječima, izlaz posljednjeg invertera je izlaz cijelog oscilatora te je ujedno i ulaz u prvi inverter. Pretpostavi li se da se na izlazu posljednjeg invertera nalazi visoka razina, ona će se nalaziti i na ulazu prvog invertera te će se propagacijom kroz tri invertera na izlazu pojaviti niska razina umjesto dotadašnje visoke. Time su postignute oscilacije.

Prstenasti oscilator u ovom radu umjesto invertera koristi ćelije za kašnjenje. Signal *uon* pojedine ćelije dovodi se na ulaz *uip* sljedeće ćelije, a signal *uop* pojedine ćelije dovodi se na ulaz *win* sljedeće ćelije. Takvo rješenje omogućava pravilne osci-



Slika 5.4: Shema prstenastog oscilatora.

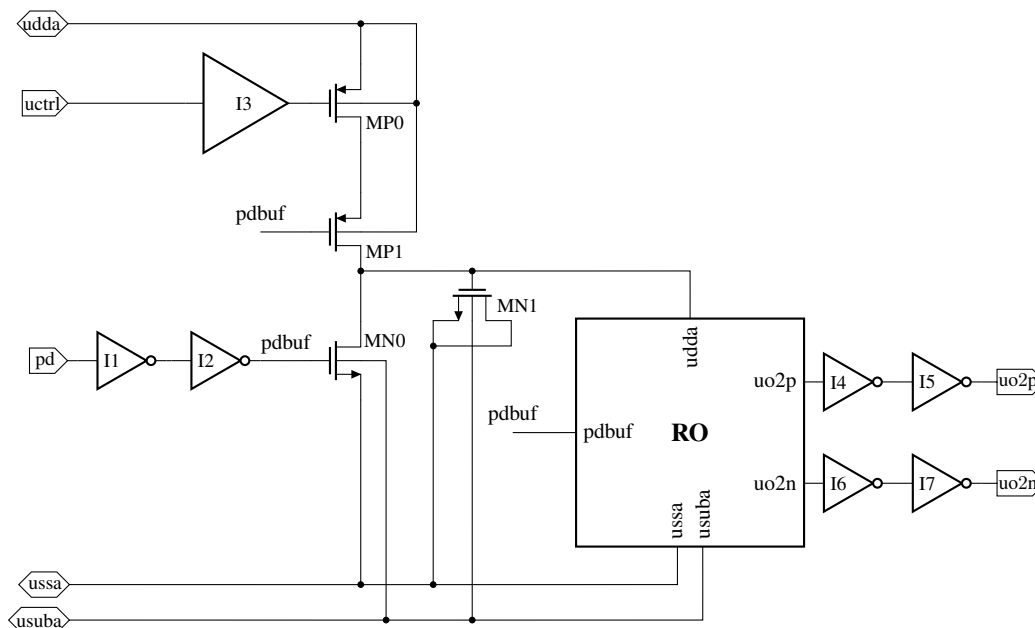
lacije oscilatora. Unatoč tome, postoje problemi s pokretanjem oscilacija prstenastog oscilatora pri uključivanju PLL-a.

Dok je PLL isključen, ulazni signali *uip* i *uin* svih ćelija pritegnuti su na referentni potencijal *ussa*. Cijeli PLL, pa tako i prstenasti oscilator, uključuje se prelaskom signala *pd* iz visoke u nisku razinu. Da se u shemi ćelije za kašnjenje sa slike 5.3 ne nalaze inverteri *I1* i *I2*, po uključivanju, prstenasti oscilator ponekad ne bi počeo oscilirati. Svi signali su prije uključjenja bili u nuli. Uključenje neminovno rezultira nekim promjenama u tim signalima, ali se zbog simetrije sve te promjene događaju na isti način na svim signalima. Takva simetrija je u ovom slučaju nepovoljna zbog toga što “*p*” i “*n*” signali ostaju u fazi, a trebali bi biti u protufazi i time su onemogućene oscilacije. Potrebna asimetrija postiže se dodatkom invertera *I1* i *I2* na ulaz jednog od signala *pd* u ćeliji za kašnjenje. Time se dolazak signala *pd* zakasni jednom od ulaza *uin* i *uip* što uzrokuje dovoljnu asimetriju tih ulaza koja se zbog prirode oscilatora povećava dok ne preraste u oscilacije.

5.3.3. Naponsko-strujni pretvornik (V2I)

Na slici 5.5 nalazi se shema naponsko-strujnog pretvornika (engl. *voltage-to-current converter*, skraćeno V2I). Naponsko-strujni pretvornik je po hijerarhiji na razini iznad prstenastog oscilatora. Ta je razina po hijerarhiji ujedno i najviša. Njegova funkcija je pretvorba napona *uctrl* u struju.

Naponi *udda*, *ussa* i *usuba* te signali *pd*, *uo2n* i *uo2p* imaju isto značenje kao istoimeni naponi i signali iz sheme prstenastog oscilatora sa slike 5.4. Napon *uctrl* je



Slika 5.5: Shema RO-a s priključenim naponsko-strujnim pretvornikom.

kontrolni napon VCO-a koji se može kretati od 0 V do 1,8 V. On dolazi iz nabojske pumpe, preko niskopropusnog filtra, i upravlja izlaznom frekvencijom VCO-a.

Komponente sa sheme na slici 5.5 moguće je podijeliti prema njihovim funkcijama. Tranzistor *MP0* obavlja funkciju naponsko-strujnog pretvornika; u ovisnosti o iznosu napona *uctrl* mijenja se struja kroz *MP0* čime se dobiva pretvorba napona u struju. Pojačalo *I3* prigušuje napon *uctrl* i bilo ga je potrebno dodati zbog inherentnog nedostatka u dizajnu ćelije za kašnjenje.

Povećanjem *uctrl* smanjivala se amplituda signala *uo2n* i *uo2p* te je za napone *uctrl* veće od približno 1,2 V postala manja od amplitude potrebne za uspješno funkcioniranje sklopa za pomak razina koji dolazi iza VCO-a. Prigušenje pojačala *I3* osigurava da napon U_{CTRL} smije varirati od 0 V do 1,8 V, a da napon na upravljačkoj elektrodi tranzistora *MP0* nikada ne prijeđe razinu od 1,2 V za koju amplituda izlaznih napona *uo2n* i *uo2p* postane preniska. Pojačalo *I3* ne uklanja problem smanjenja amplitude signala *uo2n* i *uo2p*, već samo osigurava da ta amplituda ne postane preniska. Inverteri *I4*, *I5*, *I6* i *I7* uklanjaju utjecaj smanjenja amplitude signala *uo2n* i *uo2p* kada se na izlaz VCO-a priključe ostali potrebni sklopovi.

Budući da su inverteri digitalni sklopovi, osiguravaju da amplitude signala *uo2n* i *uo2p* budu konstantne sve dok su signali na njihovim ulazima dovoljno velike amplitude. Valja naglasiti da problem smanjenja amplitude signala *uo2n* i *uo2p* još uvijek postoji, ali djelovanjem pojačala *I3* te invertera *I4*, *I5*, *I6* i *I7* taj problem ne propagira na izlaz, već je ograničen na RO.

Invertere *I4*, *I5*, *I6* i *I7* bilo je moguće postaviti samo na jedan par izlaza iz RO-a, umjesto na sve, zbog toga što su tranzistori čelije za kašnjenje dovoljno veliki da inverteri *I4* i *I6* ne uzrokuju preveliku asimetriju u vidu dodatnog kapacitivnog opterećenja. Inverteri koji su izravno spojeni na sklop, kao što su to *I4* i *I6*, biraju se tako da budu što manji kako bi kapacitivno opterećenje koje unose također bilo što manje.

Tranzistor *MP1* odspaja RO od napajanja kada je PLL isključen. Tranzistor *MN0* priteže ulaz napajanja RO-a *udda* na referentni potencijal kada je PLL isključen. Inverteri *I1* i *I2* omogućuju brzi porast i brzi pad signala *pdbuf* odgovornog za isključivanje i uključivanje kako bi se ti procesi odvijali što brže. Tranzistor *MN1* predstavlja kondenzator i njegova uloga je filtriranje smetnji koje se pojavljuju na liniji napajanja VCO-a. Svaka smetnja koja se pojavi na liniji napajanja direktno se prenosi kao smetnja VCO-a te je zbog toga tu liniju potrebno zaštititi od smetnji.

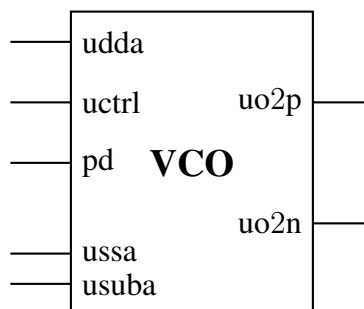
U tablici 5.2 nalaze se dimenzije svih tranzistora sa sheme na slici 5.5.

Tablica 5.2: Dimenzije tranzistora naponsko-strujnog pretvornika sa slike 5.5.

Oznaka tranzistora	W [μm]	L [μm]
<i>MN0</i>	8	0,5
<i>MN1</i>	1	1
<i>MP0</i>	8	3
<i>MP1</i>	9	0,5

5.3.4. Naponski upravljani oscilator

Na slici 5.6 nalazi se prikaz VCO-a u obliku mnogopola s definiranim ulazima i izlazima.



Slika 5.6: Prikaz VCO-a s definiranim ulazima i izlazima.

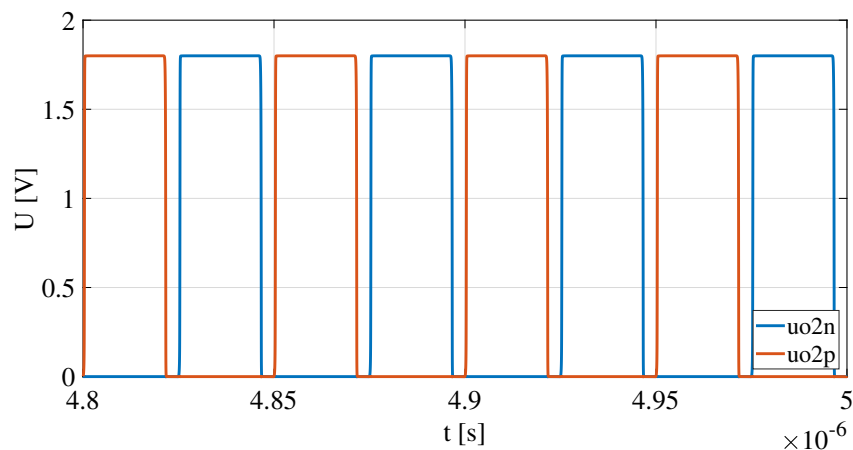
5.4. Analize i rezultati analiza

5.4.1. Tranzijentna analiza

Tranzijentna analiza (engl. *transient analysis*) je analiza signala u vremenu. Sve veličine VCO-a koje su bitne ovise o vremenu pa je zbog toga tranzijentna analiza prirodan odabir.

Osim tranzijentne analize, koristi se i parametarska analiza (engl. *parametric analysis*). U toj se analizi mijenja vrijednost proizvoljnog parametra sklopa te se za svaku promijenjenu vrijednosti izvrši, u ovom slučaju, tranzijentna analiza.

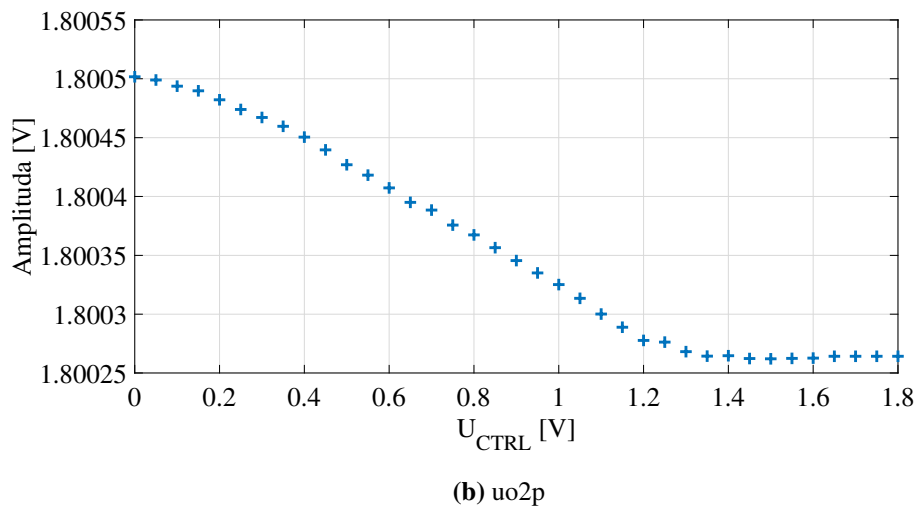
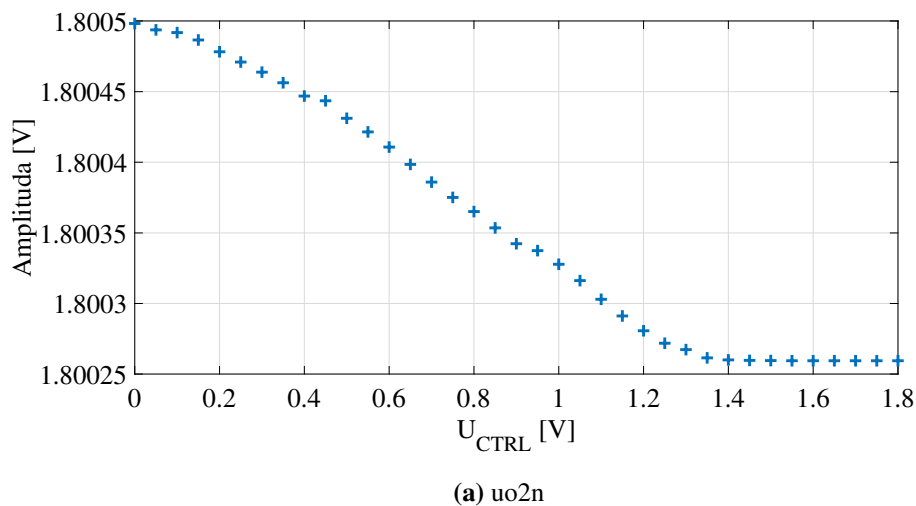
Na slici 5.7 nalazi se prikaz signala $uo2n$ i $uo2p$ u vremenu. Amplituda tih signala kreće se u bliskoj okolini iznosa 1,8 V za cijeli interval napona U_{CTRL} . Signali imaju pravokutni oblik i vrlo stabilnu amplitudu zahvaljujući inverterima $I4$, $I5$, $I6$ i $I7$ sa sheme na slici 5.5.



Slika 5.7: Ovisnost izlaznih signala $uo2n$ i $uo2p$ o vremenu.

Slika 5.8 prikazuje ovisnost amplitude izlaznih signala o kontrolnom naponu U_{CTRL} . Vidi se, kao što je već bilo spomenuto, da je amplituda izuzetno stabilna na cijelom intervalu kontrolnog napona U_{CTRL} .

Slika 5.9 prikazuje ovisnost izlazne frekvencije f_{iz} o kontrolnom naponu U_{CTRL} pri karakterističnim temperaturama. Ta ovisnost temeljni je rezultat analize VCO-a jer prikazuje kako njegova najbitnija odrednica, izlazna frekvencija f_{iz} , ovisi o ulaznom signalu, kontrolnom naponu U_{CTRL} , koji se na njega dovodi. Uočava se ponašanje koje otprilike odgovara ponašanju pretpostavljenom idealnom karakteristikom upravljanja sa slike 5.2: porastom napona U_{CTRL} smanjuje se izlazna frekvencija f_{iz} s tom razlikom da se pad u ovom slučaju može aproksimirati afinom funkcijom samo na jed-



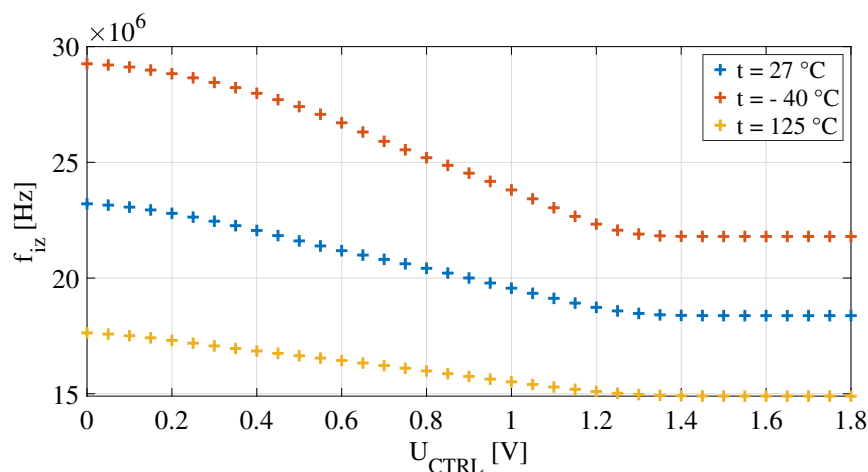
Slika 5.8: Ovisnost amplitude izlaznih signala o kontrolnom naponu.

nom dijelu grafa. Promatra li se graf za nominalnu temperaturu od 27°C , dio koji se može aproksimirati afinom funkcijom određen je naponima U_{CTRL} od otprilike $0,3\text{ V}$ do otprilike $1,2\text{ V}$.

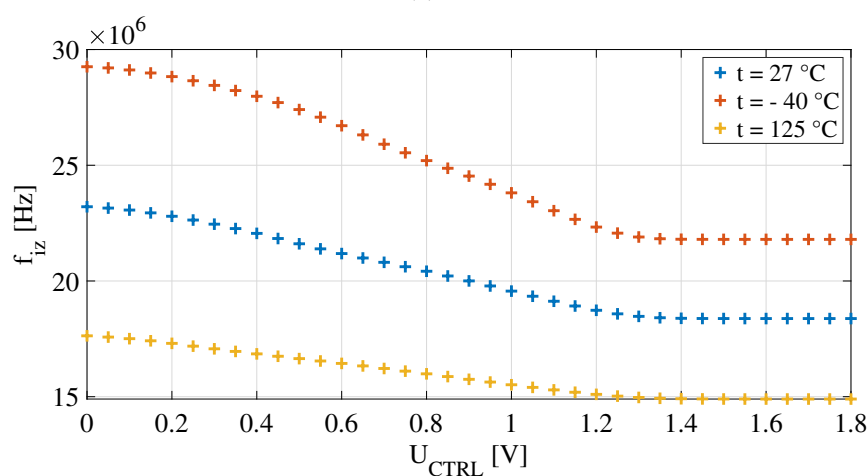
Nominalna vrijednost napona U_{CTRL} za koju je valjalo postići izlaznu frekvenciju f_{iz} od 20 MHz pri nominalnoj temperaturi od 27°C bila je $0,9\text{ V}$. Frekvencija koja se postigla je $20,00\text{ MHz}$ uz C_{out} iznosa 91 fF . Ta frekvencija za nominalni napon U_{CTRL} poraste na $24,53\text{ MHz}$ pri temperaturi od -40°C te padne na $15,75\text{ MHz}$ pri temperaturi od 125°C .

Slika 5.10 prikazuje ovisnost izlazne frekvencije f_{iz} o kontrolnom naponu U_{CTRL} pri promjeni kapaciteta C_{out} za $\pm 10\%$ od nominalne vrijednosti 91 fF . Promjena kapaciteta C_{out} rezultira promjenom izlazne frekvencije uz očuvanje oblika grafa.

Ponašanje sa slike 5.10 može se iskoristiti za proširenje frekvencijskog područja



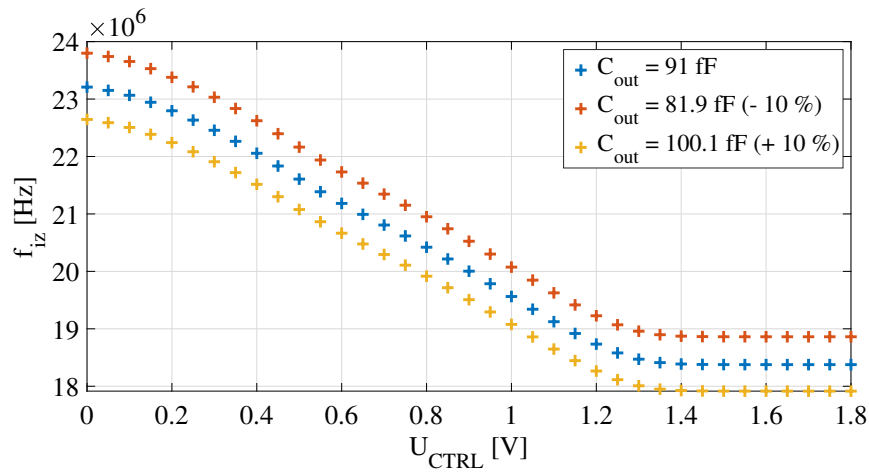
(a) uo2n



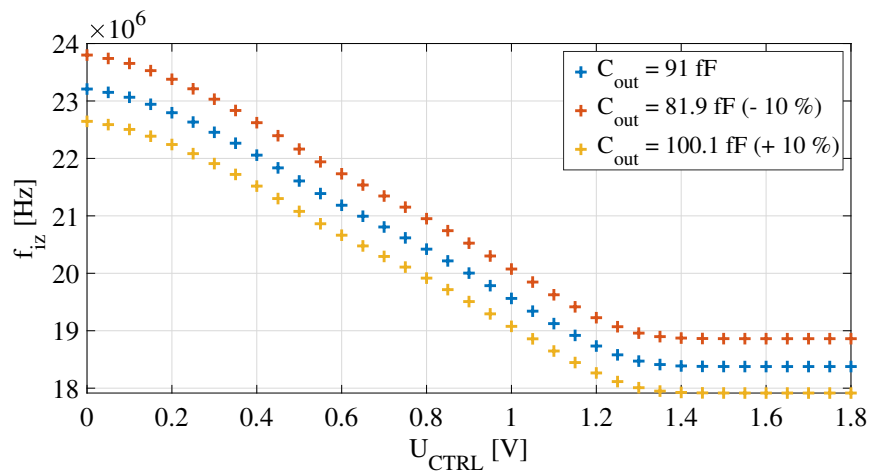
(b) uo2p

Slika 5.9: Ovisnost izlazne frekvencije o kontrolnom naponu uz promjenu temperature.

VCO-a korištenjem dodatnih kondenzatora umjesto kondenzatora C_{out} , bez intervencije u druge elemente dizajna VCO-a. Odabirom odgovarajućih vrijednosti za C_{out} , većih i manjih od nominalne, moguće je postići pomak grafa prema višim frekvencijama i prema nižim frekvencijama za isti iznos. Primjer promjene frekvencije za ± 3 MHz nalazi se na slici 5.11. Zelene strelice prikazuju način kretanja po afnim dijelovima grafova koji je moguće postići. Počevši od gornje strelice, povećanjem U_{CTRL} frekvencija prati afini dio grafa za C_{out} iznosa 44 fF. Dolaskom do dijela koji prestaje biti afan, potrebno je prijeći na početak afinog dijela sljedećeg grafa koji ima veći C_{out} iznosa 91 fF u ovom slučaju. Mogućnost mijenjanja kapaciteta, odnosno, promjenjivi kapacitet dobiva se zamjenom kapaciteta C_{out} iz sheme ćelije za kašnjenje sa slike 5.3 mrežom kapaciteta koji se po potrebi uključuju i isključuju. Kako bi ovaj način povećanja frekvencijskog opsega funkcionirao, najviša frekvencija grafa na koji



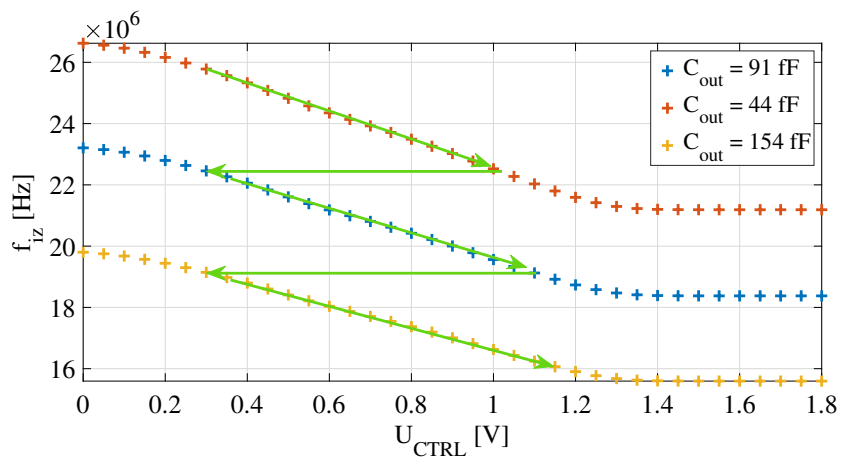
(a) uo2n



(b) uo2p

Slika 5.10: Ovisnost izlazne frekvencije o kontrolnom naponu uz promjenu C_{out} za $\pm 10\%$.

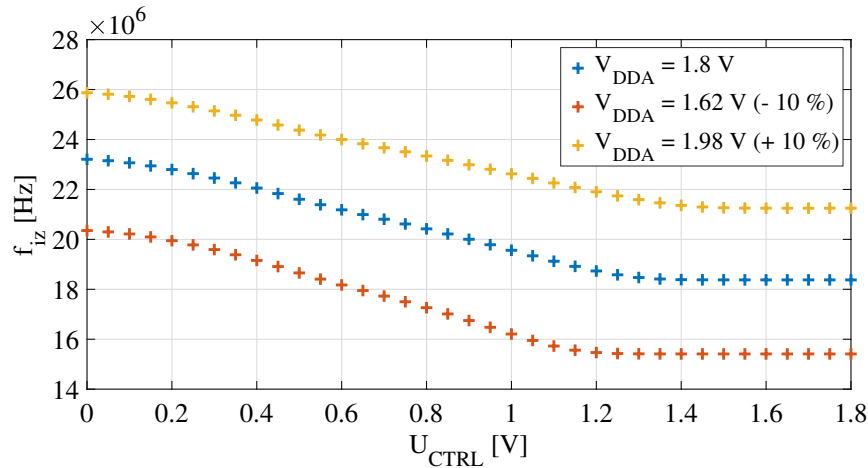
se prelazi mora se nalaziti iznad najniže frekvencije grafa s kojeg se prelazi.



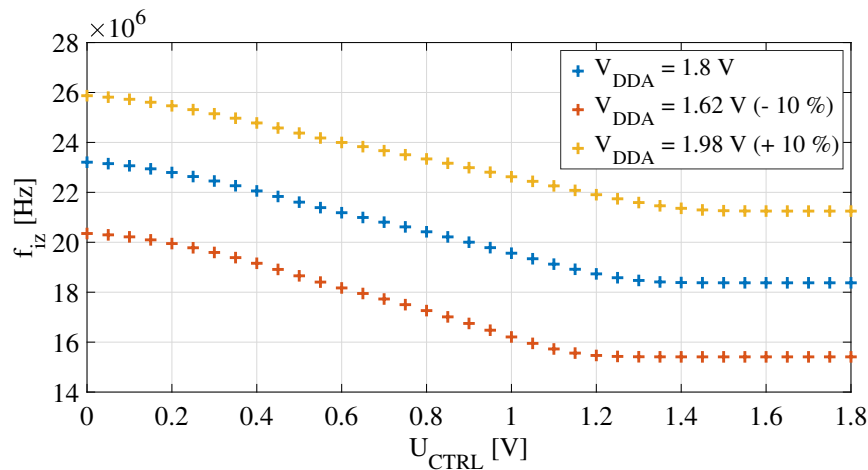
Slika 5.11: Ovisnost izlazne frekvencije o kontrolnom naponu uz promjenu C_{out} .

Slika 5.12 prikazuje ovisnost izlazne frekvencije f_{iz} o kontrolnom naponu U_{CTRL} pri promjeni napona napajanja V_{DDA} za $\pm 10\%$ od nominalne vrijednosti 1,8 V. Promjena napona napajanja rezultira značajnom promjenom izlazne frekvencije i oblika grafa.

Zbog toga je potrebno umanjiti svaku promjenu napona napajanja što je više moguće. Smanjenje utjecaja šuma na naponu napajanja postiže se tranzistorom *MNI* sa sheme na slici 5.5.



(a) uo2n

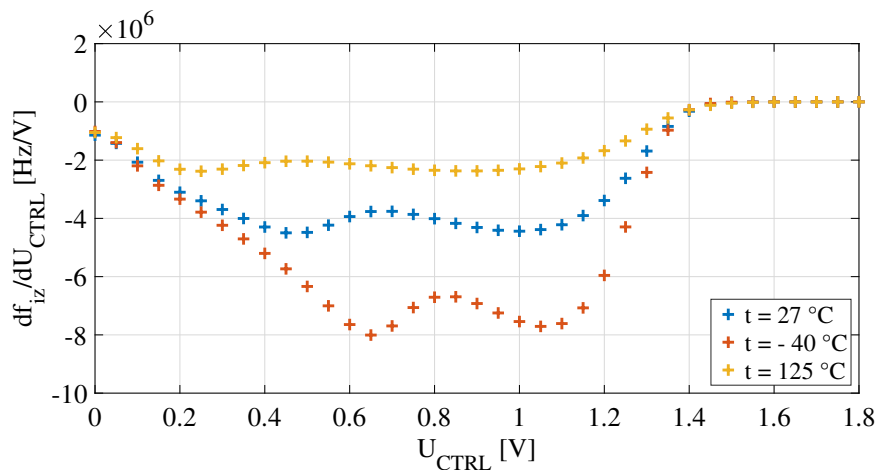


(b) uo2p

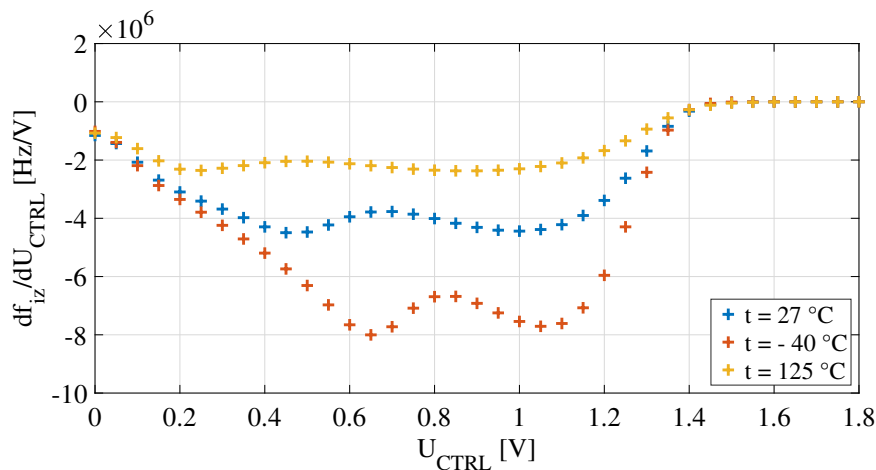
Slika 5.12: Ovisnost izlazne frekvencije o kontrolnom naponu uz promjenu napona napajanja.

Slika 5.13 prikazuje ovisnost derivacije izlazne frekvencije f_{iz} po kontrolnom naponu U_{CTRL} o kontrolnom naponu U_{CTRL} pri karakterističnim temperaturama. Drugim riječima, slika 5.13 prikazuje nagib grafa sa slike 5.9. U teorijskoj analizi VCO-a, taj nagib ima oznaku K_{VCO} i to je ujedno najbitniji parametar teorijske analize VCO-a. Postoji pravilo za K_{VCO} koje nalaže da taj broj ne bi trebao biti veći od $\frac{f_{iz}}{10}$, odnosno,

u ovom slučaju -2 MHz/V . To pravilo postoji zbog toga što veća apsolutna vrijednost K_{VCO} rezultira većim faznim šumom koji unosi VCO, a koji je iznimno nepoželjan [16], [5]. Pri nominalnoj temperaturi od 27°C , K_{VCO} poprima minimalnu vrijednost od otprilike -4 MHz/V što je za potrebe ovog rada bila dovoljno dobra vrijednost. Na slici se može uočiti da smanjenje temperature značajno degradira kvalitetu parametra K_{VCO} dok ju povećanje temperature povećava do određene granice kada će ili temperatura postati previsoka za komponente ili će K_{VCO} postati premalen da bi uopće postojalo upravljanje pomoću napona U_{CTRL} . Zaključak o mogućnosti aproksimacije grafa sa slike 5.9 za nominalnu temperaturu od 27°C afinom funkcijom za napone U_{CTRL} od otprilike $0,3 \text{ V}$ do otprilike $1,2 \text{ V}$ ovdje se može objasniti time da je unutar tog intervala promjena derivacije relativno malena.



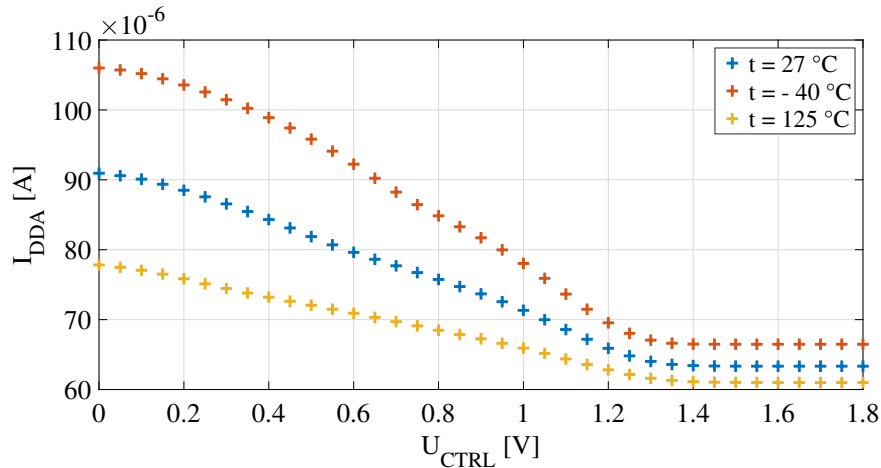
(a) uo2n



(b) uo2p

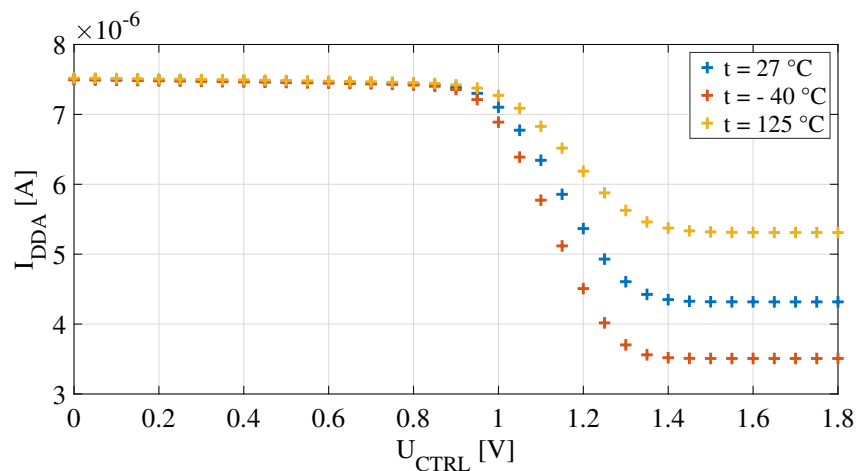
Slika 5.13: Ovisnost derivacije izlazne frekvencije po kontrolnom naponu o kontrolnom naponu uz promjenu temperature.

Slika 5.14 prikazuje ovisnost struje napajanja I_{DDA} o kontrolnom naponu U_{CTRL} pri karakterističnim temperaturama. Za struju napajanja ne postoje posebni zahtjevi pa je, sukladno tome, ta struja rezultat konfiguracije ostalih parametara VCO-a. Niža temperatura rezultira većom potrošnjom, a viša temperatura rezultira manjom potrošnjom.



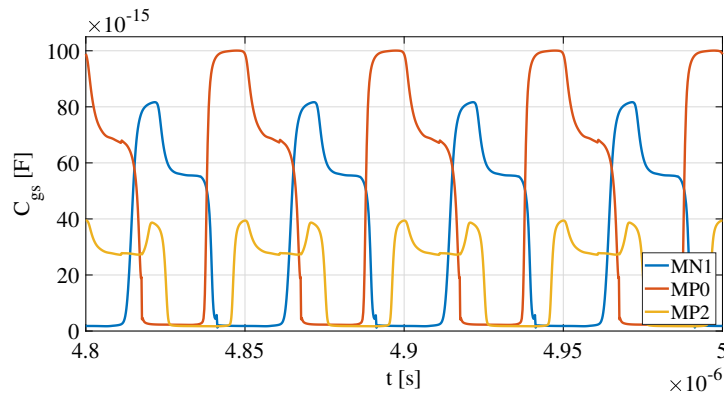
Slika 5.14: Ovisnost struje napajanja o kontrolnom naponu uz promjenu temperature.

Slika 5.15 prikazuje ovisnost struje napajanja I_{DDA} o kontrolnom naponu U_{CTRL} pri karakterističnim temperaturama kada je sklop isključen, odnosno, kada je signal pd na visokoj razini. Struja napajanja je pritom za cijeli interval vrijednosti napona U_{CTRL} značajno manja od struje napajanja kada je VCO uključen što je i očekivano. Za napone U_{CTRL} iznad 0,85 V, niža temperatura rezultira manjom potrošnjom, a viša temperatura rezultira većom potrošnjom.

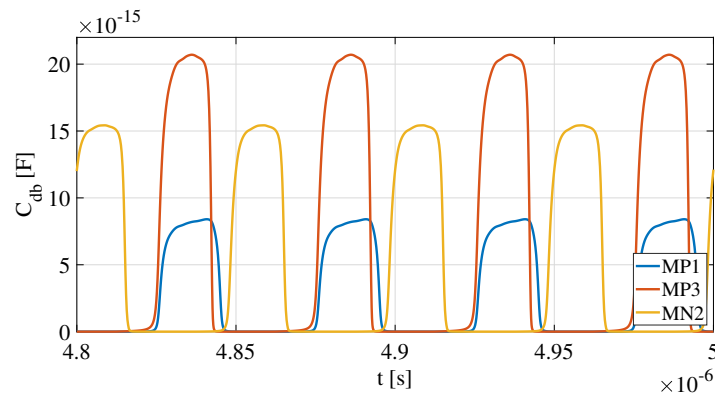


Slika 5.15: Ovisnost struje napajanja o kontrolnom naponu kada je VCO isključen ($pd = 1,8$ V) uz promjenu temperature.

Na slici 5.16 nalazi se prikaz u vremenu kapaciteta koji zajedno čine ukupni kapacitet na ulazu ćelije za kašnjenje. Svi kapaciteti odnose se na ulaz u_{in} ćelije za kašnjenje. Identičan rezultat bi zbog simetrije dala i analiza ulaza u_{ip} . Slika 5.16a prikazuje kapacitete između upravljačke elektrode i uvoda tranzistora $MN1$, $MP0$ i $MP2$ koji predstavljaju doprinos samog ulaza ćelije za kašnjenje ulaznom kapacitetu. Slika 5.16b prikazuje kapacitete između odvoda i podloge tranzistora $MP1$, $MP3$ i $MN2$ koji predstavljaju doprinos izlaza prethodne ćelije za kašnjenje ulaznom kapacitetu.



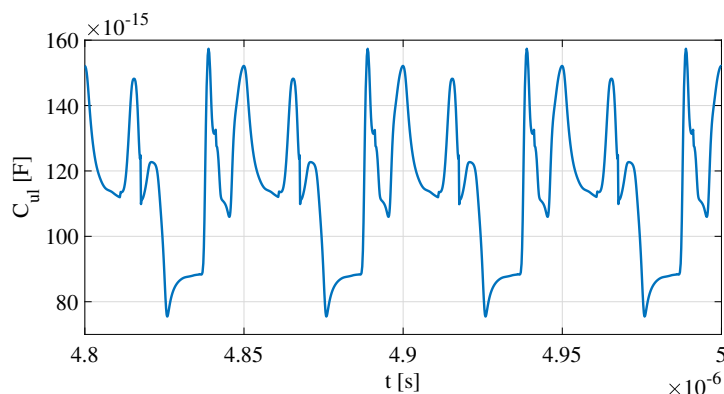
(a) C_{gs}



(b) C_{db}

Slika 5.16: Ovisnost kapaciteta koji čine ukupni kapacitet na ulazu ćelije za kašnjenje o vremenu.

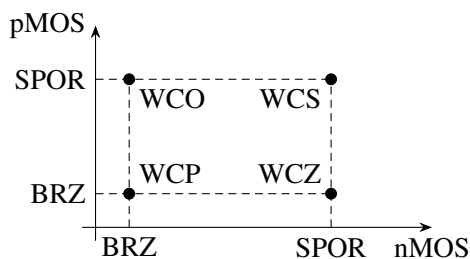
Na slici 5.17 nalazi se prikaz ukupnog kapaciteta na ulazu ćelije za kašnjenje u vremenu. Taj kapacitet rezultat je zbroja svih kapaciteta sa slike 5.16.



Slika 5.17: Ovisnost ukupnog kapaciteta na ulazu ćelije za kašnjenje o vremenu.

5.4.2. Analiza rubnih tehnologija

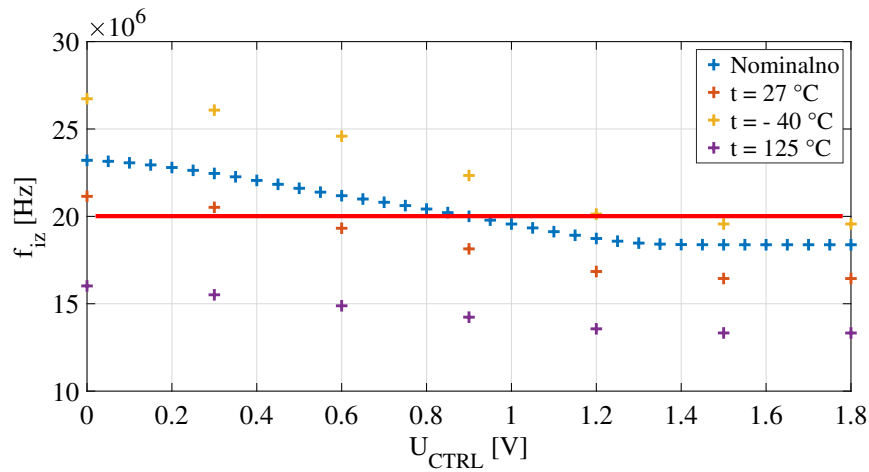
Analiza rubnih tehnologija (engl. *corner analysis*) prikazuje utjecaj varijacija u proizvodnom procesu poluvodiča na promatrani sklop. U analizi rubnih tehnologija definiraju se četiri ruba: najgori slučaj brzine (engl. *worst-case speed*, skraćeno WCS), najgori slučaj snage (engl. *worst-case power*, skraćeno WCP), najgori slučaj nule (engl. *worst-case zero*, skraćeno WCZ) i najgori slučaj jedinice (engl. *worst-case one*, skraćeno WCO). Na slici 5.18 nalazi se grafička reprezentacija rubova.



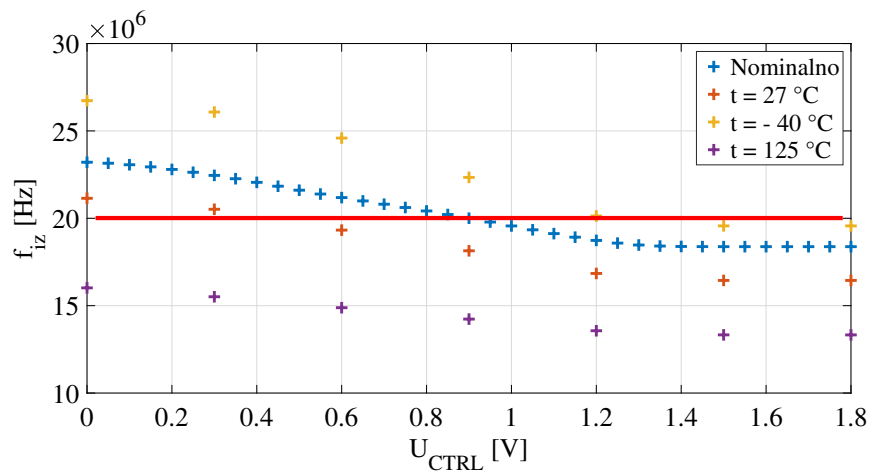
Slika 5.18: Grafička reprezentacija rubova u analizi rubnih tehnologija.

Za najgori slučaj brzine, napon praga svih nMOS i pMOS tranzistora postavljen je na maksimalnu vrijednost što rezultira malom strujom kroz tranzistore, odnosno, rezultira malom brzinom sklopa.

Slika 5.19 prikazuje ovisnost izlazne frekvencije f_{iz} o kontrolnom naponu U_{CTRL} za najgori slučaj brzine pri karakterističnim temperaturama. Osim najgoreg slučaja brzine za različite temperature, na slici je prikazan i nominalni slučaj u kojem su parametri tranzistora nominalni, odnosno, najvjerojatniji. Na slici je nacrtana i crvena linija koja prikazuje frekvenciju od 20 MHz.



(a) uo2n

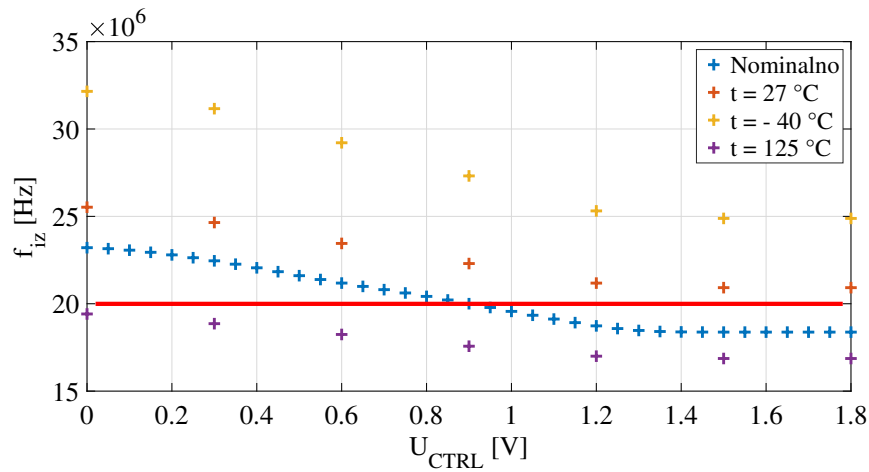


(b) uo2p

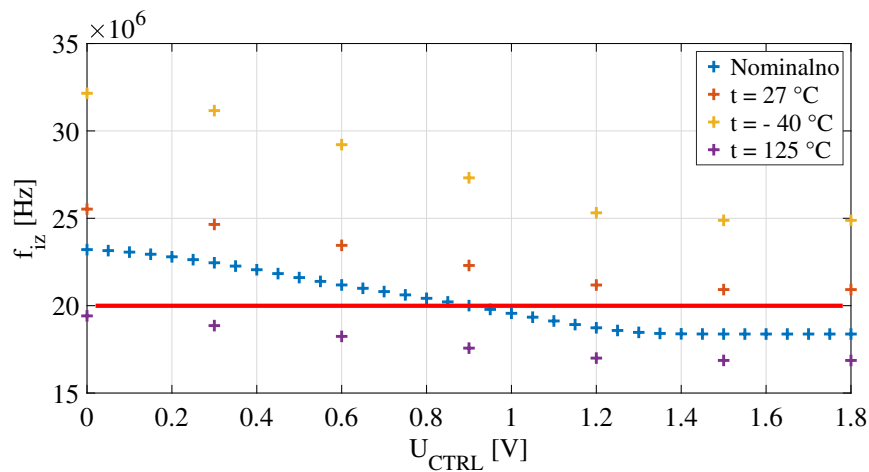
Slika 5.19: Ovisnost izlazne frekvencije o kontrolnom naponu za najgori slučaj brzine uz promjenu temperature.

Za najgori slučaj snage, napon praga svih nMOS i pMOS tranzistora postavljen je na minimalnu vrijednost što rezultira velikom strujom kroz tranzistore, odnosno, rezultira velikom brzinom sklopa, ali i velikom disipacijom.

Slika 5.20 prikazuje ovisnost izlazne frekvencije f_{iz} o kontrolnom naponu U_{CTRL} za najgori slučaj snage pri karakterističnim temperaturama. Osim najgoreg slučaja snage za različite temperature, na slici je prikazan i nominalni slučaj u kojem su parametri tranzistora nominalni, odnosno, najvjerojatniji. Na slici je nacrtana i crvena linija koja prikazuje frekvenciju od 20 MHz.



(a) uo2n

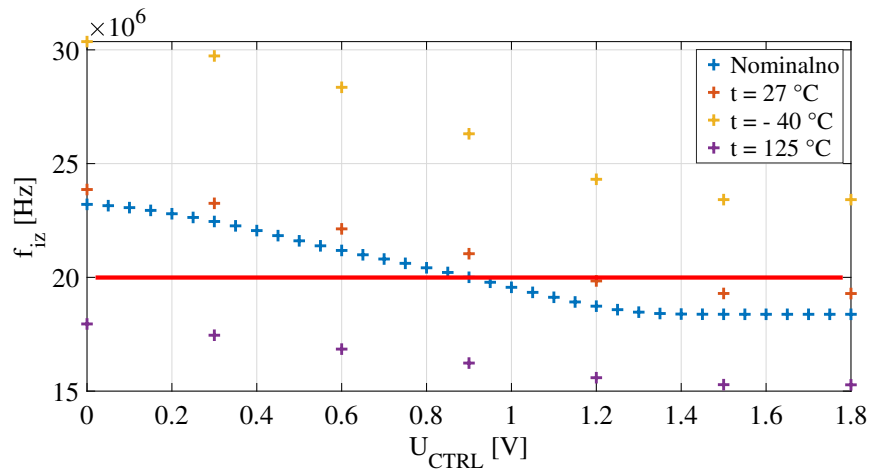


(b) uo2p

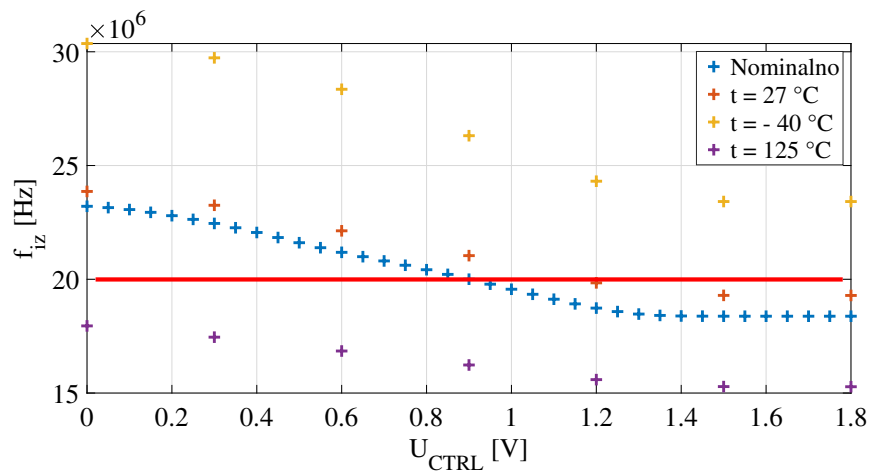
Slika 5.20: Ovisnost izlazne frekvencije o kontrolnom naponu za najgori slučaj snage uz promjenu temperature.

Za najgori slučaj nule, nMOS je spor, a pMOS je brz.

Slika 5.21 prikazuje ovisnost izlazne frekvencije f_{iz} o kontrolnom naponu U_{CTRL} za najgori slučaj nule pri karakterističnim temperaturama. Osim najgoreg slučaja nule za različite temperature, na slici je prikazan i nominalni slučaj u kojem su parametri tranzistora nominalni, odnosno, najvjerojatniji. Na slici je nacrtana i crvena linija koja prikazuje frekvenciju od 20 MHz.



(a) uo2n

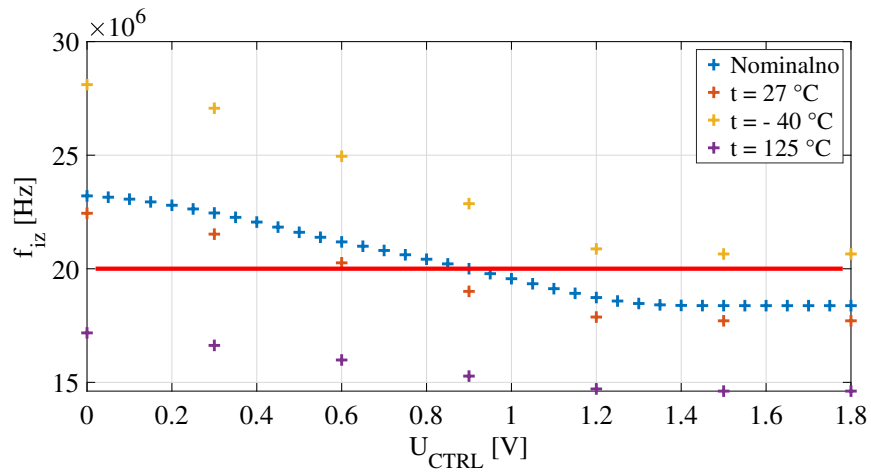


(b) uo2p

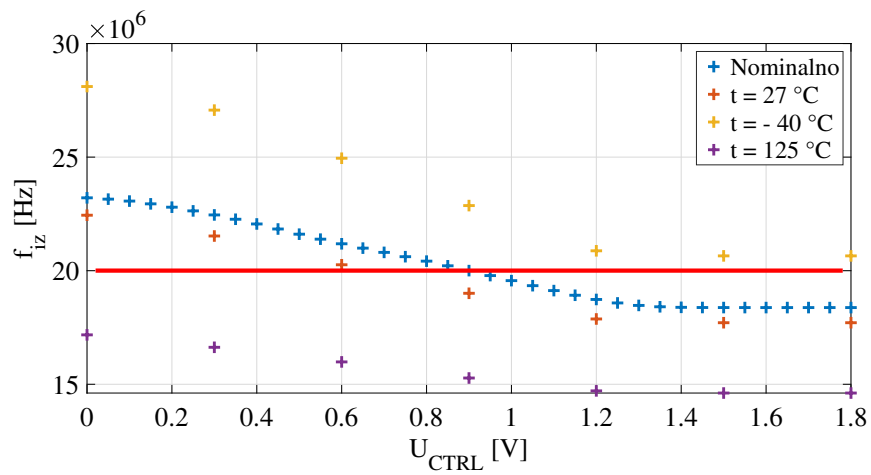
Slika 5.21: Ovisnost izlazne frekvencije o kontrolnom naponu za najgori slučaj nule uz promjenu temperature.

Za najgori slučaj jedinice, nMOS je brz, a pMOS je spor.

Slika 5.22 prikazuje ovisnost izlazne frekvencije f_{iz} o kontrolnom naponu U_{CTRL} za najgori slučaj jedinice pri karakterističnim temperaturama. Osim najgoreg slučaja jedinice za različite temperature, na slici je prikazan i nominalni slučaj u kojem su parametri tranzistora nominalni, odnosno, najvjerojatniji. Na slici je nacrtana i crvena linija koja prikazuje frekvenciju od 20 MHz.



(a) uo2n



(b) uo2p

Slika 5.22: Ovisnost izlazne frekvencije o kontrolnom naponu za najgori slučaj jedinice uz promjenu temperature.

5.5. Zaključak

Projektiranje analognog sklopa zahtjevan je i iterativan postupak. Zahtjevnost proizlazi iz činjenice da se projektiranje vrši na razini tranzistora, temeljnih elektroničkih komponenata, a sama iteracija je odlika gotovo svakog razvojnog postupka pa tako i ovog.

Projektirani naponski upravljani oscilator u nominalnim uvjetima generira zahtjevanu frekvenciju od 20 MHz. Nad sklopom je proveden niz analiza koje opisuju njegovo ponašanje u brojnim različitim uvjetima. Time se dobio uvid u mogućnosti sklopa, ali i u ono što bi na njemu bilo moguće promijeniti da ga se učini boljim. Na posljetku, sklop ispravno funkcionira i kao dio sklopa za faznu sinkronizaciju što je upravo njegova namjena.

6. Pretvornik razine (LS) i upravljač radnog ciklusa (DCC)

6.1. Uvod

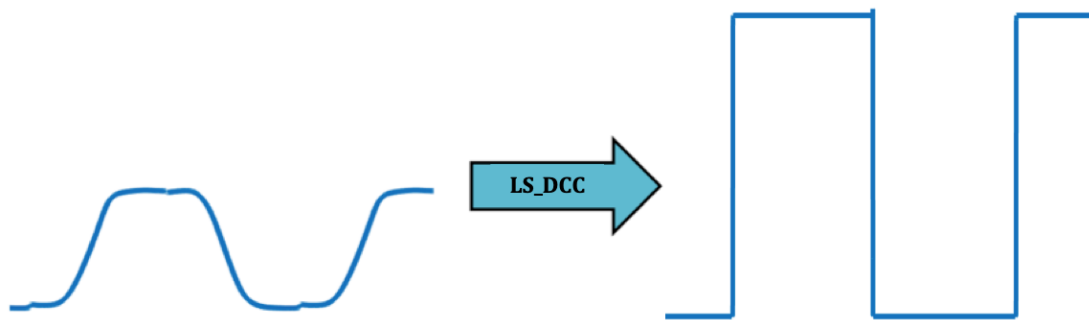
Svakim danom, moderna tehnologija razvija se s ciljem da bude brža i bolja od prethodne generacije. Bez obzira na to govorimo li o telekomunikacijama, računalima ili sensorima, uvijek postoji konstantno očekivanje da stvari rade bolje nego prije, a jedan od najboljih načina poboljšanja tehnologije je da se napravi bržom. Budući da se elektronički sklopovi počinju dizajnirati tako da rade na sve višim frekvencijama, postoji sve veća potreba za jako stabilnim, visokofrekventnim sinkronizacijskim satovima. Ti uređaji osiguravaju da svi različiti međusobno spojeni čipovi rade sinkronizirano i stvaraju kompleksni sustav. Vrlo je bitno da sinkronizacijski satovi rade besprijekorno jer čak i ako različiti čipovi rade savršeno na jako visokim frekvencijama, ako oni nisu međusobno sinkronizirani, cijeli sustav neće raditi.

Jedan od najboljih načina stvaranja stabilnog, visokofrekventnog i preciznog signala takta je korištenjem sklopa zvanog fazno spregnuta petlja, skraćeno PLL. Izlazni signal PLL-a mora biti pravokutni signal s radnim ciklusom od 50 %.

Pretvornik razine (engl. *level shifter*, skraćeno LS) i upravljač radnog ciklusa (engl. *duty cycle control*, skraćeno DCC) su sklopovi koji u PLL-u osiguravaju traženi oblik izlaznog signala. Ta se dva sklopa mogu promatrati i kao jedan sklop pri čemu se označavaju s LS_DCC. Cilj je dizajnirati sklop koji na svoj ulaz prima signal niske amplitude te ga transformira u pravokutni signal s vršnom vrijednosti napona jednakom naponu napajanja te s radnim ciklusom od 50 %. Sklop mora također biti invarijantan na temperaturu i fluktuacije amplitude ulaznog signala do određenog stupnja. U konačnici, sklop mora moći ostvariti stanje isključenosti (engl. *power-down mode*) u kojem će koristiti manje struje kada se ne koristi.

6.2. Teorijska baza LS_DCC sklopa

Pretvornik razine i upravljač radnog ciklusa su sklopovi koji dolaze nakon VCO-a te se nalaze na samom kraju signalnog lanca. Njihov zadatak je pretvaranje signala iz jedne naponske domene u drugu te “čišćenje” pulseva koje generira VCO tako da taj signal može biti podijeljen i uspoređen s ulaznim signalom u detektoru faze.

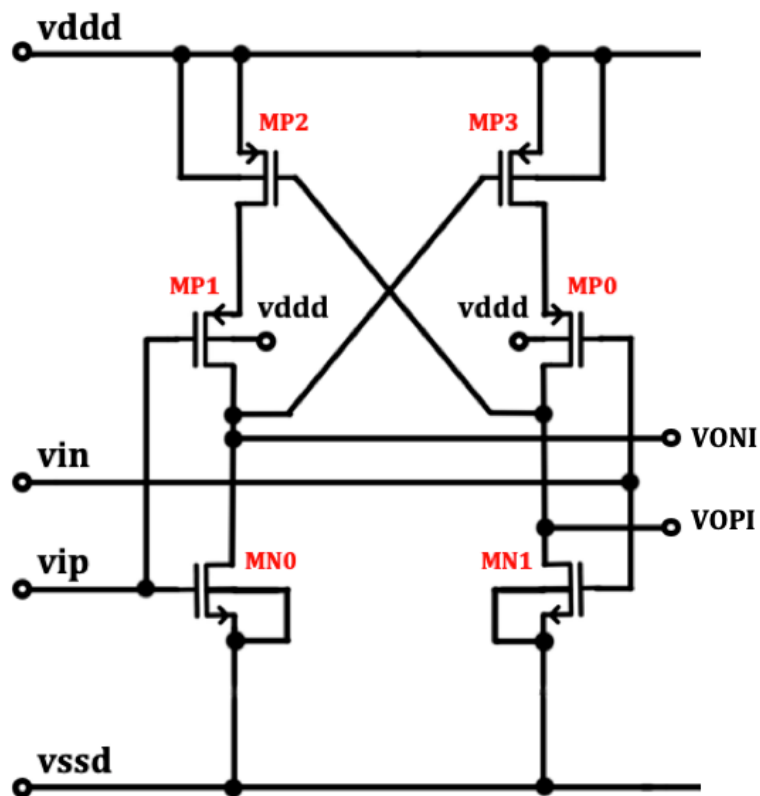


Slika 6.1: Princip rada LS_DCC sklopa.

6.2.1. Pretvornik razine (LS)

Pretvornik razine je digitalni elektronički sklop čija je svrha translirati signal iz jedne naponske domene u drugu. Većinom se koriste tako da čipovi s različitim naponima signala mogu međusobno biti kompatibilni. Trenutno najčešći signalni naponi su 1,8 V, 3,3 V i 5 V. Budući da je napon napajanja PLL-a 1,8 V, mi ćemo pretvarati razine iz VCO-a u tu domenu. Ovaj pretvornik razine je jednosmjernan što znači da su svi ulazni pinovi posvećeni jednoj naponskoj domeni, a izlazni drugoj. Na slici 6.2 možemo vidjeti jednostavnu shemu pretvornika razine.

Pretvornik razine sa slike 6.2 radi po sljedećem principu. Signali vin i vip su isti signal takta s razlikom faze od $\Delta\varphi = 180^\circ$. Njihova amplituda manja je od napona napajanja $vddd$ i iznosi oko 1 V. Pretvornik razine sastoji se od dva invertera: tranzistor-ski parovi $MP1-MN0$ i $MP0-MN1$. Promatramo slučaj kada je $vin = 1\text{ V}$ i $vip = 0\text{ V}$. Ako je $vin = 1\text{ V}$, onda inverter $MP0-MN1$ invertira signal pa vrijedi $vopi = 0\text{ V}$. Ako je $vopi = 0\text{ V}$, onda je $MP2_G$ na 0 V pa stavlja $MP1_D$ na $vddd$. Budući da je $vip = 0\text{ V}$, $MP1$ stavlja $voni$ na $vddd$. Sada je $vopi = 0\text{ V}$ i $voni = vddd$. Ekvivalentno razmišljanje vrijedi i za slučaj kada je $vin = 0\text{ V}$ i $vip = 1\text{ V}$. Rezultat je taj da pretvornik razine na svom izlazu ima dva signala takta s razlikom faze od $\Delta\varphi = 180^\circ$ te s vršnom vrijednosti napona od $vddd$. U našem slučaju je $vddd = 1,8\text{ V}$ što znači da transliramo signale takta iz domene od 1 V u domenu od 1,8 V.



Slika 6.2: Osnovna shema *level shifter* sklopa.

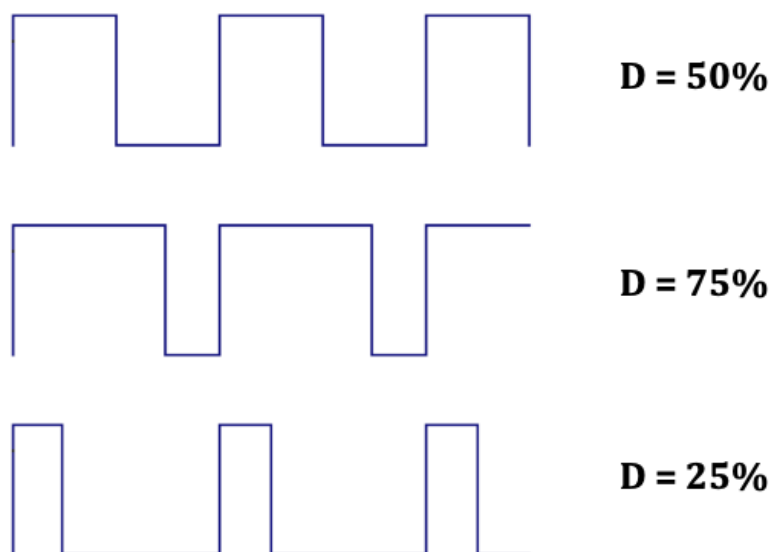
Tranzistori *MP2* i *MP3* su unakrsno spregnuti s obzirom na ulazne signale. Prednost unakrsno spregnutih sklopova ističe se u dizajnu sklopova malih snaga i posebnih namjena. U sklopovima male snage, naponi između uvoda i upravljačke elektrode su blizu zasićenja (pa mala snaga znači i sporo sklopovlje) [1]. S malim snagama dolazi i mala brzina porasta izlaznog signala što može povećati vrijeme porasta i vrijeme pada izlaznog signala takta. Ako su vrijeme porasta i vrijeme pada preveliki, može se drastično smanjiti kvaliteta signala takta koji generira PLL. Utjecaj ovog neželjenog efekta može se smanjiti korištenjem topologije s unakrsnom spregom koja u ovom slučaju omogućava bržu promjenu iz visokog u nisko stanje i obrnuto. U sklopovima niske snage, unakrsna sprega može biti korisna za brzo punjenje kondenzatora i parazitnih kapaciteta uz malu potrošnju snage.

6.2.2. Kontrola radnog ciklusa (DCC)

Radni ciklus definira se prema izrazu

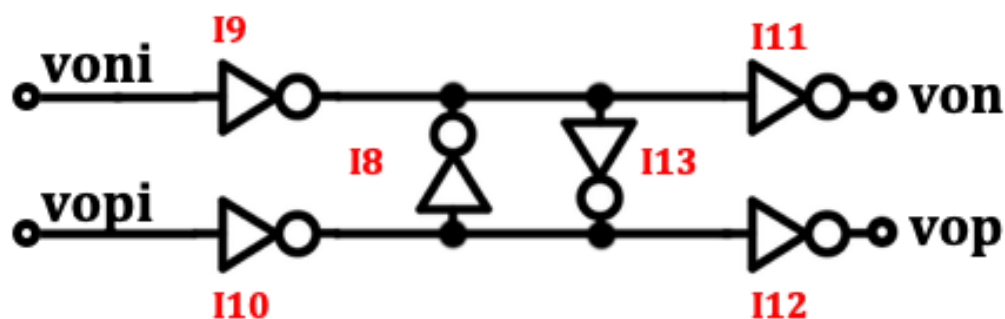
$$D = \frac{PW}{T} * 100\%$$

gdje je *PW* širina impulsa, a *T* period signala.



Slika 6.3: Radni ciklus za razne valne oblike.

Na izlazu sklopa želimo imati čisti signal takta kojemu je radni ciklus jednak točno $D = 50\%$. Kako bi se osiguralo da je to uvijek slučaj, bez obzira na fluktuacije faze ulaznog signala, koristi se sklop zvan upravljač radnog ciklusa (DCC) prikazan slikom 6.4.

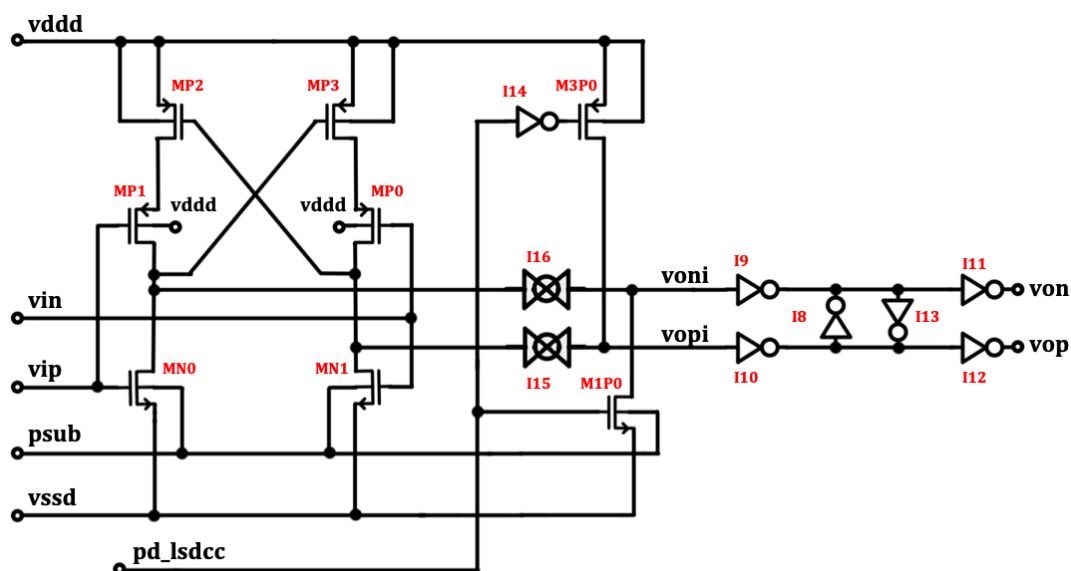


Slika 6.4: DCC shema.

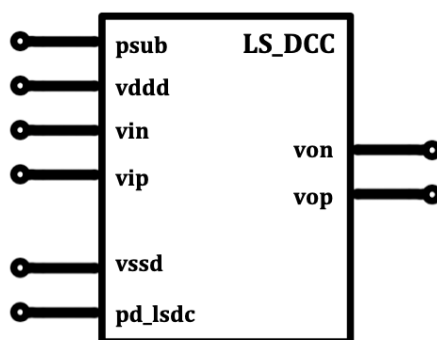
Na slici 6.4, signali *voni* i *vopi* su isti signal takta, ali s faznom razlikom od $\Delta\varphi = 180^\circ$ i u idealnom slučaju imaju radni ciklus od $D = 50\%$. Ako se kojim slučajem radni ciklus jednog od tih signala poveća ili smanji, inverteri *I8* i *I13* osiguravaju da signali ne mogu biti na istoj vrijednosti. Na primjer, neka je *voni* u stanju “1” i *vopi* u stanju “0”. Recimo da se radni ciklus signala *vopi* poveća i želi promijeniti stanje “1” prije nego li se *voni* prebaci u stanje “0”. Inverter *I13* će držati *vopi* signal u stanju “0” i neće mu dati da prijeđe u stanje “1” dok radni ciklus nije završio. Inverteri *I9*, *I10*, *I11* i *I12* su digitalni odvojnici čija je svrha izoliranje DCC-a od ostatka sklopa te osiguravaju da nema toka struje od napajanja do referentnog napona.

6.3. LS_DCC specifikacije i shema

LS_DCC sklop sastoji se od 2 stupnja (vidi sliku 6.5): pretvornik razine i upravljač radnog ciklusa koji su međusobno spojeni u seriju. Postoji također *power down* signal koji, kada se stavi u visoko stanje “1”, gasi LS_DCC i smanjuje njegovu potrošnju struje. Signali *vin* i *vip* su izlazni signali VCO sklopa. Priključak *psub* spojen je na podlogu NMOS tranzistora. Provlači se do shema najviše razine i koristi kako bismo osigurali da su podloge svih NMOS tranzistora spojene međusobno na najniži mogući potencijal. Priklučci *vddd* i *vssd* su visoki i niski potencijal napajanja sklopa. Signal *pd_lsdcc* je signal za isključenje sklopa. Njegova vrijednost može biti ili “0” (0 V) ili “1” (1,8 V). Kada je *pd_lsdcc* postavljen na “1”, LS_DCC je u isključenom stanju (označeno kao $PD = 1$ u ovom radu).



Slika 6.5: LS_DCC shema.



Slika 6.6: LS_DCC simbol.

Tablica 6.1: Dimenzije tranzistora sa slike 6.5.

Sklop	Oznaka tranzistora	Komponenta	W [μm]	L [nm]
LS_DCC	<i>MP0</i>	pmos4	2	180
	<i>MP1</i>	pmos4	2	180
	<i>MP2</i>	pmos4	2	180
	<i>MP3</i>	pmos4	2	180
	<i>MN0</i>	nmos4	2	180
	<i>MN1</i>	nmos4	2	180
	<i>MIP0</i>	nmos4	2	180
	<i>M3P0</i>	pmos4	2	180
PASS_GATE	<i>MP0</i>	pmos4	2	540
	<i>MN0</i>	nmos4	1	540
INVERTER	<i>MP0_I</i>	pmos4	2	180
	<i>MN0_I</i>	nmos4	2	180

6.4. Rezultati simulacija

6.4.1. DC analiza

Prije svake tranzijentne analize LS_DCC sklopa, Virtuoso ADE L mora izračunati statičku radnu točku. Točne vrijednosti te točke nisu strogo zadane jer je LS_DCC digitalni sklop što znači da su tranzistori ili u zasićenju ili u zapiranju. Međutim, veliki naglasak se stavlja na to da je sklop savršeno zrcalno simetričan kako bi izlazni signali bili identični i savršeno komplementarni u fazi. Vrijednosti parametara tranzistora u statičkoj radnoj točki prikazane su u tablici 6.2.

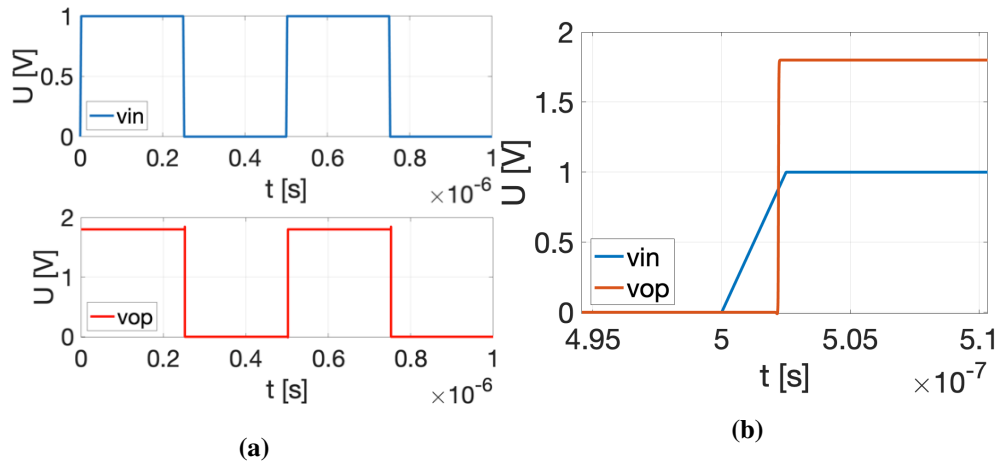
Tablica 6.2: DC parametri tranzistora

Oznaka tranzistora	I_D [pA]	gm [pA/V]	V_{gt} [V]	V_{sm} [V]
<i>MP0</i>	-8,06	58,50	-63,73 m	-116,47 m
<i>MP1</i>	-59,37	26,27	-1,22	-641,30 m
<i>MP2</i>	-59,37	150	-331,5 m	-251,64 m
<i>MP3</i>	-5,26	144,45	569,61 m	869,59 m
<i>MN0</i>	24,10	662,78	-532,64 m	1,76
<i>MN1</i>	14,27	404,22	-545,01 m	845,98 m
<i>M1P0</i>	24,10	662,78	-532,64 m	1,76
<i>M3P0</i>	-5,27	144,57	569,59 m	869,59 m
Oznaka tranzistora	V_{gs} [V]	V_{ds} [V]	V_{dsat} [mV]	
<i>MP0</i>	-0,89	-64,53 n	-117,43	
<i>MP1</i>	-1,80	-63,29 n	-641,30	
<i>MP2</i>	-0,91	-128,77 n	-250,83	
<i>MP3</i>	-192,06 n	-0,91	-42,81	
<i>MN0</i>	0	1,8	41,61	
<i>MN1</i>	0	0,89	41,62	
<i>M1P0</i>	0	1,8	41,61	
<i>M3P0</i>	-29,52 n	-0,91	-42,81	

6.4.2. Tranzijentna analiza

Jedan od najvažnijih koraka u dizajniranju sklopova je naći ograničenja sklopa. Koristimo tranzijentnu analizu kako bismo to saznali te kako bismo vidjeli ponašanje

sklopa u normalnim uvjetima. Ulazni signali LS_DCC sklopa su vin i vip . Ti signali su komplementarni i imaju istu frekvenciju. Prvo dovodimo pravokutni napon na ulaz sklopa.



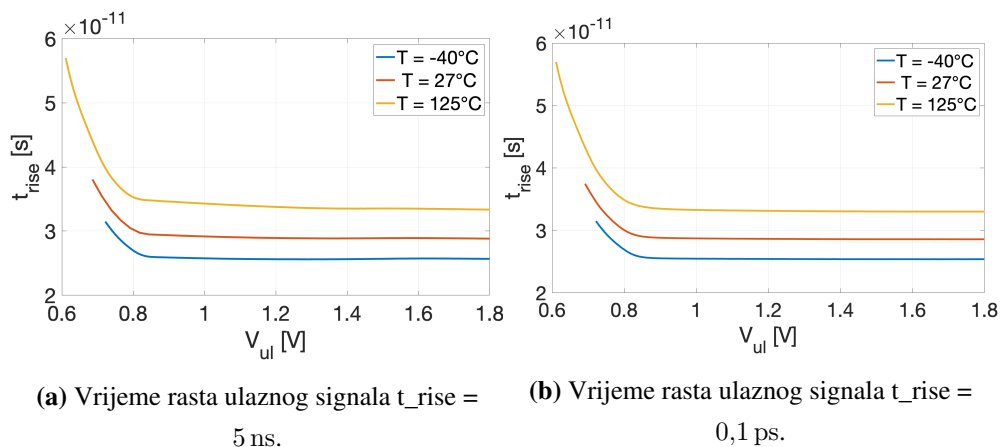
Slika 6.7: LS_DCC odziv na pravokutni signal.

Kao što možemo vidjeti na slici 6.7, LS_DCC prebacuje amplitudu ulaznog signala iz 1 V domene u 1,8 V domenu te ga prerađuje u čišći pravokutni signal. Iz slike 6.7 b) vidljivo je da je izlazni signal doista pravokutniji od ulaznog.

Signali vin i vip ne trebaju imati unaprijed definirani valni oblik. Oni samo moraju prelaziti preko minimalnog naponskog praga LS_DCC sklopa zadanom frekvencijom. Kako bismo saznali napon praga ulaznih signala provodimo parametarsku analizu koja proračunava vrijeme rasta ¹ izlaznog signala vop za tri različite temperature (jedna nominalna i dvije rubne). Kada ne postoji rezultat proračuna vremena rasta u nekoj točki to znači da tada nema izlaznog signala, odnosno, da smo dosegli granice sklopa.

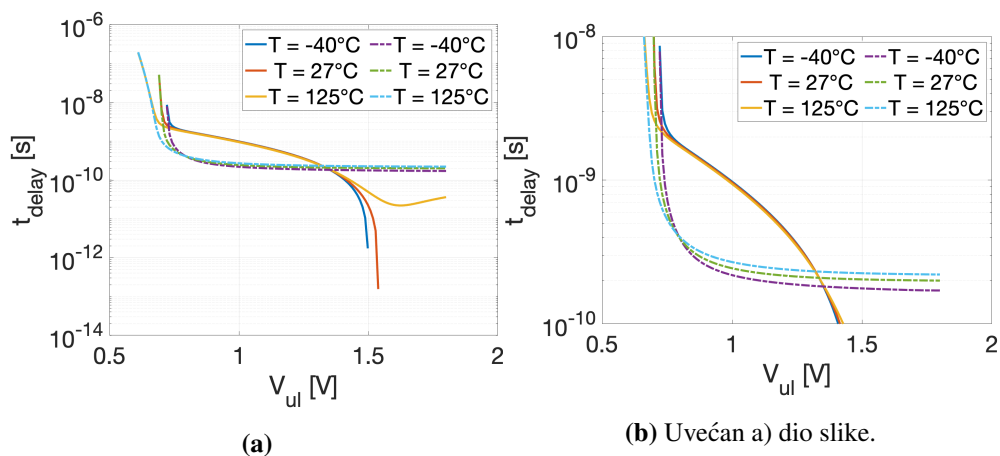
Kao što možemo vidjeti na slici 6.8, vrijeme rasta izlaznog signala raste s temperaturom te minimalna amplituda ulaznog signala V_{ul} pada, ali se preporučuje da je za sve temperature V_{ul} barem 1 V. Za vrijednosti $V_{ul} > 1$ V, vrijeme rasta izlaznog signala je praktički konstantno te je u minimalnoj vrijednosti. Sukladno tome, VCO mora generirati signale čija je amplituda barem 1 V. Sa slike 6.8 možemo također zaključiti da vrijeme rasta ulaznog signala minimalno utječe na oblik izlaznog signala što znači da signali iz VCO sklopa ne moraju biti pravokutni.

¹Vrijeme potrebno da signal dođe iz 10% do 90% svoje vrijednosti.



Slika 6.8: Vrijeme porasta izlaznog signala u ovisnosti o amplitudi ulaznog signala.

Iako vrijeme porasta ulaznog signala ne utječe na oblik izlaznog signala, ono ipak utječe na vrijeme kašnjenja² LS_DCC sklopa kao što je prikazano na slici 6.9 (kontinuirane linije su za vrijednosti $t_{\text{rise}} = 5 \text{ ns}$, a isprekidane za $t_{\text{rise}} = 0,1 \text{ ps}$).

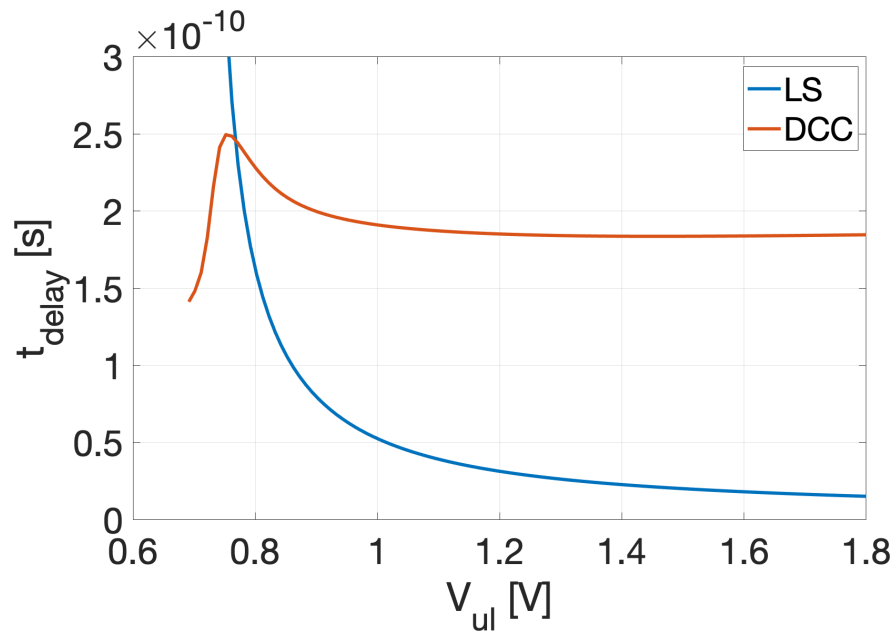


Slika 6.9: Kašnjenje izlaznog signala u ovisnosti o amplitudi ulaznog signala.

Promjena vremena kašnjenja ne utječe značajno na rad sklopa jer PLL ima mogućnost samokorekcije zbog negativne povratne veze. Povećano vrijeme kašnjenja može utjecati na vrijeme potrebno da se cijeli sustav stabilizira, ali ne moramo se brinuti oko toga jer će se pokazati u sljedećim poglavljima da je izlaz VCO sklopa pravokutni signal.

Slika 6.10 pokazuje koliko svaki dio LS_DCC sklopa pridonosi ukupnom kašnjenju.

²Vremenska razlika između trenutka kada ulazni signal dosegne 50% vrijednosti i kada izlazni signal dosegne 50% vrijednosti.

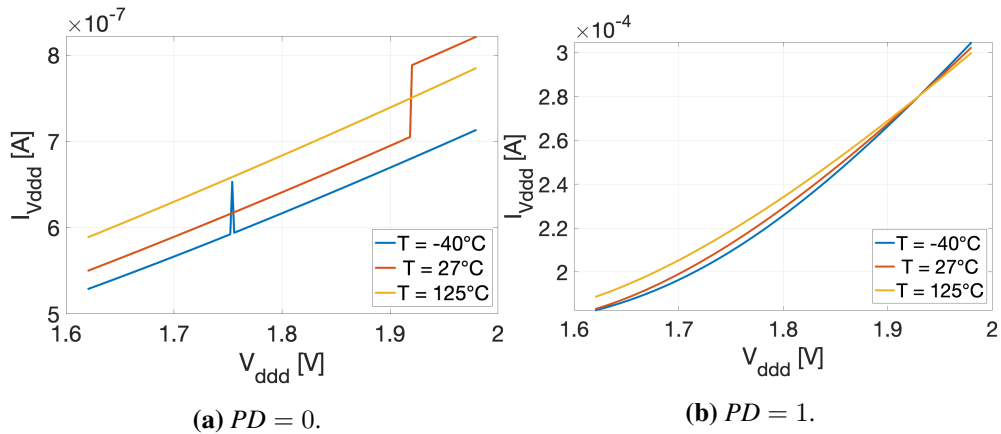


Slika 6.10: Kašnjenje komponentata LS_DCC sklopa.

6.4.3. Isključen način rada (*Power Down mode*)

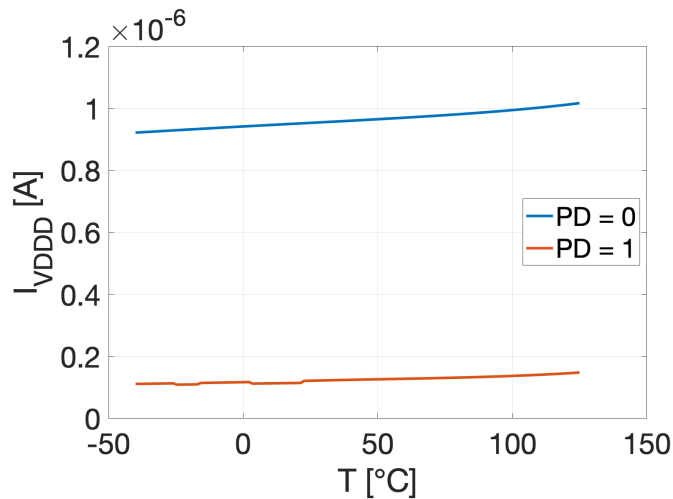
Svi elektronički sklopovi troše energiju čak i kada nisu u uporabi. Ako ne želimo rasipati energiju bez razloga, možemo staviti nepotrebne sklopove u isključen način rada u kojem će, po mogućnosti, koristiti puno manje energije, nego u normalnim radnim uvjetima. Isključen način rada uključuje se s digitalnim signalom pd_lsdcc . Kada je $pd_lsdcc = 0V$ ($PD = 0$) sklop se nalazi u normalnom načinu rada, a kada je $pd_lsdcc = 1,8V$ ($PD = 1$) nalazi se u isključenom načinu rada. Dio sklopa zaslužan za isključen način rada sastoji se od tranzistora $MIP0$ i $M3P0$ te invertera $I14$ (slika 6.5). Kada sklop radi u isključenom načinu rada, $voni$ signal je pritegnut na referentni napon, a $vopi$ signal je pritegnut na $vddd$. Na taj način sklop je prisiljen u statičko stanje u kojem se ne dozvoljavaju promjene stanja unutar sklopa čak i kad je na ulaz doveden signal. Budući da tranzistori ne mogu promijeniti stanje i voditi struju, potrošnja energije bi trebala biti manja. Prva iteracija LS_DCC sklopa nije imala $pass_gate$ sklopove $I15$ i $I16$. Oni su naknadno dodani kako bi spriječili direktan protok struje od $vddd$ do $vssd$ u isključenom načinu rada.

Kao što možemo vidjeti na slici 6.11, potrošnja struje povećala se 300 puta u isključenom načinu rada. Bez $pass_gate$ sklopova, vodovi napajanja $vddd$ i $vssd$ su kratko spojeni kroz MPI i $MIP0$. Kako bismo spriječili da se to dogodi, moramo osigurati odspajanje sklopa *level shifter* od $voni$ i $vopi$ vodova stavljanjem $pass_gate$ sklopa između njih.



Slika 6.11: Potrošnja struje LS_DCC sklopa bez *pass_gate* sklopa.

Sklop *pass_gate* propustit će signal kada mu je kontrolni signal na 0 V, a zaustaviti protok kada je na 1,8 V. Stavljanjem *pd_lsdcc* signala kao kontrolni signal za *pass_gate* sklopove, možemo spajati i odspajati dijelove većih sklopova.



Slika 6.12: Prosječna potrošnja struje LS_DCC sklopa.

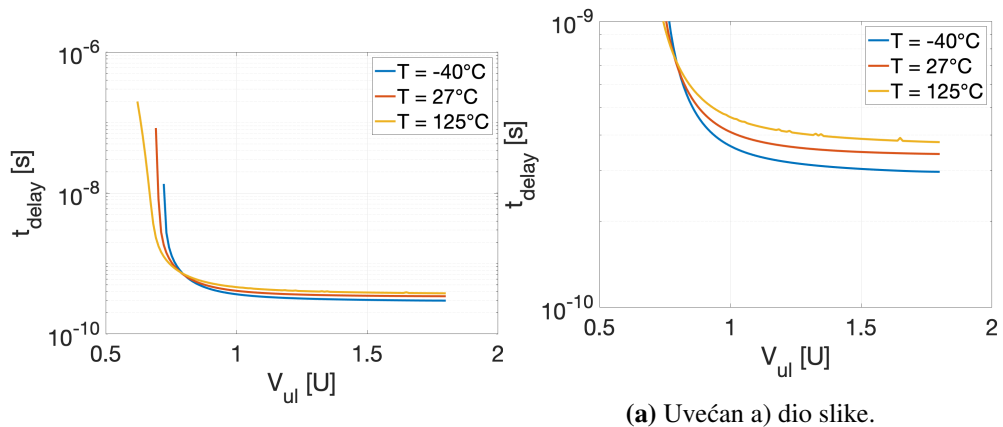
Kao što možemo vidjeti na slici 6.12, korištenjem *pass_gate* sklopova uspješno smo smanjili potrošnju struje gotovo 10 puta u isključenom načinu rada. Struja je mjerena na *vdd* priključku LS_DCC sklopa (slika 6.6).

6.4.4. Realni teret

FDIV spojen na izlaz

Sve simulacije do sad provedene su pod idealnim uvjetima, to jest, ništa nije bilo spojeno na izlaz. U realnom slučaju, sklop spojen na izlaz ima ulaznu impedanciju

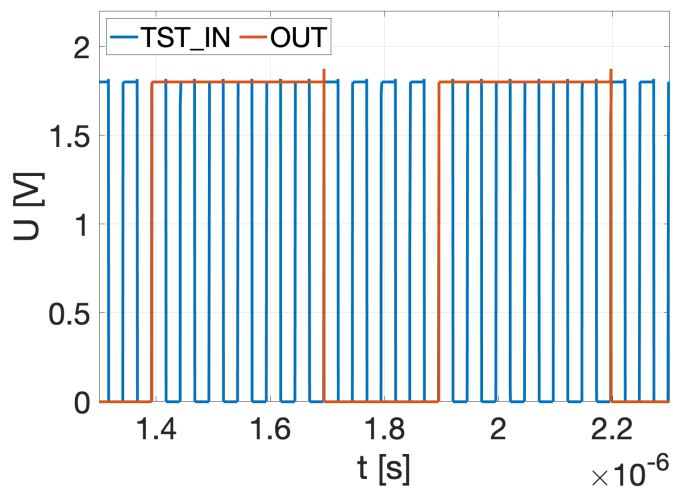
koja mijenja karakteristike sklopa. Kako bismo provjerili ima li realan teret utjecaj na pojačanje LS_DCC sklopa, spajamo FDIV na *vop* priključak i mjerimo kašnjenje.



Slika 6.13: Kašnjenje sklopa sa spojenim FDIV sklopom.

Usporedbom slika 6.13 i 6.9 možemo vidjeti da realni teret nema velik utjecaj na vrijeme kašnjenja.

Sada testiramo rade li pravilno LS_DCC i FDIV zajedno. Pritom promatramo ulaz i izlaz FDIV sklopa. FDIV je ugođen tako da dijeli ulaznu frekvenciju s 10. Rezultati tranzijentne analize prikazani su na slici 6.14.



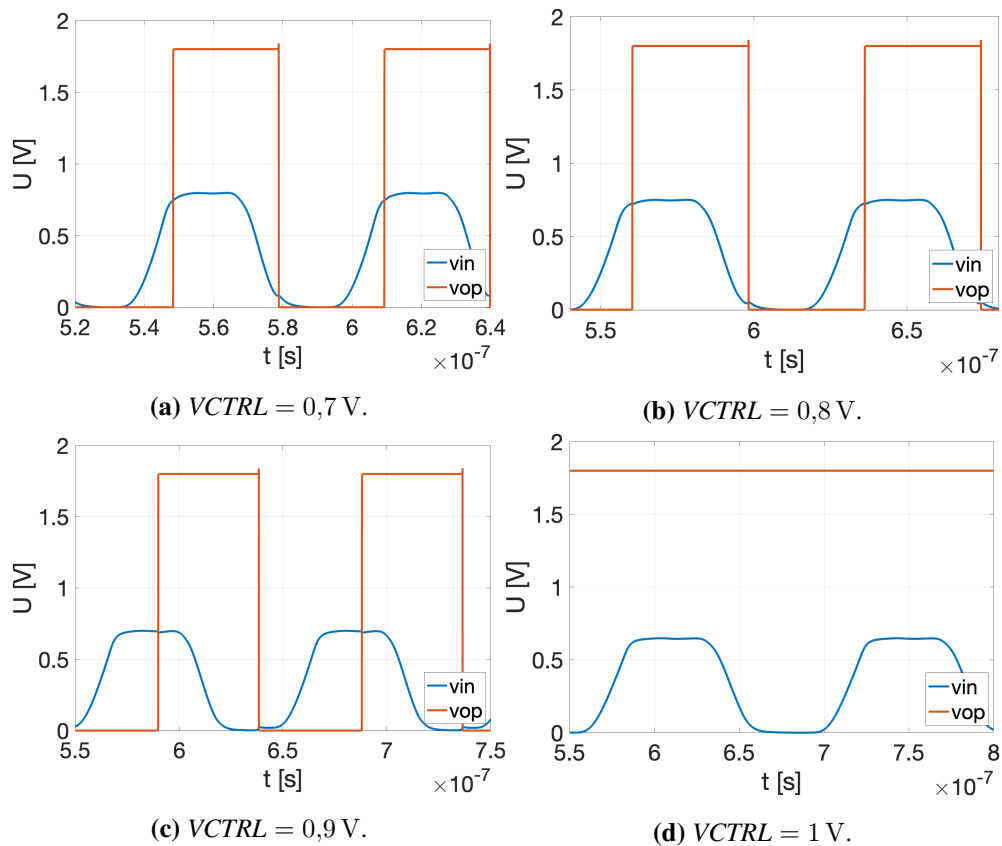
Slika 6.14: Usporedba ulaza i izlaza FDIV sklopa

$$TST_IN = vop.$$

Kao što možemo vidjeti na slici 6.14, frekvencija signala je podijeljena s točno 10 što dokazuje da LS_DCC i FDIV rade pravilno zajedno.

VCO spojen na ulaz

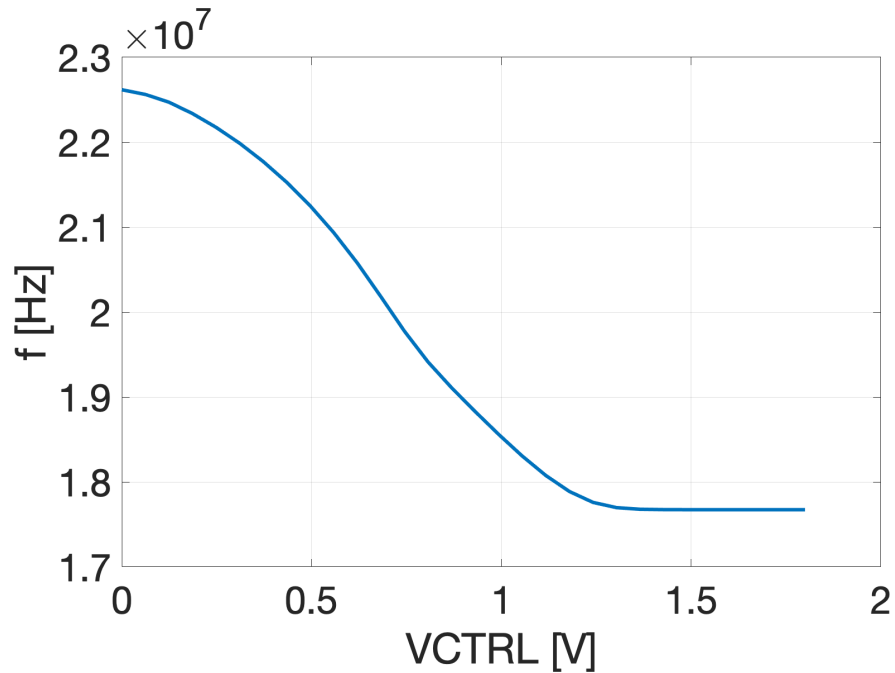
Sve simulacije do sad provedene su uz idealni pravokutni signal na ulazu LS_DCC sklopa, ali VCO generira nesavršene periodične signale čiji oblik i amplituda variraju. Kako bismo osigurali da LS_DCC radi, spajamo realni teret na njegov ulaz: VCO sklop. VCO je upravljani kontrolnim signalom $VCTRL$. Kada $VCTRL$ signal raste, izlazna frekvencija VCO-a pada i obrnuto. U početku, VCO je imao nuspojavu gdje je amplituda izlaznog signala bila ovisna o signalu $VCTRL$. U jednom trenutku, amplituda bi bila manja od napona praga LS_DCC sklopa i sustav bi prestao raditi.



Slika 6.15: Signali vin i vop u ovisnosti o signalu $VCTRL$.

Na slici 6.15 d) vidimo da je VCO amplituda pala ispod $0,68 \text{ V}$ (napon praga za LS_DCC) i sustav prestaje raditi. Kako bismo riješili taj problem, VCO je modificiran tako da je njegova izlazna amplituda veća. Posljednja verzija VCO sklopa ima izlaznu amplitudu od $1,8 \text{ V}$ i izlaznu frekvenciju čija je ovisnost o signalu $VCTRL$ prikazana slikom 6.16.

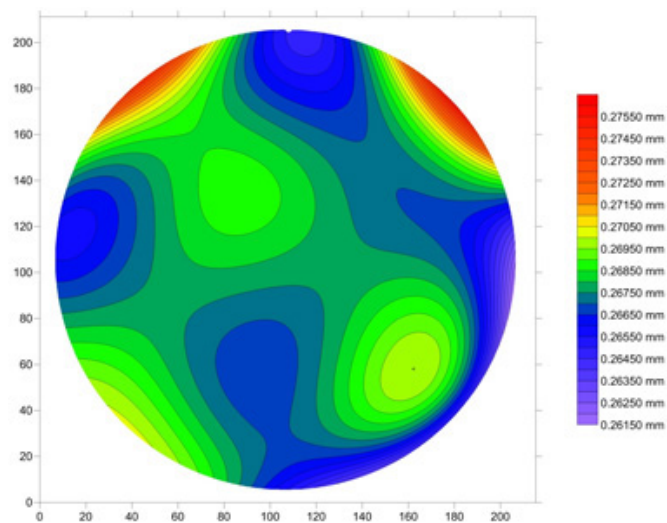
Možemo zaključiti sa slike 6.16 da će PLL moći stabilizirati frekvencije na izlazu od oko 18 MHz do oko 22 MHz . Još važnije, slika pokazuje da VCO-LS_DCC par radi kao cjelina na cijeloj domeni signala $VCTRL$ od 0 V do $1,8 \text{ V}$.



Slika 6.16: PLL frekvencija u ovisnosti o signalu *VCTRL*.

6.4.5. Rubne (*corner*) simulacije

Integrirani sklopovi rađeni su na silicijskim pločama (engl. *wafer*). To su tanki diskovi od poluvodičkih materijala na kojima su sklopovi jetkani fotolitografskim postupkom. Tranzistori u ovom radu procesirani su u 180 nm tehnologiji što znači da je njihova najmanja moguća dimenzija 180 nm. Budući da je fotolitografski proces nesavršen, postoje male varijacije u debljini ploče i te varijacije utječu na performanse tranzistora. Primjer varijacije debljine silicijske ploče može se vidjeti na slici 6.17.



Slika 6.17: Varijacije u debljini silicijske ploče.

Kada se izrađuju sklopovi, njihova lokacija na ploči je nasumična. Kako bismo osigurali da sklop radi bez obzira na njegovu poziciju na ploči, moramo simulirati sklop u svim najgorim slučajevima. Ako sklop radi u svim tim slučajevima, onda možemo smatrati sklop adekvatnim. Naravno, ako je sklop izrađen na lošijem dijelu silicijske ploče, imat će mane. Recimo, može biti sporiji, koristiti više snage i sl. Mnoge kompanije za izradu integriranih sklopova koriste taktiku gdje prodaju isti sklop pod različitim imenima jer su izrađeni na različitom dijelu ploče. Recimo, Intelov i7 procesor izrađen je na dijelu ploče gdje su tranzistori brzi, a i5 je izrađen na dijelu ploče gdje su tranzistori sporiji. Intel onda prodaje i7 kao bržu i bolju varijantu od i5 iako su isti sklop.

U MOSFET tranzistorima, varijable na koje utječe varijacija proizvodnog procesa su debljina metal-oksida, koncentracija primjesa i dimenzije tranzistora. Sve te veličine imaju utjecaj na struju zasićenja čija je formula prikazana izrazom (6.1).

$$I_D = \mu_n C_{ox} \left(\frac{W}{L} \right) \frac{(U_{GS} - U_T)^2}{2} \quad (6.1)$$

Ako je struja u maksimumu, taj rub zovemo *worst power*, skraćeno wp. Ako je struja u minimumu, taj rub zovemo *worst speed*, skraćeno ws. Procesne varijacije mogu različito utjecati na NMOS i PMOS tranzistore. Ako je PMOS u ws, a NMOS u wp onda taj rub zovemo *worst one*, skraćeno wo. Ako je PMOS u wp, a NMOS u ws onda taj rub zovemo *worst zero*, skraćeno wz.

Sada mjerimo vrijeme kašnjenja i potrošnju struje s uključenim i isključenim *power down* načinom rada u sva četiri ruba i u nominalnim uvjetima. Rezultati se mogu vidjeti u tablici 6.3.

Tablica 6.3: Rezultati rubne simulacije.

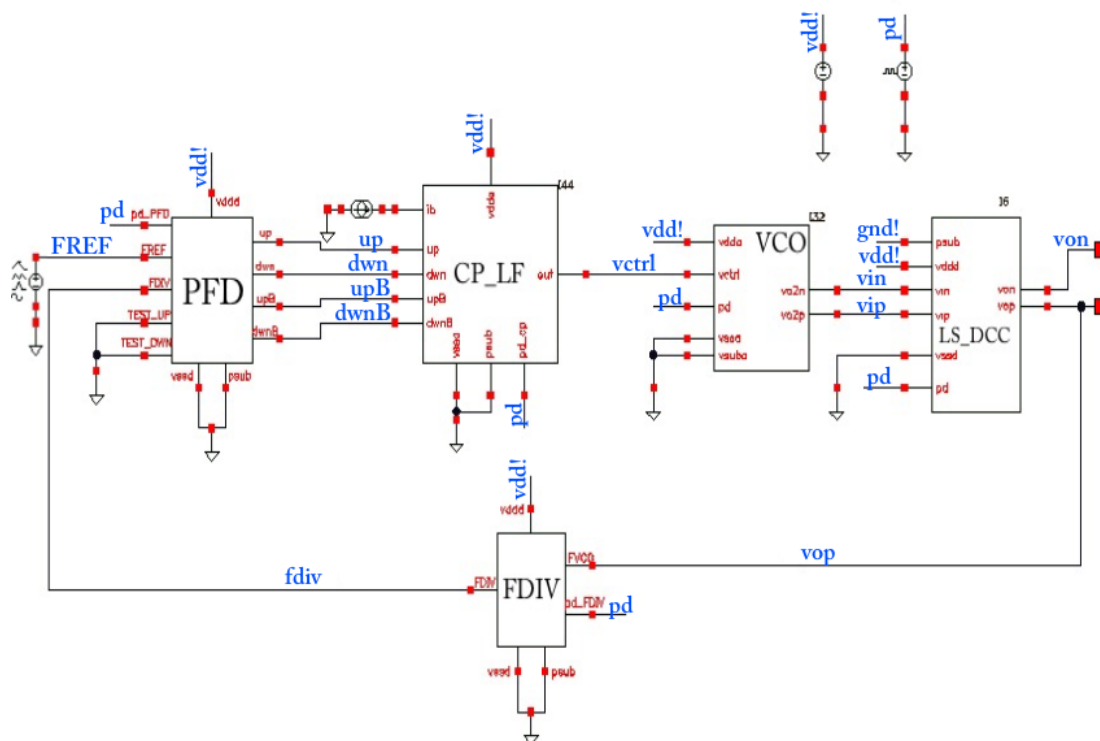
Parametar	Minimalno	Nominalno	Maksimalno	Mjerna jedinica
t_{DELAY}	320,8	403	511,1	ps
I_{VDDD}	898,4	954,7	1040	nA
$I_{VDDD}, PD = 1$	112,4	122,2	133,2	nA

Rezultati pokazuju da sklop radi u sva četiri rubna uvjeta što znači da će raditi bez obzira na njegovu lokaciju na silicijskoj ploči.

6.5. Zaključak

Simuliranjem sklopa dokazali smo da LS_DCC radi kako je i predviđeno. Tranzijentna analiza pokazuje da sklop ima izvrsnu mogućnost ispravljanja signala takta i jako malo vrijeme kašnjenja čak i s realnim teretima na ulazu i izlazu. Rubne simulacije pokazuju da sklop radi u svim mogućim najgorim slučajevima te da njegova lokacija na silicijskoj ploči neće utjecati na njegovu radnu sposobnost.

7. Simulacije na nivou sustava (*top level*)

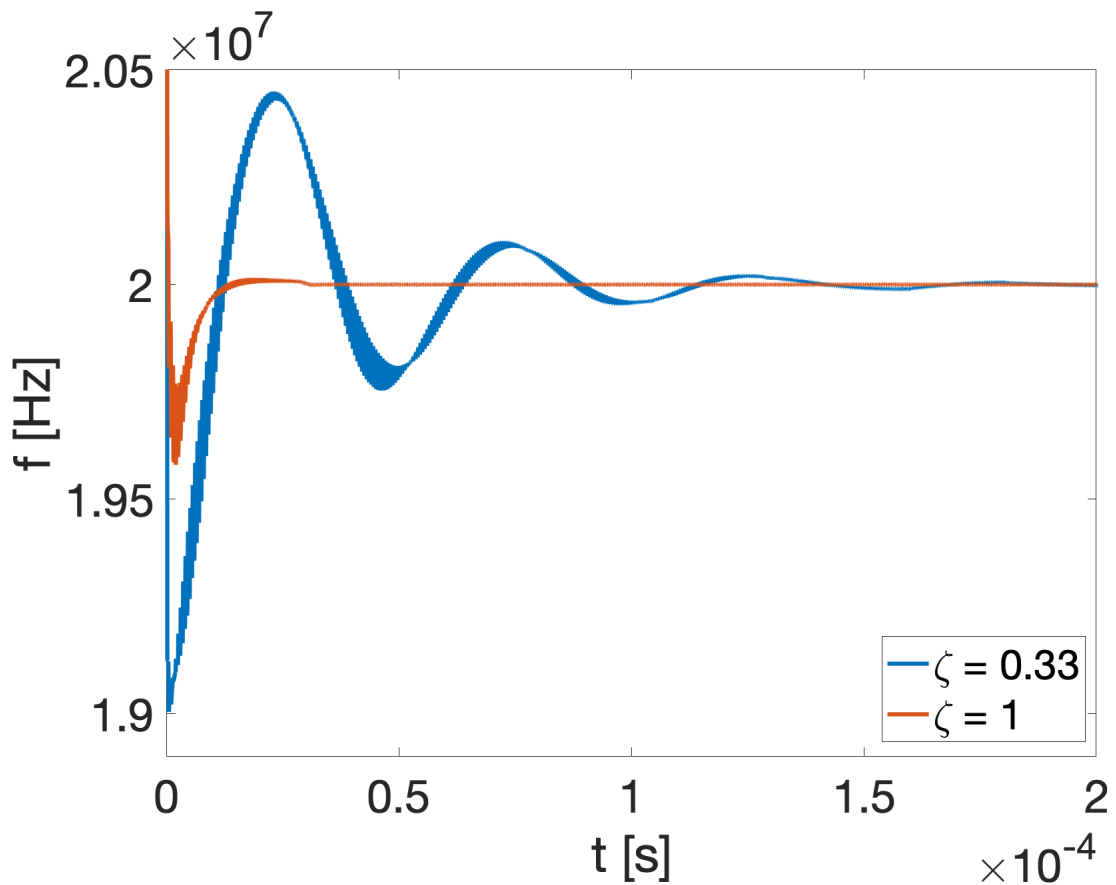


Slika 7.1: PLL signalni lanac.

Prilikom simulacije na najvišem nivou, spajamo sve dijelove PLL sklopa u lanac prikazan na slici 7.1 i provodimo tranzijentne simulacije kako bismo vidjeli ima li izlaz stabilnu frekvenciju koja je točno 10 puta veća od ulazne. Također, želimo izmjeriti vrijeme potrebno da se sustav ustabilji zbog toga što je PLL sustav s 2 pola pa će u njegovom odzivu na skok postojati nadvišenje.

Budući da je VCO sklop bio izmijenjen tijekom razvoja PLL-a, prve kalkulacije su pokazale da je $\zeta = 0,33$ što nije idealno. Kada je CP bio promijenjen kako bismo kompenzirali promjenu VCO sklopa, ζ je ispala oko 1 što je drastično poboljšalo odziv

sustava i smanjilo vrijeme potrebno da se sustav ustabili. Slika 7.2 prikazuje odziv PLL-a uz referentni signal frekvencije 2 MHz na ulazu za različite vrijednosti ζ .

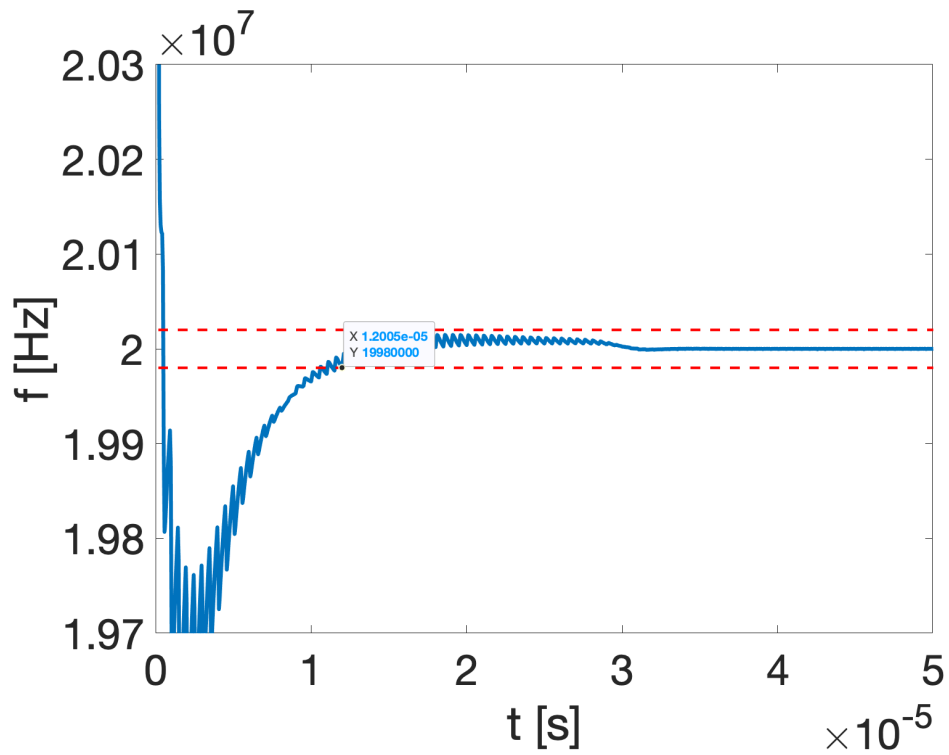


Slika 7.2: PLL frekvencija izlaznog signala.

$$FREF = 2 \text{ MHz}$$

Za $\zeta \approx 1$, izlazna frekvencija je vrlo stabilna. Crvene iscrtkane linije na slici 7.3 predstavljaju $\pm 0,1\%$ vrijednosti željene izlazne frekvencije od 20 MHz. Kao što možemo vidjeti, izlazna frekvencija je jako stabilizirana oko 20 MHz. Vrijeme potrebno za stabilizaciju PLL-a je 12,01 μs . To je vrijeme potrebno da izlazna frekvencija prijeđe 20 MHz $\pm 0,1\%$ linije posljednji put.

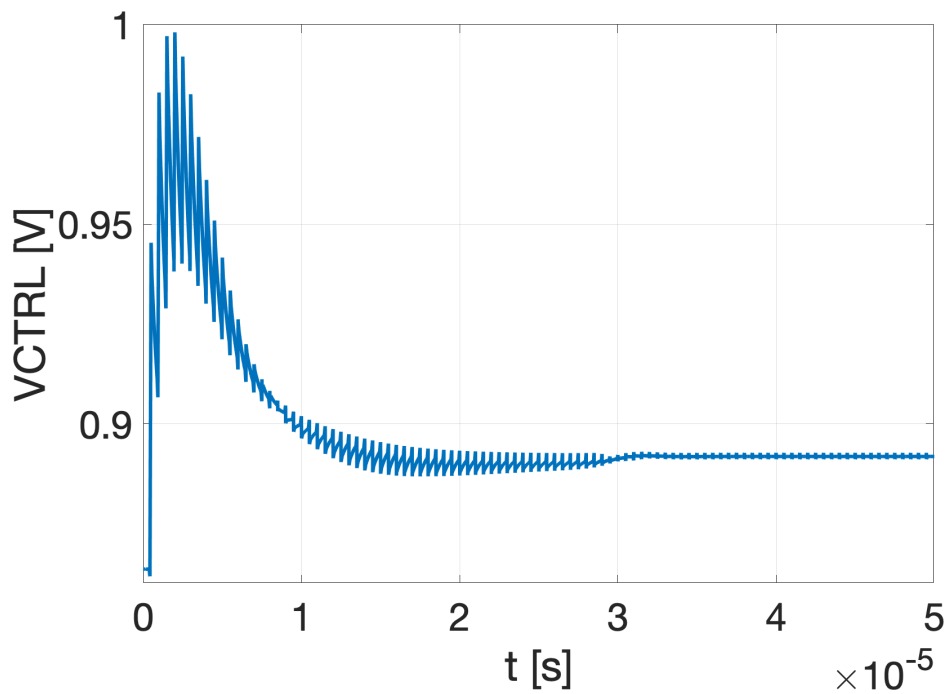
Sa slikama 7.3 i 7.4 demonstrirali smo da PLL radi kako je i predviđeno za konstantni signal na ulazu, no sustav također treba pratiti ulazni signal ako se frekvencija promijeni. Kako bismo testirali mogućnost PLL-a da ispravi izlazni signal, provodimo tranzijentne simulacije gdje mijenjamo ulaznu frekvenciju s 2 MHz na 2,1 MHz u trenutku $t = 50 \mu\text{s}$. PLL bi se trebao stabilizirati na 2 MHz u prvih 30 μs pa nakon što se frekvencija promijeni na 2,1 MHz bi se trebao stabilizirati na tu frekvenciju.



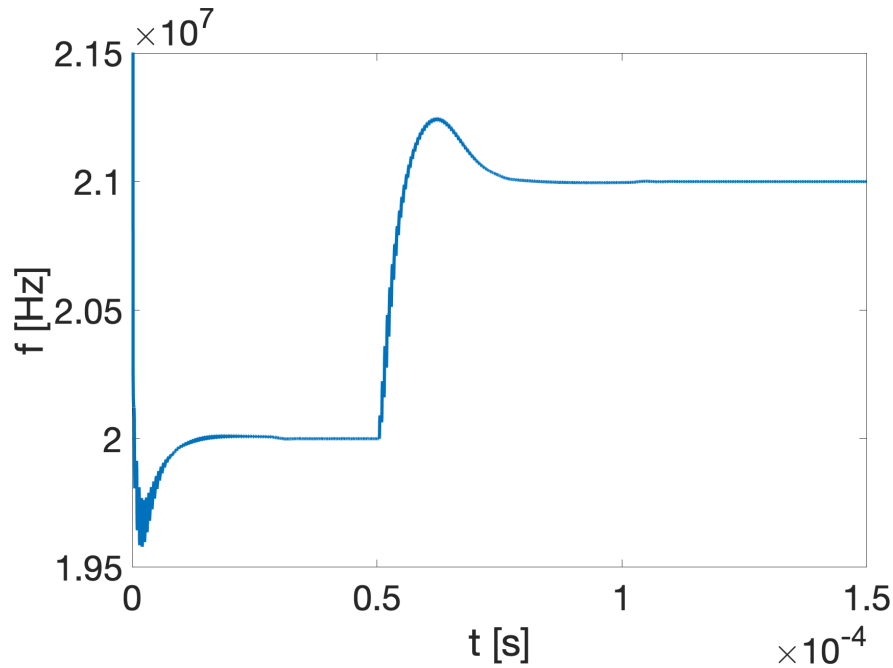
Slika 7.3: PLL vrijeme stabilizacije.

$$F_{REF} = 2 \text{ MHz}$$

Isprekidane linije su margine od $\pm 0,1\%$ od stabilnog stanja.



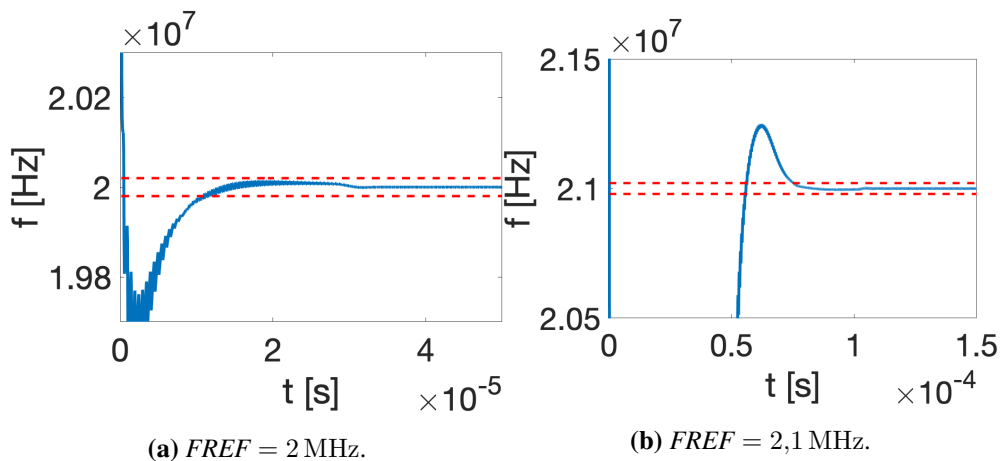
Slika 7.4: Signal $VCTRL$ za odziv sa slike 7.3.



Slika 7.5: PLL frekvencija izlaznog signala.

$FREF = 2$ MHz na početku i $FREF = 2,1$ MHz nakon $50 \mu\text{s}$.

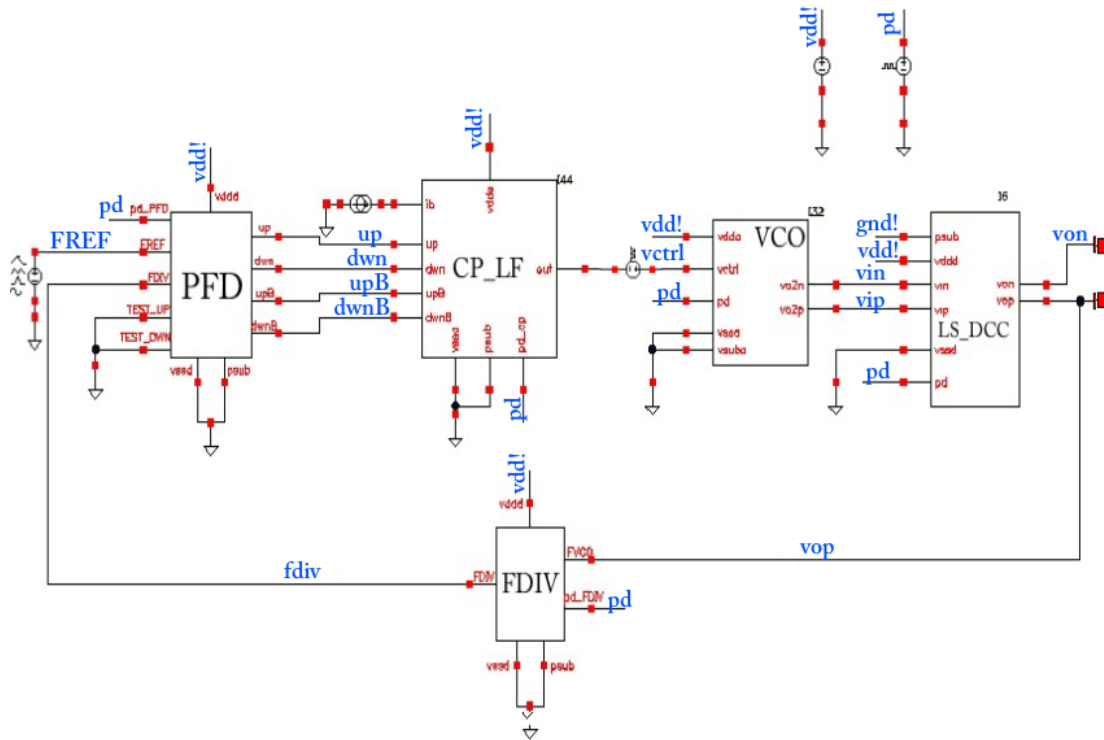
Slika 7.5 prikazuje da za $FREF = 2$ MHz PLL na izlazu generira stabilnu frekvenciju od 20 MHz te da nakon što se $FREF$ naglo promijeni na 2,1 MHz generira stabilan signal frekvencije 21 MHz. Ovime dokazujemo da PLL slijedi ulazni signal i to će biti slučaj za ulazne frekvencije u rasponu od 1,8 MHz do 2,2 MHz.



Slika 7.6: Uvećana slika 7.5.

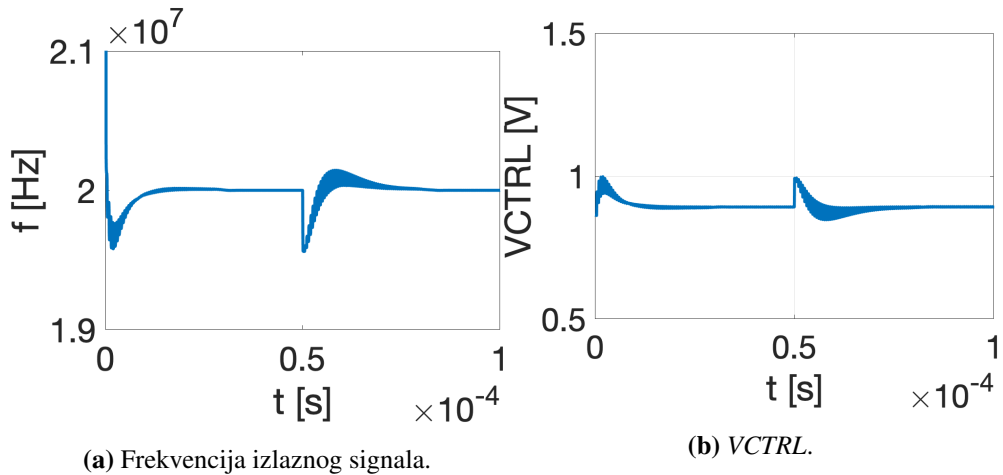
Na slici 7.6 vidimo da je izlazna frekvencija vrlo stabilna čak i uz naglu promjenu ulazne frekvencije. Vrijeme potrebno da se ustabilji druga frekvencija unutar $\pm 0,1\%$ je $25 \mu\text{s}$.

Sada moramo testirati sposobnost PLL-a da samoispravi vanjske smetnje. Spajamo stepeničasti izvor s amplitudom od 0,1 V između CP_LF i VCO (slika 7.7). Stepeničasti izvor ide od 0 V na 0,1 V u trenutku $t = 50 \mu\text{s}$ i ostaje tamo do kraja simulacije. Na taj način, PLL ima vremena stabilizirati se prije no što ga smetnja prisili da se restabilizira.

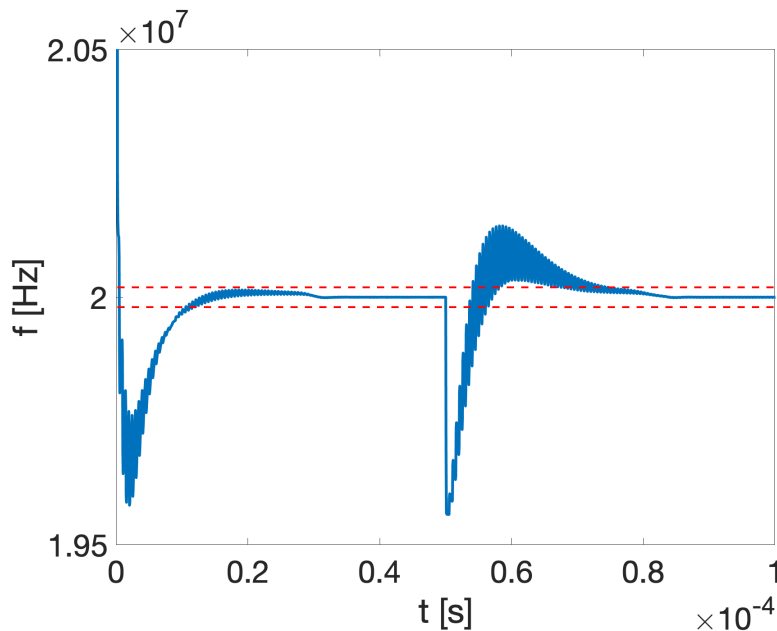


Slika 7.7: Simuliranje PLL sklopa s vanjskom smetnjom.

Kao što možemo vidjeti na slici 7.8, izlazna frekvencija brzo se restabilizira nakon konstantne smetnje u trenutku $t = 50 \mu\text{s}$. Na slici 7.9 možemo vidjeti da je frekvencija vrlo stabilna. Ovime dokazujemo da je PLL samougađajuć te da ima mogućnost prilagođavanja na promjenu okoline što je ključno svojstvo PLL-a. Ako je dobro dizajniran, onda će uvijek generirati signal precizne i stabilne frekvencije bez obzira na okolinu ili na proizvodni proces, odnosno, na poziciju na silicijskoj ploči.

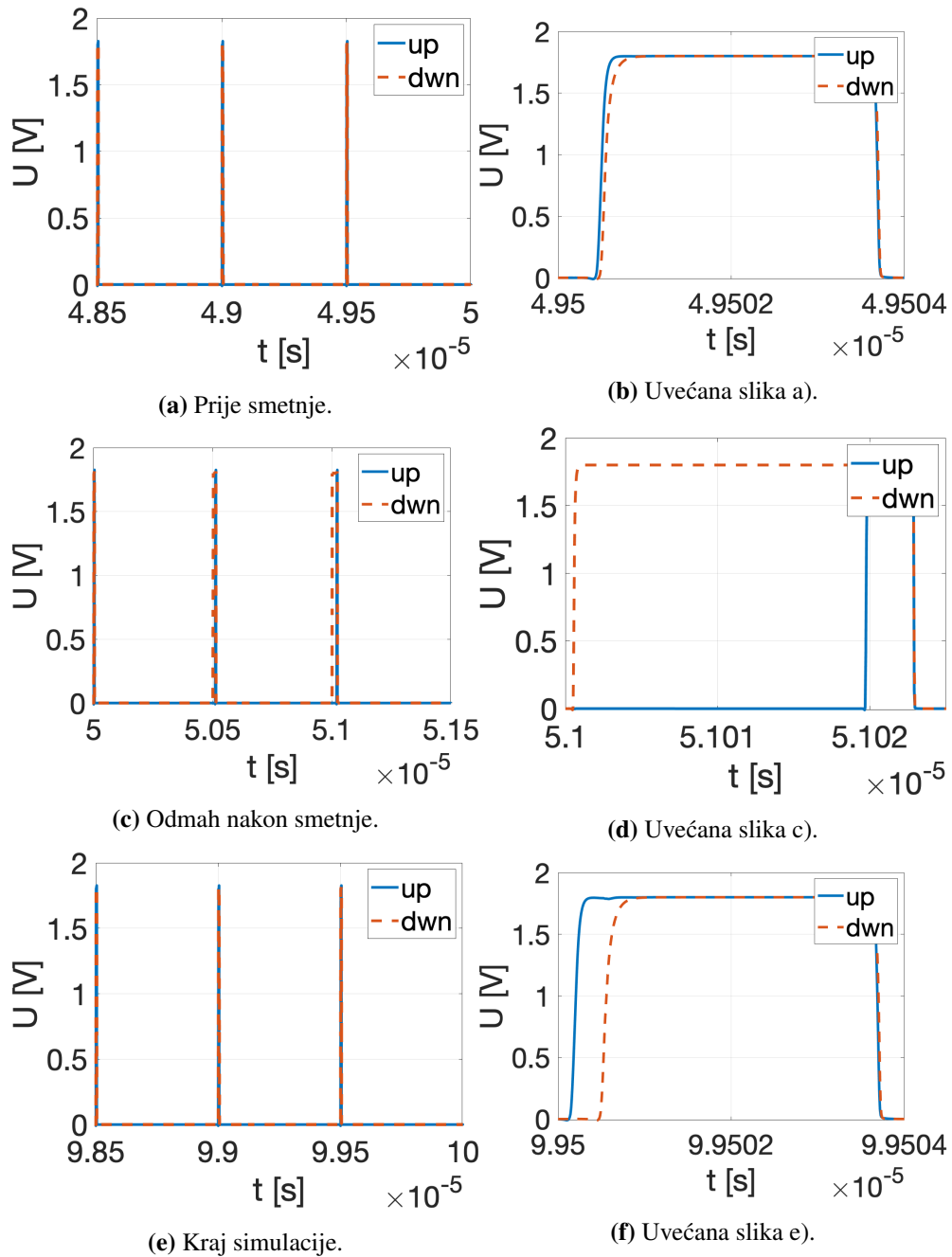


Slika 7.8: Odziv sustava na smetnju.



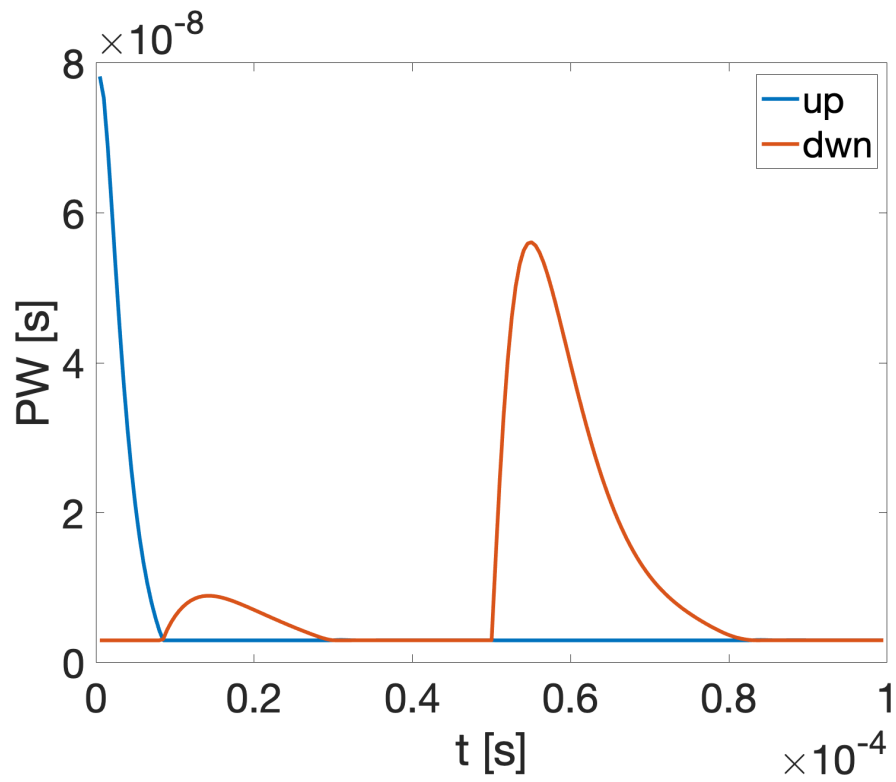
Slika 7.9: Uvećana slika 7.8 a).

Kako bismo razumjeli kako sustav ispravlja smetnje, moramo analizirati *up* i *dwn* signale koji dolaze iz *PFD* sklopa. PLL će napraviti sve što može kako bi ti signali bili isti. Kada su isti, izlazna frekvencija je stabilna. Slika 7.10 pokazuje *up* i *dwn* signale u kritičnim vremenskim trenucima: poslije stabilizacije, odmah nakon smetnje te na samom kraju simulacije. Kao što možemo vidjeti, nakon što se sustav stabilizira prvi put, signali su isti (slika 7.10 b)). Kada se uvede smetnja (slika 7.10 d)), signali *up* i *dwn* su izvan faze te će *CP_LF* sklop napraviti sve što može da ih vrati u fazu. To znači da će smanjiti svoj izlazni signal za 0,1 V tako da se *VCTRL* vrati na 0,67 V (slika 7.8 b)).



Slika 7.10: Signali *up* i *dwn* kao odziv na smetnju.

Slika 7.11 pokazuje promjenu širine pulsa signala *up* i *dwn* u vremenu. Kao što možemo vidjeti, nakon smetnje u $t = 50 \mu\text{s}$ PLL počinje smanjivati razliku između *up* and *dwn*. Kao što vidimo na slici 7.10 f), signali se ne poklapaju savršeno. Razlog tome je taj da smo uveli u sustav sustavnu pogrešku koju PLL ispravlja smanjivanjem širine pulsa *dwn* signala.



Slika 7.11: Širina impulsa *up* i *dwn* kao odziv na smetnju.

8. Topološki nacrt

Nakon crtanja sheme i testiranja njene ispravnosti, sljedeći korak u izradi svakog integriranog sklopa je crtanje njegove fizičke reprezentacije koja se naziva topološki nacrt. Topološki nacrt je shema sastavljena od planarnih geometrijskih oblika koji korrespondiraju s lokacijama metala, oksida i poluvodiča na poluvodičkoj ploči (*wafere*). Nakon izrade nacrt, moguće je simulirati kako će se ponašati fizički sklop koji nije idealiziran (za razliku od simuliranja sheme) jer se uvode parazitni efekti u simulaciju. Izrada topološkog nacrt omogućava dodatne provjere ispravnosti sklopa kao što su:

- Provjera pravila dizajna (engl. *design rule checking*, skraćeno DRC). Tvornica poluvodičkih sklopova zadaje pravila kojih se treba pridržavati prilikom izrade topološkog nacrt. Ta pravila osiguravaju ispravan rad sklopa prenesenog na poluvodičku ploču. Primjer pravila dizajna su minimalne dimenzije tranzistora, minimalna udaljenost između susjednih elemenata, minimalna udaljenost između metalnih vodova, minimalna pokrivenost određenih slojeva itd. Sva ta pravila uvjetovana su tehnologijom koja se koristi u tvornicama.
- Usporedba topologija-shema (engl. *layout versus schematic*, skraćeno LVS). Ta usporedba provjerava odgovara li topološki nacrt shemi, odnosno, provjerava jesu li sve mreže spojene identično kao i na shemi. Budući da topološki nacrt nema simbole, nego geometrijske oblike, postoji velika mogućnost da slučajno pogrešno spojimo neke dijelove sklopa. LVS provjerava prospojnost i garantira da je topološki nacrt jednak shemi.
- Ekstrakcija parazita (engl. *parasitic extraction*). Fizički sklopovi izrađeni na poluvodiču unose neželjene efekte u konačni sklop koji nisu reprezentirani na shemi. Ekstrakcija parazita u simulacije uvodi efekte parazitnih kapaciteta i induktiviteta kako bismo provjerili hoće li naš sklop raditi u stvarnom svijetu. Parazitni efekti mogu značajno utjecati na rad sklopa i na njih se mora paziti prilikom izrade topološkog nacrt. Postoji mogućnost da sklop radi prilikom simulacije sheme, ali prestane raditi prilikom simulacije topološkog nacrt. Zato

je ovaj korak od iznimne važnosti jer njime provjeravamo ispravnost sklopa. Također, ako ne uzimamo parazitne efekte u obzir, možemo dobiti krivi dojam o specifikacijama našeg sklopa (koje su skoro uvijek gore kada uzimamo parazite u obzir).

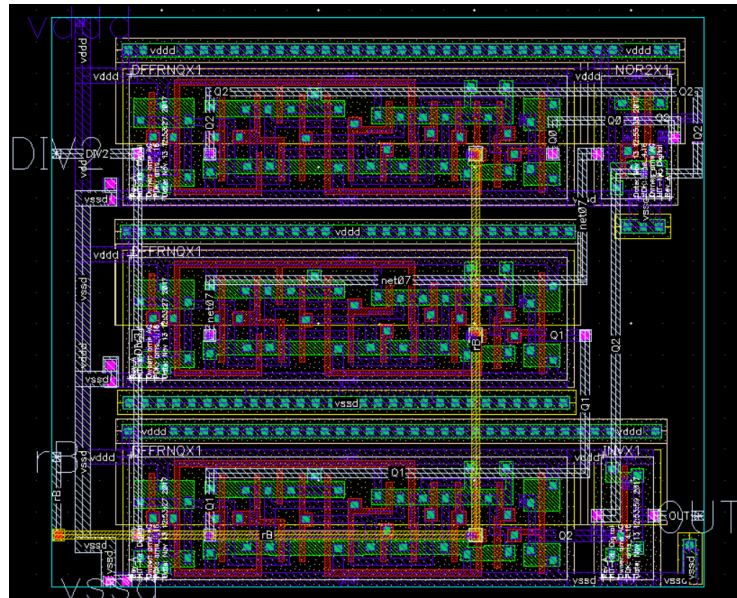
- Provjera pravila antene (engl. *antenna rule checking*). Predugi vodovi ili prevelike nabijene površine na silicijskoj ploči mogu imati ulogu antene i zračiti elektromagnetske valove. To je generalno nepoželjno jer naš sklop može biti elektromagnetski neispravan. Budući da su elektromagnetski valovi od iznimne važnosti za modernu komunikaciju, elektronički uređaji se projektiraju tako da zrače što je manje moguće kako ne bi uvodili šum u komunikacijski sustav. Svaki novi elektronički uređaj treba proći provjeru zračenja. Ako ne prođe standardizirani test, neće biti odobren za tržište.
- Provjera električke ispravnosti (engl. *electrical rule checking*, skraćeno ERC). Provjerava je li sklop smisleno spojen, odnosno, jesu li neki vodovi kratko spojeni, slučajno uzemljeni itd.

Nakon što topološki nacrt prođe sve ove provjere, spreman je za slanje na procesiranje. Tvornica poluvodiča uzet će topološki nacrt i prenijeti ga pomoću fotolitografskog procesa na silicijsku ploču.

Naš topološki nacrt ima sloj silicija, sloj polisilicija za kratke prospeje i upravljačke elektrode tranzistora, sloj izolatora te 6 slojeva metala za prospeje. Debljina signalnih vodova je $0,28\ \mu\text{m}$, a vodova za napajanje je $1\ \mu\text{m}$.

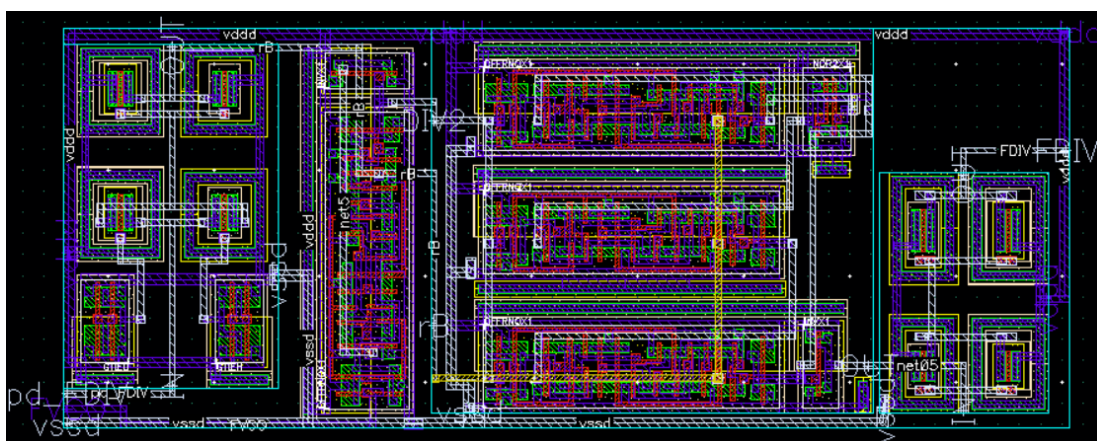
8.1. Frekvencijski djelitelj (FDIV)

Djelitelj frekvencije sastoji se od sklopova DIV2 i DIV5. Budući da su oba sklopa digitalna, njihovi topološki nacrti preuzeti su iz biblioteke. Na slici je sklop DIV5. Vide se tri D-ff bistabila jedan ispod drugog.



Slika 8.1: Topološki nacrt sklopa DIV5.

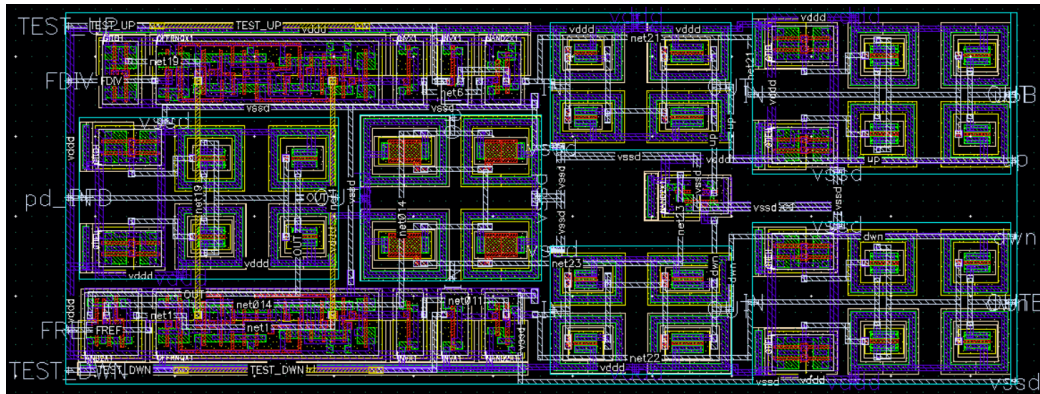
Slika prikazuje topološki nacrt cjelokupnog sklopa FDIV. Na lijevoj strani nalazi se sklop DIV2, to jest, jedan D-ff bistabil i inverter čiji izlaz ulazi u sklop DIV5. Na ulazu se nalazi analogna sklopka za *power down* način rada, a na izlazu odvojno pojačalo.



Slika 8.2: Topološki nacrt sklopa FDIV.

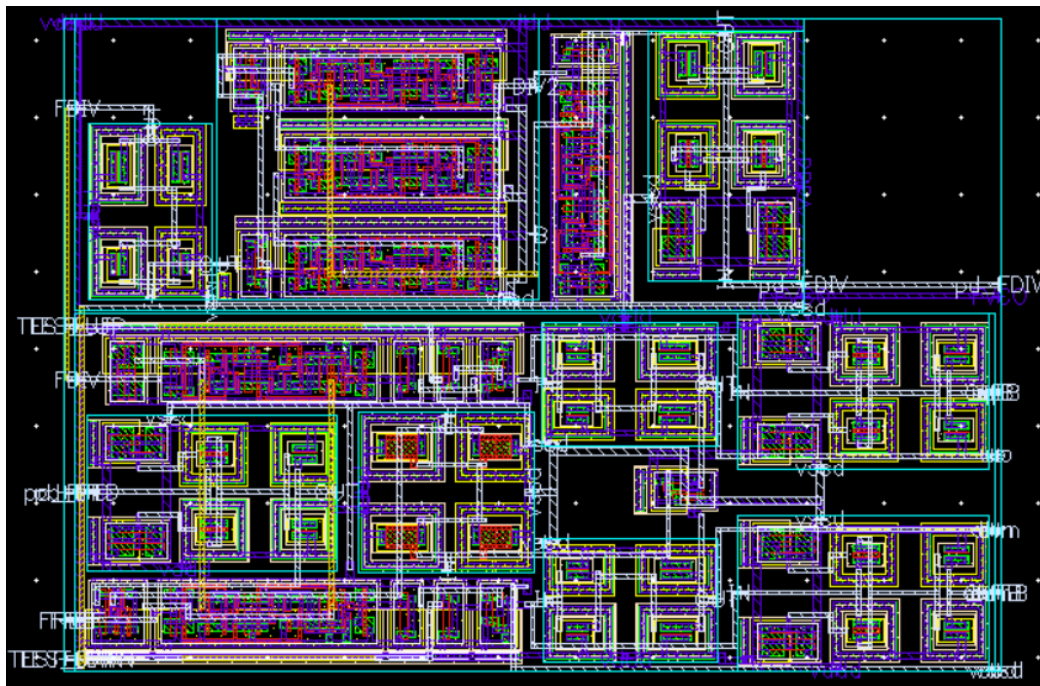
8.2. Fazno-frekvencijski detektor (PFD)

Pri projektiranju topoloških nacрта sklopa PFD, posebno se pazilo na simetriju. Tako se sa slike vidi da je topološki nacrt simetričan s obzirom na horizontalnu centralnu os. Razlog tomu je taj što su izlazni signali iz sklopa diferencijalni. Dakle, duljina vodova mora biti jednaka i razmještaj digitalnih ćelija mora biti simetričan kako ne bi postojala razlika u fazi između signala koji ulaze u nabojnsku pumpu.



Slika 8.3: Topološki nacrt sklopa PFD.

Na kraju su povezani sklopovi FDIV i PFD u jedan topološki nacrt (slika). Sklop FDIV nalazi se iznad sklopa PFD.

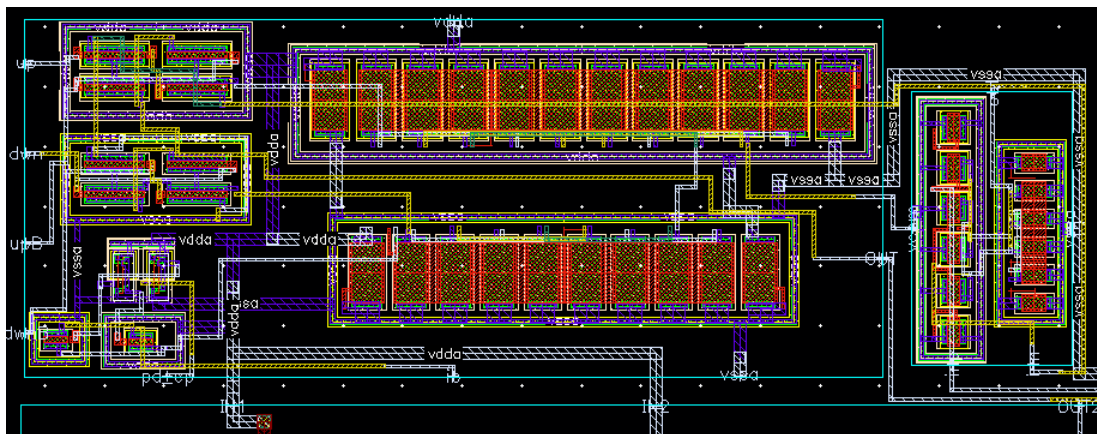


Slika 8.4: Topološki nacrt sklopova PFD i FDIV.

8.3. Nabojska pumpa (CP)

Kod crtanja topološkog dizajna moramo imati na umu koje stvari iz okoline mogu utjecati na naš sklop. Najvažniji vanjski faktor koji utječe na sklop je temperatura. Ona utječe na gotovo sve parametre svih tranzistora i zbog toga značajno mijenja karakteristike sklopa. Kako bismo minimizirali utjecaj temperature na sklop, koristimo neka pravila topološkog dizajna.

Recimo, gledajući shemu CP sklopa na slici 4.3 primjećujemo simetričnu strukturu nekih dijelova sklopa: tranzistori *MNZ1*, *MNZ2* i *MN10*, zatim tranzistori *MPZ1*, *MPZ2* i *MP10* itd. Ako simetrične strukture na topološkom nacrtu crtamo odvojeno i razmaknuto jedne od drugih, postoji mogućnost da su te dvije grane na različitim temperaturama što bi dovelo do nesimetrije. Kako bismo osigurali da temperatura jednoliko utječe na obje grane, moramo ih ispreplesti. To radimo tako da podijelimo svaki tranzistor na više manjih dijelova. Recimo, ako je širina jednog tranzistora 9 μm , možemo ga podijeliti na 3 manja tranzistora čije su širine 3 μm .

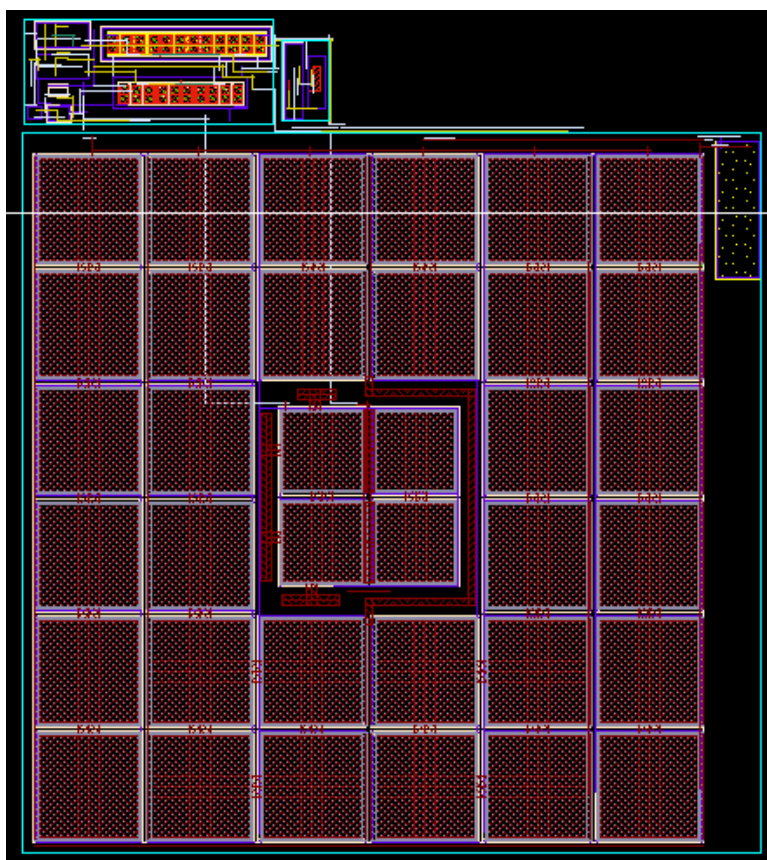


Slika 8.5: Topološki nacrt CP_LPF sklopa.

Na slici 8.5 možemo vidjeti u sredini gore red tranzistora koji su na taj način podijeljeni i isprepleteni. Kako bismo osigurali da su svi dijelovi svakog tranzistora u isprepletenoj strukturi jednaki, podijelili smo i označili tranzistore na sljedeći način: *MPZ2* na 4 dijela (A), *MPZ1* na 2 dijela (B) i *MP10* na 4 dijela (C). Tada smo stvorili simetričnu strukturu na sljedeći način: DCABCAACBACD, gdje je D takozvani *dummy* tranzistor koji se stavlja na rubove struktura kako bi svaki aktivni tranzistor imao 2 tranzistora oko sebe. Analogni postupak vrijedi za sve simetrične grane i time će temperatura utjecati na svaku granu jednako.

Na desnoj strani topološke sheme sa slike 8.5 nalazi se nacrt *buffer* pojačala, a na lijevoj strani nalaze se ulazni sklopovi te tranzistori *MP11*, *MP12*, *MN11* i *MN12*.

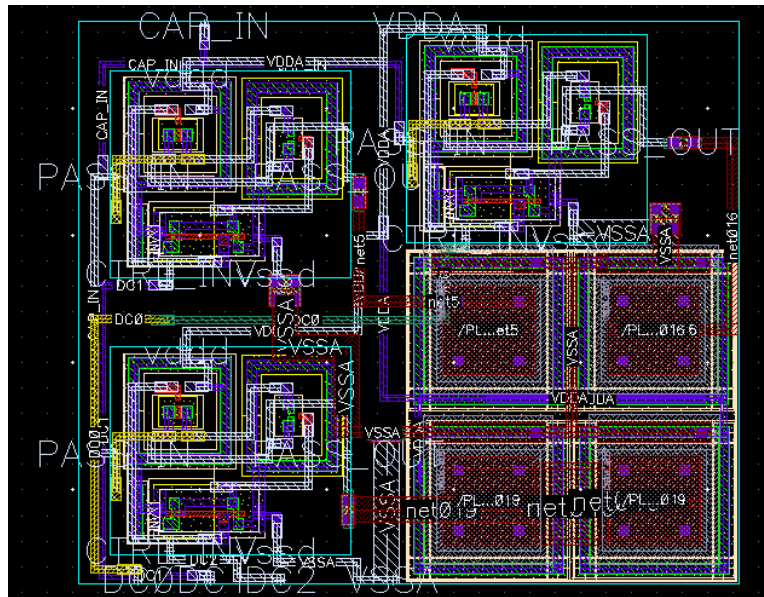
Zadnja stvar koju je potrebno projektirati su kondenzatori $C_1 = 55 \text{ pF}$ i $C_2 = 4,24 \text{ pF}$. Njihove vrijednosti su prevelike za jedan kondenzator jer je maksimalna vrijednost kondenzatora koji koristimo $C_{max} = 1,792 \text{ pF}$. Kako bismo postigli vrijednosti kapaciteta koje želimo, moramo spojiti više jediničnih kondenzatora u paralelu. Topološki nacrt CP sklopa s kondenzatorima prikazan je na slici 8.6. Na slici je također vidljiv otpornik s gornje desne strane. Kao što možemo primijetiti, kondenzatori zauzimaju daleko najveću površinu topološkog nacrt. Čak su 8-10 puta veći od ostatka sklopa.



Slika 8.6: Topološki nacrt cijelog CP sklopa.

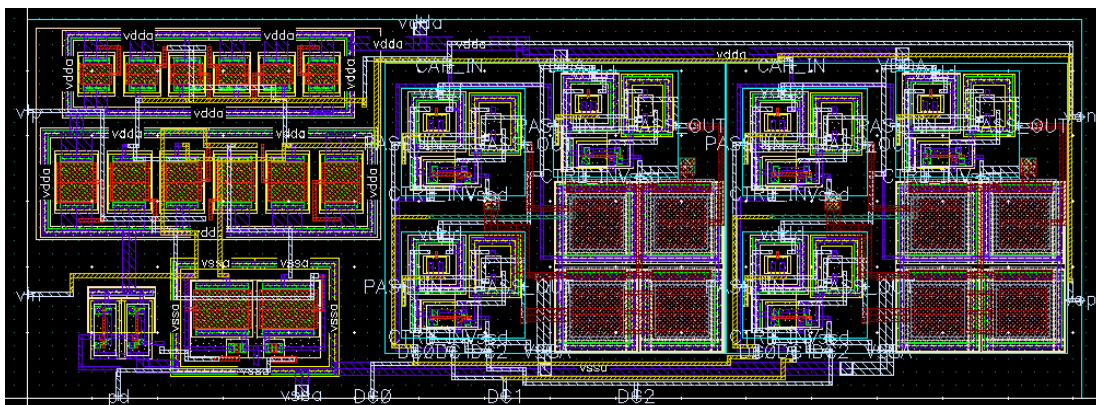
8.4. Naponski upravljani oscilator (VCO)

Kod topološkog nacrtu VCO sklopa krećemo od najnižih hijerarhijskih dijelova. Jedan od tih dijelova je kondenzatorska mreža. Njen topološki nacrt prikazan je na slici 8.7. S donje desne strane vidimo 4 kondenzatora koji su okruženi *pass_gate* sklopkama koje isključuju i uključuju kondenzatore po potrebi.



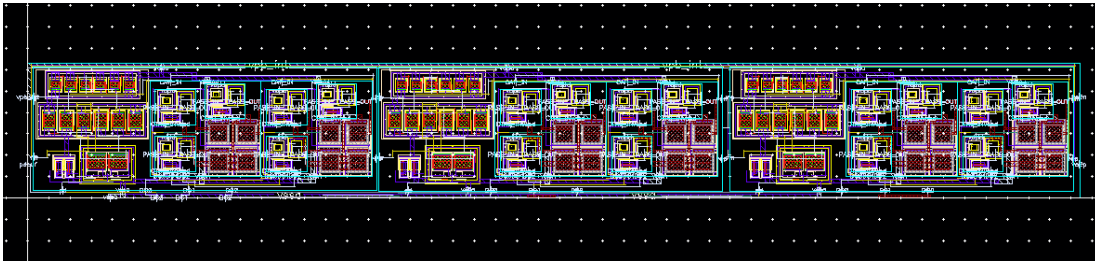
Slika 8.7: Topološki nacrt kondenzatorske mreže.

Dvije kondenzatorske mreže koriste se u ćeliji za kašnjenje čija je shema prikazana na slici 5.3. Kao što možemo vidjeti, u shemi postoje simetrične grane koje je potrebno ispreplesti pa dijelimo kondenzatore *MP0*, *MP1*, *MP2* i *MP3* na 2 dijela. Njihova topološka realizacija zajedno s *dummy* tranzistorima vidljiva je na slici 8.8. Gore lijevo su isprepleteni kondenzatori, a desno su dvije kondenzatorske mreže.



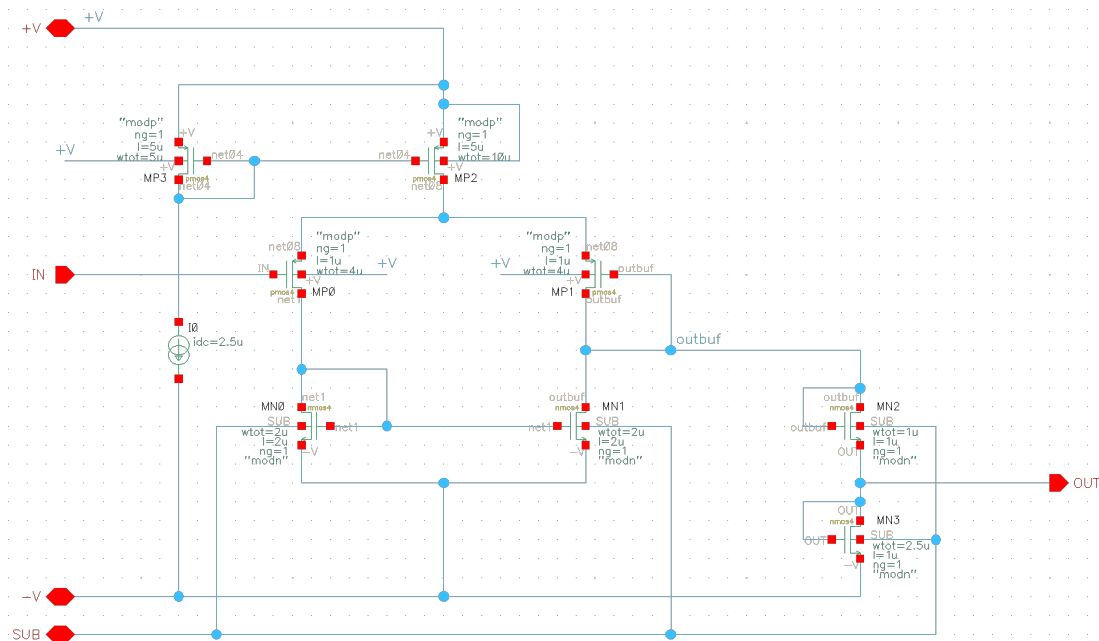
Slika 8.8: Topološki nacrt sklopa za kašnjenje.

Tri sklopa za kašnjenje spojena u seriju čine prstenasti oscilator (slika 5.4) pa je njegova topološka realizacija, prikazana na slici 8.9, vrlo jednostavna.

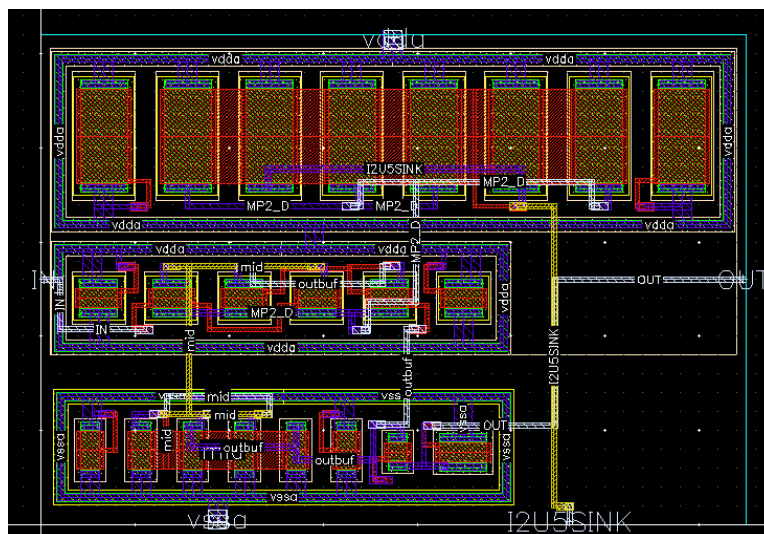


Slika 8.9: Topološki nacrt prstenastog oscilatora.

Sklop *buffer* koji koristi VCO ima mnogo simetrije pa će biti i mnogo ispreplitanja tranzistora na njegovom topološkom nacrtu. Ako pogledamo njegovu shemu na slici 8.10, vidimo da moramo ispreplesti tranzistore: *MP2* i *MP3*, *MP0* i *MP1* te *MN0* i *MN1*. Budući da je *MP2* dvostruko veći od *MP3*, moramo ga podijeliti na 4 dijela, a *MP3* na 2 dijela. Na vrhu slike 8.11 vidimo njihovo ispreplitanje zajedno s *dummy* tranzistorima. Ostali tranzistori koji se isprepliću međusobno su jednaki pa njih ima 6.

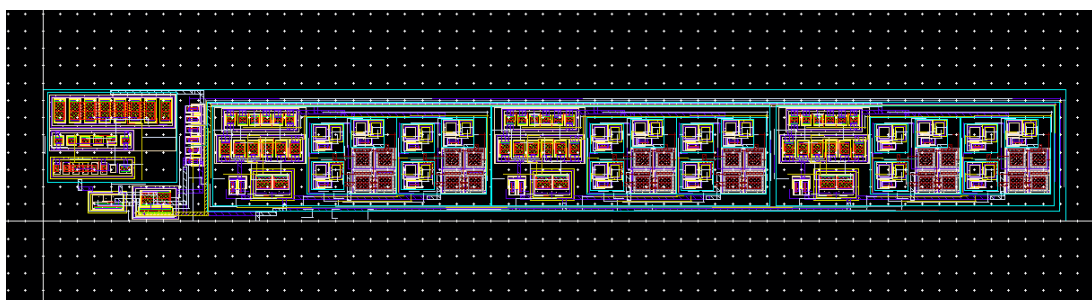


Slika 8.10: Shema *buffer* pojačala u VCO-u.



Slika 8.11: Topološki nacrt *buffer* pojačala.

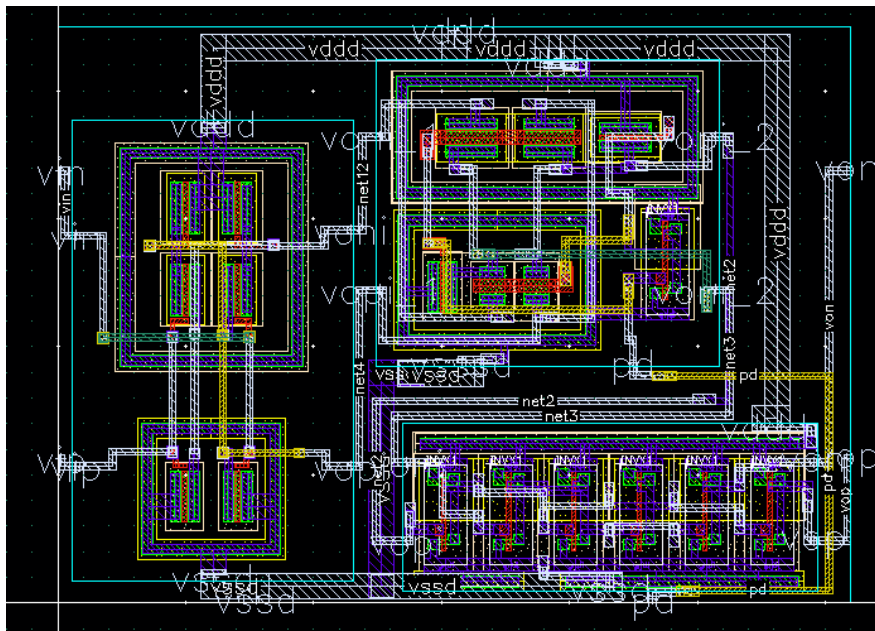
Konačna shema VCO sklopa prikazana je slikom 5.5. U njoj nema simetričnih grana pa nema potrebe za dijeljenjem tranzistora i ispreplitanjem. S lijeve strane topološkog nacrt na slici 8.12 možemo prepoznati *buffer*, a s desne strane vidimo prstenasti oscilator.



Slika 8.12: Topološki nacrt cijelog VCO sklopa.

8.5. Sklop za pomak naponskih razina i simetriranje signala (LS_DCC)

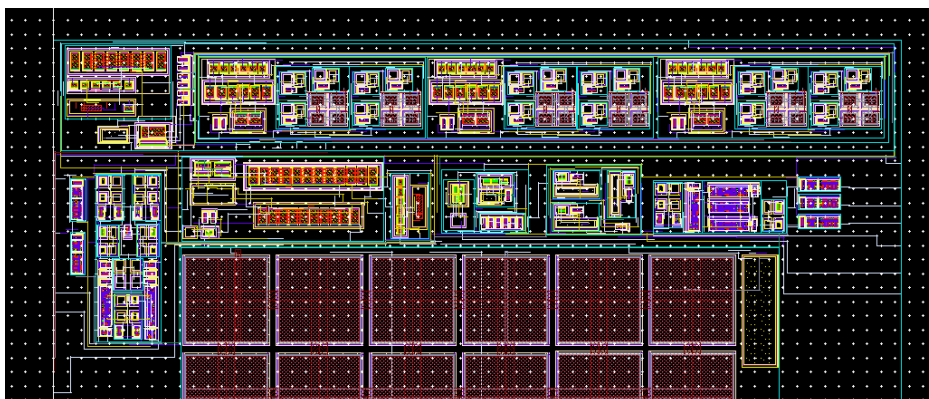
LS_DCC sklop ima simetrične grane, ali je on digitalan pa nema potrebe za ispreplitanjem tranzistora (slika 6.5). Njegov topološki nacrt prikazan je na slici 8.13. S lijeve strane možemo vidjeti ulazne preklapajuće tranzistore. Desno gore nalazi se sklop za isključen način rada, a desno dolje nalazi se 6 invertera za kontrolu radnog ciklusa. Inverteri su uzeti iz standardne biblioteke pa je njihov topološki nacrt već bio izrađen.



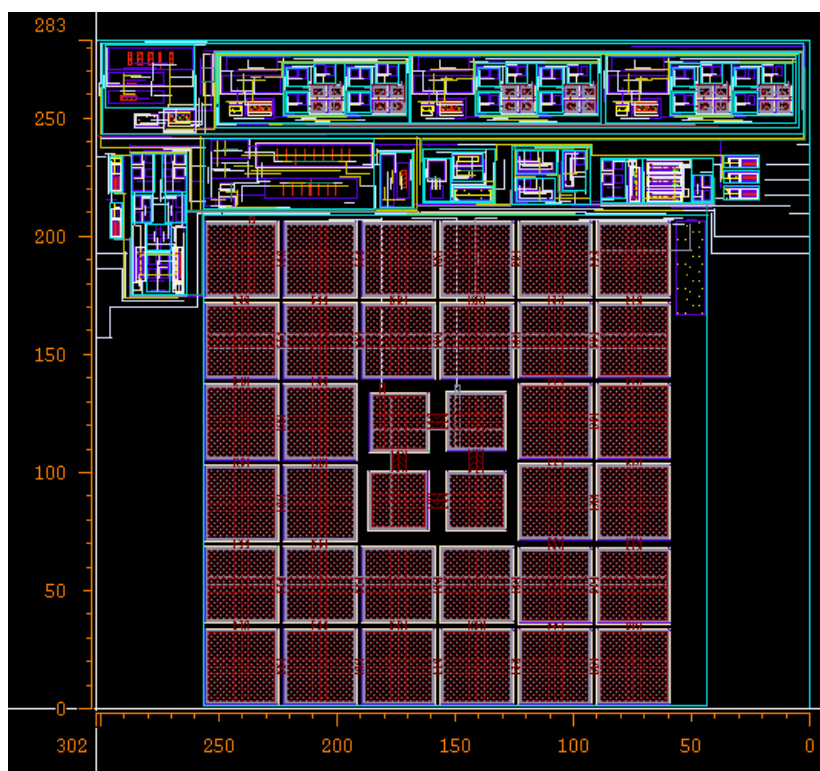
Slika 8.13: Topološki nacrt LS_DCC sklopa.

8.6. Sustav sklopa za faznu sinkronizaciju (PLL)

Spajanjem svih topoloških nacрта dobivamo cijeli PLL. Kao što možemo vidjeti na slici 8.15, konačne dimenzije cijelog sklopa su $302 \times 283\mu\text{m}$.



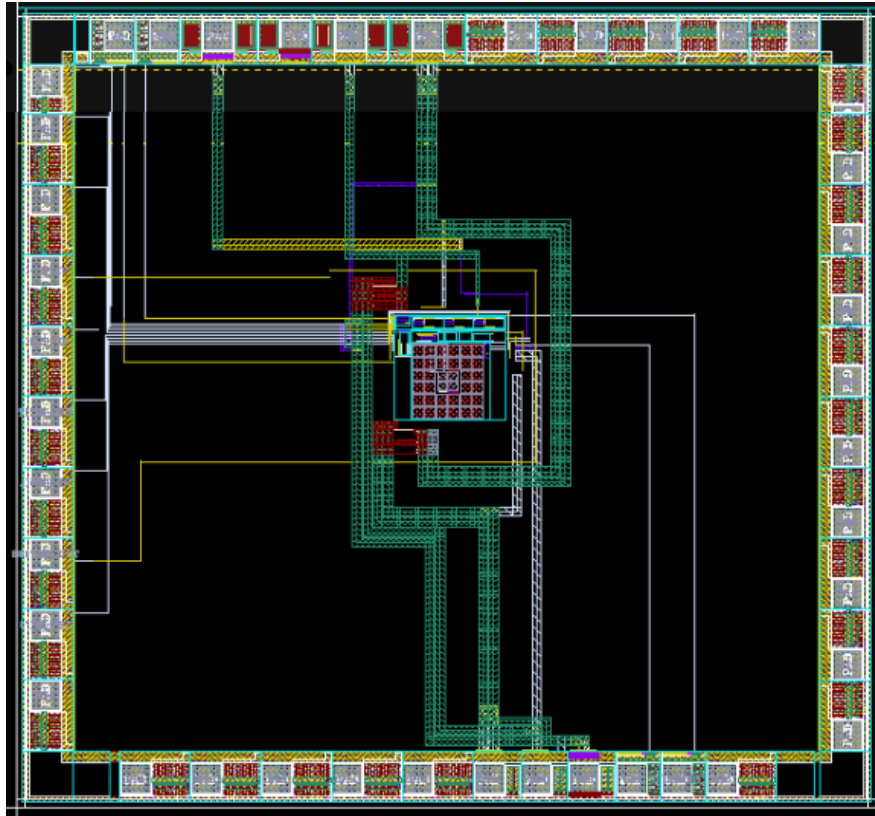
Slika 8.14: Uvećan topološki nacrt PLL sklopa.



Slika 8.15: Topološki nacrt PLL sklopa.

8.7. Pakiranje

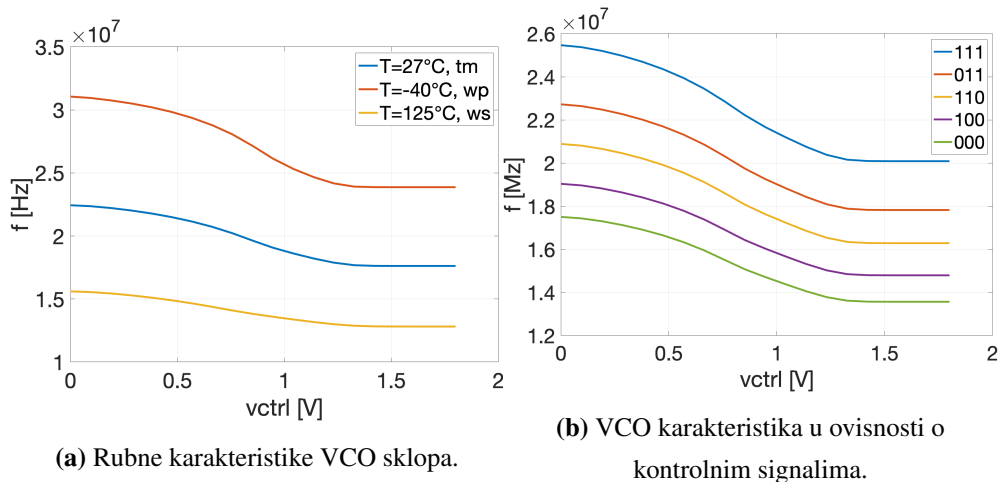
Topološki nacrt PLL-a mora se zapakirati u standardno pakiranje prikazano slikom 8.16. Priključci prema van različiti su za analogne i digitalne signale te služe za prilagodbu signala. Također, signali prolaze kroz niz *buffera* koji sprječavaju da vanjski sklopovi utječu na rad sklopa.



Slika 8.16: Pakiranje topološkog nacrtu.

8.8. Testiranje topološkog nacрта

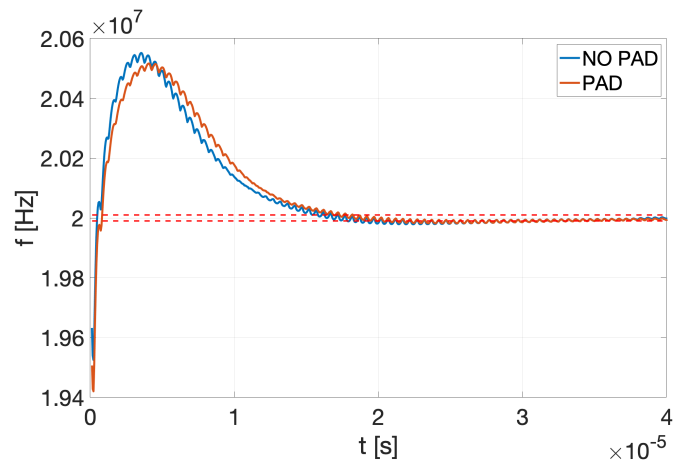
Analizom topološkog nacрта shvatili smo da za neke kombinacije temperature i rubnih uvjeta VCO karakteristika ne prolazi frekvencijom od 20 MHz što znači da tada sustav neće moći stabilizirati izlazni signal na 20 MHz. Kako bismo to riješili, implementirali smo preklapajuće kondenzatore unutar VCO sklopa koji ubrzavaju ili usporavaju prstenasti oscilator te tako dižu ili spuštaju VCO karakteristiku. Preklapajući kondenzatori upravljani su vanjskim digitalnim signalima $DC0$, $DC1$ i $DC2$. Slika 8.17 b) prikazuje kako se mijenja VCO karakteristika za različite kombinacije digitalnih kontrolnih signala.



Slika 8.17: VCO karakteristike.

Ako se nalazimo u rubnom uvjetu $T = -40^\circ\text{C}$, wp (slika 8.17 a), narančasta krivulja), onda kombinacijom ulaznih signala $DC0, DC1, DC2 = 000$ (slika 8.17 b), zelena krivulja) možemo spustiti VCO karakteristiku tako da ponovno prolazi frekvencijom od 20 MHz. Na taj način omogućujemo PLL sklopu da generira signal od 20 MHz bez obzira na rubne uvjete na bilo kojoj temperaturi od -40°C do 125°C .

Slika 8.18 pokazuje odziv topološkog nacрта PLL sklopa za 2 MHz na ulazu bez i s pakiranjem. Kao što možemo vidjeti, sustav radi i spreman je za slanje na procesiranje i proizvodnju.



Slika 8.18: Izlazna frekvencija topološkog nacrta.

9. Zaključak

Projektiranje kompleksnog mješovitog sustava kao što je PLL složen je postupak jer zahtijeva usklađivanje rada velikog broja različitih sklopova. Mogućnost pojave problema prilikom spajanja takvih sklopova je značajna. U slučaju pojave problema, potrebno je ponovno analizirati problematične sklopove i na njima napraviti odgovarajuće preinake kako bi se problem riješio. Ponekad, pak, kao što je u ovom radu bio slučaj, analizom se zaključi da nije moguće izmijeniti sklop na kojemu se problem pojavio. Tada je potrebno pokušati izmijeniti neki drugi sklop u sustavu kako bi se problem uklonio.

Simulacije najvišeg nivoa, dokazale su da PLL radi kao cjelina kao što je i predviđeno. Izlazna frekvencija vrlo je stabilna i nakon stabilizacije nikad ne prelazi $\pm 0,1\%$ od ciljane vrijednosti. Također, PLL izvrsno reagira na promjene frekvencije ulaznog signala te ima mogućnost ponovne stabilizacije kada su prisutne vanjske smetnje.

Stvarna provjera funkcionalnosti moguća je tek nakon izrade topološkog nacrtu sklopa kada je u simulacije moguće uključiti i parazitne elemente koji se nužno pojavu pri fizičkom ostvarenju sklopova na silicijskoj ploči. Simulacije s ekstrahiranim parazitnim elementima koje uključuju i analizu rubnih tehnoloških parametara dokazale su da PLL zaista radi kao što je predviđeno, neovisno o rubovima tehnologije i o parazitnim elementima.

Projektirani sklop za faznu sinkronizaciju u potpunosti odgovara zahtjevima specifikacije i moguće ga je poslati na izradu.

LITERATURA

- [1] R.J. Baker. *CMOS Circuit Design, Layout, and Simulation*. 3 izdanju, 1997.
- [2] R.J. Baker. *Circuit Design, Layout, and Simulation*. John Wiley & Sons, Inc., 2010.
- [3] Ž. Butković, J. Divković-Pukšec, i A. Barić. *Elektronika I*. Fakultet elektrotehnike i računarstva, 2013.
- [4] E.W. Greeneich. *Analog Integrated Circuits*. Chapman & Hall, 1997.
- [5] A. Hajimiri i T.H. Lee. A general theory of phase noise in electrical oscillators. *IEEE Journal of Solid-State Circuits*, 33(2):179–194, 1998. doi: 10.1109/4.658619.
- [6] D.R. Holberg i P.E. Allen. *CMOS Analog Circuit Design*. Oxford University Press, 2002.
- [7] Aliakbar Homayoun i Behzad Razavi. Analysis of phase noise in phase/frequency detectors. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 60(3): 529–539, 2013. doi: 10.1109/TCSI.2012.2215792.
- [8] Zong Han Hsieh, Nan Xiong Huang, Miin Shyue Shiau, Hong Chong Wu, Shui-Yuan Yang, i Don Gey Liu. A novel mixed-structure design for high-efficiency charge pump. U *2009 MIXDES-16th International Conference Mixed Design of Integrated Circuits Systems*, stranice 210–214, 2009.
- [9] Hye-Won Hwang, Jung-Hoon Chun, i Kee-Won Kwon. A low power cross-coupled charge pump with charge recycling scheme. U *2009 3rd International Conference on Signals, Circuits and Systems (SCS)*, stranice 1–5, 2009. doi: 10.1109/ICSCS.2009.5412265.
- [10] Jinbao Lan, Fengchang Lai, Zhiqiang Gao, Hua Ma, i Jianwei Zhang. A nonlinear phase frequency detector for fast-lock phase-locked loops. U *2009 IEEE 8th*

- International Conference on ASIC*, stranice 1117–1120, 2009. doi: 10.1109/ASICON.2009.5351378.
- [11] J. Lee i B. Razavi. A 40-GHz frequency divider in 0.18- μm CMOS technology. *IEEE Journal of Solid-State Circuits*, 39(4):594–601, 2004. doi: 10.1109/JSSC.2004.825119.
- [12] Shenggao Li, I. Kipnis, i M. Ismail. A 10-GHz CMOS quadrature LC-VCO for multirate optical applications. *IEEE Journal of Solid-State Circuits*, 38(10):1626–1634, 2003. doi: 10.1109/JSSC.2003.817258.
- [13] Ting-Ping Liu. A 6.5 GHz monolithic CMOS voltage-controlled oscillator. U *1999 IEEE International Solid-State Circuits Conference. Digest of Technical Papers. ISSCC. First Edition (Cat. No.99CH36278)*, stranice 404–405, 1999. doi: 10.1109/ISSCC.1999.759323.
- [14] S.E. Meninger i M.H. Perrott. A 1-MHz bandwidth 3.6-GHz 0.18- μm CMOS fractional-N synthesizer utilizing a hybrid PFD/DAC structure for reduced broadband phase noise. *IEEE Journal of Solid-State Circuits*, 41(4):966–980, 2006. doi: 10.1109/JSSC.2006.870894.
- [15] Amin Rashidi, Niloofar Yazdani, i Amir M. Sodagar. Fully-integrated, high-efficiency, multi-output charge pump for high-density microstimulators. U *2018 IEEE Life Sciences Conference (LSC)*, stranice 291–294, 2018. doi: 10.1109/LSC.2018.8572121.
- [16] B. Razavi. A study of phase noise in CMOS oscillators. *IEEE Journal of Solid-State Circuits*, 31(3):331–343, 1996. doi: 10.1109/4.494195.
- [17] B. Razavi. *Design of CMOS Phase-Locked Loops: From Circuit Level to Architecture Level*. Cambridge University Press, 2020.
- [18] B. Razavi, K.F. Lee, i R.H. Yan. Design of high-speed, low-power frequency dividers and phase-locked loops in deep submicron CMOS. *IEEE Journal of Solid-State Circuits*, 30(2):101–109, 1995. doi: 10.1109/4.341736.
- [19] Behzad Razavi. The ring oscillator [a circuit for all seasons]. *IEEE Solid-State Circuits Magazine*, 11(4):10–81, 2019. doi: 10.1109/MSSC.2019.2939771.
- [20] J. Rogers, C. Plett, i F. Dai. *Integrated Circuit Design for High-Speed Frequency Synthesis*. Artech House, 2006.

- [21] J. Savoj i B. Razavi. A 10-Gb/s CMOS clock and data recovery circuit with a half-rate linear phase detector. *IEEE Journal of Solid-State Circuits*, 36(5):761–768, 2001. doi: 10.1109/4.918913.
- [22] Benedikt Schlecker, Maurits Ortmanns, Jens Anders, i Georg Fantner. PLL-based high-speed demodulation of FM signals for real-time AFM applications. U *2013 IEEE International Symposium on Circuits and Systems (ISCAS)*, stranice 197–200, 2013. doi: 10.1109/ISCAS.2013.6571816.
- [23] Jeng-Han Tsai i Hung-Da Shih. A 7.5–12 GHz divide-by-256/260/264/268 frequency divider for frequency synthesizers. U *2012 International Conference on Microwave and Millimeter Wave Technology (ICMMT)*, svezak 5, stranice 1–4, 2012. doi: 10.1109/ICMMT.2012.6230367.

Tin Fogec, Leo Gočan, Luka Sabljak, Andro Žamboki

Projektiranje sklopa za faznu sinkronizaciju u 180 nm CMOS tehnologiji

Sažetak

Sklop za faznu sinkronizaciju (PLL) je sklop koji, između ostalog, omogućava umnažanje i stabilizaciju frekvencije signala. Ovaj rad opisuje cjelokupni postupak projektiranja PLL-a u 180 nm CMOS tehnologiji od razine tranzistora do topološkog nacрта koji je moguće poslati u tvornicu poluvodiča. Postupak projektiranja uključuje izradu shema sklopova, simulacije tih shema u idealnim uvjetima i za rubove tehnologije, izradu topološkog nacрта te simulacije s uključenim parazitnim elementima u idealnim uvjetima i za rubove tehnologije. Sheme i rezultati simulacija svih gradivnih sklopova PLL-a detaljno su prikazani i objašnjeni. Projektirani PLL ima nominalnu frekvenciju izlaznog signala od 20 MHz, napon napajanja od 1,8 V te u potpunosti zadovoljava specifikacije, neovisno o rubovima tehnologije i o parazitnim elementima.

Ključne riječi: elektronika, CMOS tehnologija, sklop za faznu sinkronizaciju, projektiranje čipova, projektiranje integriranih sklopova

Summary

Phase-locked loop (PLL) is a circuit that, among other things, multiplies and stabilizes signal frequency. This paper describes the entire process of PLL design in the 180-nm CMOS process from the transistor level to the layout which can be sent to the semiconductor fabrication plant. The design process comprises creating schematics, simulations of those schematics in ideal conditions and for process corners, creating the layout, and simulations with parasitic elements in ideal conditions and for process corners. Schematics and simulation results of all PLL building blocks are shown and thoroughly explained. Designed PLL has a nominal output signal frequency of 20 MHz, supply voltage of 1.8V and it completely conforms to specifications, without being degraded by technology corners and parasitic elements.

Keywords: electronics, CMOS technology, phase-locked loop, chip design, integrated circuit design